

UNIVERSITÉ DE NICE-SOPHIA ANTIPOLIS
École doctorale : Sciences Fondamentales et Appliquées
Spécialité : Physique

UNIVERSITÉ DE SHERBROOKE
Faculté de Génie
Département de Génie électrique et de Génie Informatique
Spécialité : Génie Électrique

Thèse de doctorat en cotutelle

Rémi COMYN

- Ingénieur ICAM -

Développement de briques technologiques pour la co-intégration par l'épitaxie de transistors HEMTs AlGaIn/GaN sur MOS silicium

Soutenue le 8 Décembre 2016

Membres du Jury

Vincent AIMEZ	Professeur, Université de Sherbrooke	Directeur de thèse
Richard ARÈS	Professeur, Université de Sherbrooke	Rapporteur
Yvon CORDIER	Directeur de Recherche, CNRS-CRHEA	Directeur de thèse
Sylvain DELAGE	Ingénieur, Thalès III-V Lab	Examineur
Peter FRIJLINK	Ingénieur, OMMIC SA	Examineur
Hassan MAHER	Professeur, Université de Sherbrooke	Directeur de thèse
Eva MONROY	Ingénieur chercheur, CEA-INAC	Rapporteur
Frédéric MORANCHO	Professeur, CNRS-LAAS, Université Toulouse III	Rapporteur

RÉSUMÉ

Dans le domaine des semi-conducteurs, la technologie silicium (principalement l'architecture CMOS) répond à la majorité des besoins du marché et, de ce fait, elle est abondamment utilisée. Ce semi-conducteur profite d'une part, de son abondance dans la nature et par conséquent de son faible coût, et d'autre part de la grande maturité de sa technologie qui est étudiée depuis un demi-siècle. Cependant, le silicium (Si) souffre de plus en plus de ses propriétés électriques limitées qui l'excluent de certains domaines dans lesquels les technologies à base de matériaux III-V sont les plus utilisées. Bien que la technologie à base de matériaux III-V, notamment les hétérostructures à base de nitrure de gallium (GaN), soit très performante par rapport à celle à base du matériau historique (le silicium), cette nouvelle technologie est toujours limitée aux applications utilisant des circuits de moyennes voire faibles densités d'intégration. Ceci limite l'utilisation de cette technologie pour la réalisation de produits à très grande valeur ajoutée.

Pour s'affranchir de cette limitation, plusieurs sujets de recherche ont été entrepris ces dernières années pour intégrer au sein du même circuit des composants à base de silicium et de matériaux III-V. En effet, la possibilité d'allier les bonnes performances dynamiques de la filière GaN/III-V et la grande densité d'intégration de la technologie Si dans le même circuit constitue une avancée importante avec un potentiel d'impact majeur pour ces deux filières technologiques. L'objectif ciblé par cette nouvelle technologie est la réalisation, sur substrat Si, d'un circuit à base d'hétérostructures GaN de haute performance assurant entre autres, la détection ou l'amplification du signal via des composants III-V tandis que la partie traitement du signal sera réalisée par les circuits CMOS Si.

Ce projet de recherche de doctorat s'inscrit directement dans le cadre de l'intégration monolithique d'une technologie HEMT (*High Electron Mobility Transistor*) à base de matériaux GaN sur CMOS. L'objectif est de développer des architectures compatibles avec la stratégie d'intégration monolithique de transistors HEMTs GaN sur Si, en prenant en compte les exigences des différentes filières, circuits CMOS et croissance/fabrication de structures HEMTs GaN.

Mots-clés : Co-intégration, nitrure de gallium (GaN), transistor à haute mobilité électronique (HEMT), circuits CMOS, épitaxie sous jets moléculaires (MBE).

REMERCIEMENTS

Cette thèse s'est déroulée au sein de deux laboratoires, le CRHEA, dirigé par M. **Jean-Yves Duboz**, et l'UMI-LN2 sous la direction de M. **Abdelkader Souifi** dans un premier temps puis sous celle de M. **Michael Canva**. Je les remercie pour leur accueil et leur soutien tout au long du projet. Je remercie également les membres du jury pour avoir accepté d'examiner mes travaux : les rapporteurs, Mme **Eva Monroy** (CEA-INAC), M. **Frédéric Morancho** (CNRS-LAAS) et M. **Richard Arès** (UdeS); les examinateurs, M. **Sylvain Delage** (Thalès III-V Lab) et M. **Peter Frijlink** (OMMIC). Je suis très reconnaissant envers mes directeurs de thèse à l'Université de Sherbrooke, **Vincent Aimez** (UdeS) et **Hassan Maher** (UdeS) pour la confiance qu'ils m'ont témoignée, les nombreux encouragements et conseils prodigués, et leur compréhension face aux difficultés rencontrées au fur et à mesure du projet. J'exprime ma profonde gratitude à **Yvon Cordier**, directeur de thèse au CNRS-CRHEA, pour m'avoir fait profiter de ses expertises, pour ses nombreuses contributions au projet, et pour avoir su me guider au cours de ces quatre dernières années tout en me laissant une grande autonomie et une grande liberté dans mon travail. Je tiens également à remercier le Professeur **Laurent Francis** de l'Université de Louvain-la-Neuve, et ses collègues **Nicolas André** et **Christian Renaux**, qui ont apporté une contribution importante à ce projet à travers des échanges enrichissants, concrétisés par la fabrication d'une série d'échantillons CMOS/SOI spécialement destinés à la co-intégration GaN sur CMOS. Je voudrais remercier l'ensemble des personnes qui m'ont aidé dans la réalisation de ce projet : **Étienne Grondin** et toute l'équipe technique du LN2 pour la fabrication de la plupart des échantillons Si utilisés dans le projet, le **Service Commun de Recherche du CRHEA** pour les études matériaux et les nombreux dispositifs GaN présentés dans ce manuscrit, ainsi que **Philippe De Mierry** et **Aimeric Courville** pour les recuits d'alliage NMOS. Je remercie en particulier **Benjamin Damilano** pour avoir réalisé les recuits sous NH₃ pendant la longue indisponibilité du réacteur de croissance PTC et pour son aide avec les mesures de photoluminescence. Je tiens à remercier le Professeur **Abdelatif Jaouad** pour sa grande disponibilité auprès des étudiants, me permettant notamment de suivre un cours particulier sous sa supervision, et pour nous avoir fait profiter de son expertise sur la technique PECVD. Merci également à **Pierre Langlois** qui m'a fait partager son expérience dans la fabrication de structures MOS à l'Université de Sherbrooke, et à **Serge Ecoffey** pour les tests de polissage par CMP. Je suis très reconnaissant envers toutes les personnes qui ont facilité mes démarches administratives au CRHEA (**Michèle, Anne-Marie, Isabelle...**) et à l'UdeS (**Christelle, Danielle, Linda ...**), j'espère « ne pas vous avoir donné trop de fil à retordre ! ». Merci également à **Éric** et **Patrick** pour le soutien informatique, toujours très efficace. Enfin, un grand merci à l'ensemble des collègues du 3IT (**Ahmed, Christophe, Elias, Osvaldo, Dominic, Florian, Bastien, Guillaume B., Floriane, Gaëtan** et bien d'autres !) et du CRHEA (**Paul, Michel, Guillaume G., Stéphanie, Blandine, Guy, Borge, Fabrice, Lars, ...**) pour l'entraide et les bons moments partagés. Merci à l'équipe de foot du CRHEA et à leurs coachs (**Stéphane et Éric**) pour les moments de détente (un peu trop peut-être, au vu des scores ...). *Last but not least*, je voudrais remercier du fond du cœur **ma famille et mes amis**, en particulier mon épouse, **Stefania**. Votre soutien a beaucoup compté pour moi, ce travail vous est dédié.

TABLE DES MATIÈRES

RÉSUMÉ	i
REMERCIEMENTS	iii
TABLE DES MATIÈRES	v
LISTE DES FIGURES	ix
LISTE DES TABLEAUX	xvii
LISTE DES SYMBOLES	xxi
LISTE DES ACRONYMES	xxv
INTRODUCTION GÉNÉRALE	1
CHAPITRE 1 LES NITRURES D'ÉLÉMENTS III	5
1.1 Introduction.....	5
1.2 Structure cristalline	5
1.3 Structure de bande	8
1.4 Propriétés optiques.....	9
1.5 Propriétés électriques	11
1.6 Propriétés mécaniques	14
1.7 Couches minces	16
1.8 Dislocations traversantes	17
1.9 Mosaïcité.....	23
1.10 Piézoélectricité.....	24
1.11 Propriétés thermiques	25
1.12 Pyroélectricité	27
1.13 Conclusion	28
CHAPITRE 2 LA TECHNOLOGIE HEMT GaN.....	31
2.1 Introduction.....	31
2.2 Croissance	31
2.2.1 Substrats et procédés usuels	31
2.2.2 La technique NH ₃ -MBE.....	35
2.2.3 Le substrat Si.....	37
2.2.4 L'hétéroépitaxie	40
2.3 L'hétérostructure AlGaIn/GaN	46
2.3.1 Charges de polarisation.....	47
2.3.2 Diagramme de bande	50
2.3.3 Mobilité électronique	53
2.4 Le transistor HEMT GaN	57
2.4.1 Principe de fonctionnement	57
2.4.2 HEMTs GaN pour l'électronique RF.....	60
2.4.3 HEMTs GaN pour la puissance	64
2.4.4 Développements technologiques majeurs	69
2.5 Conclusion	77
CHAPITRE 3 LA TECHNOLOGIE MOS	79
3.1 Introduction.....	79
3.2 Structure MIS.....	79
3.2.1 Description.....	79
3.2.2 Fonctionnement idéal.....	80

3.2.3	Caractéristique $C(V)$	83
3.2.4	Capacité MOS Si – SiO ₂	85
3.3	Transistor MOSFET Si	90
3.3.1	Fonctionnement idéal	91
3.3.2	Tension de seuil	96
3.3.3	Inverseur CMOS	97
3.4	Évolution de la technologie CMOS	99
3.4.1	More Moore	99
3.4.2	More than Moore	102
3.5	Fabrication	104
3.5.1	Le procédé	104
3.5.2	Le budget thermique	105
3.5.3	Le recuit post-implantation	106
3.5.4	Le substrat	107
3.6	Intégration hétérogène GaN – Si	110
3.7	Conclusion	113
CHAPITRE 4 BUDGET THERMIQUE		115
4.1	Introduction	115
4.2	Méthodologie	115
4.2.1	Rôle des laboratoires impliqués	115
4.2.2	Travaux antérieurs	116
4.2.3	Description du projet	119
4.3	Croissance NH ₃ – MBE	120
4.3.1	Cadre de l'étude	120
4.3.2	Évolution des propriétés structurales	122
4.3.3	Évolution des propriétés électriques	126
4.3.4	Conclusions de l'étude	133
4.4	Recuits sous ammoniac	134
4.4.1	Cadre de l'étude	134
4.4.2	Simulation	135
4.4.3	Expérience	139
4.4.4	Conclusions de l'étude	148
4.5	Conclusion	150
CHAPITRE 5 ÉPITAXIE LOCALISÉE		153
5.1	Introduction	153
5.2	Masques de croissance	153
5.2.1	Cadre de l'étude	153
5.2.2	Masques de croissance Si _x N _y PECVD	155
(1)	Contrôle de la contrainte intrinsèque	155
(2)	Stabilité thermique	157
5.2.3	Limites de l'approche SiN PECVD et alternatives possibles	161
(1)	Procédé de fabrication	162
(2)	Application des couches Si _x N _y PECVD à l'épitaxie localisée	163
5.2.4	Conclusions de l'étude	164
5.3	Épitaxie localisée	165
5.3.1	Cadre de l'étude	165
5.3.2	Propriétés structurales	167

5.3.3	Surfaces et intégrité des couches	168
(1)	Délamination sur SiO ₂ PECVD : Structure mince versus Structure épaisse	169
(2)	Délamination sur SiO ₂ PECVD : Cas des structures épaisses	171
5.3.4	Contamination	173
5.3.5	Propriétés électriques	175
(1)	Structures minces	175
(2)	Structures épaisses	179
5.3.6	Conclusions de l'étude	181
5.4	Conclusion	183
CHAPITRE 6 PERSPECTIVES D'INTÉGRATION		185
6.1	Introduction	185
6.2	Intégration sur Si(100)	186
6.2.1	Cadre de l'étude	186
6.2.2	Structuration des substrats	188
6.2.3	Croissance	194
6.2.4	Propriétés structurales	204
6.2.5	Propriétés optiques	206
6.2.6	Conclusions de l'étude	210
6.3	Intégration sur Si(110) et SOI	212
6.4	Circuits démonstrateurs	214
6.5	Développements technologiques futurs	218
6.6	Conclusion	221
CONCLUSION GÉNÉRALE		225
ANNEXE A		229
ANNEXE B		233
LISTE DES RÉFÉRENCES		237

LISTE DES FIGURES

Figure 1.1 – Structure cristalline des composés III-N [10].	5
Figure 1.2 – Corrélation entre la densité de dislocations et la durée de vie de diodes lasers à base de GaN [12].	6
Figure 1.3 – (a) Polarité Ga et polarité N du nitru de gallium en phase Wurtzite, séparées par un domaine d'inversion (b) Champs de polarisation et champs électriques internes ; les charges fixes induites par la polarisation sont représentées aux interfaces, compensées en surface par l'adsorption d'ions et la réorganisation des liaisons pendantes [18].	7
Figure 1.4 – Structure de bande de GaN en phase Wurtzite [23].	8
Figure 1.5 – Énergies de bande interdite et longueurs d'onde d'émission à 300 K en fonction du paramètre de maille, pour différentes familles de semi-conducteurs [36].	10
Figure 1.6 – Vitesse de dérive des électrons dans les composés III-N et GaAs en fonction du champ électrique, à 300 K et pour un dopage de 10^{17} cm^{-3} [38].	11
Figure 1.7 – Caractéristique $\sigma(\varepsilon)$ d'un essai de traction unidimensionnel sur un matériau ductile. Les annotations illustrent cette caractéristique dans le cas de la croissance d'une couche AlGaIn en tension sur GaN.	14
Figure 1.8 – Croissance de couches minces dans les cas suivants : (a) parfait accord de maille entre le film et le substrat (b) désaccord de maille et film parfaitement contraint (c) désaccord de maille et film partiellement relaxé (d) film polycristallin [11].	16
Figure 1.9 – Dislocations (a) coin (b) vis (c) mixte (d) Composantes « coin » et « vis » du vecteur de Burger d'une dislocation mixte XY (e) Lignes de dislocation et orientation des vecteurs de Burgers des dislocations traversantes présentes dans GaN. Les dislocations de type $a + c$ peuvent aussi avoir une ligne de dislocation parallèle à l'axe c [11, 42, 46].	19
Figure 1.10 – (a) Familles de dislocations traversantes de type coin inclinées dans un film de nitru de gallium et (b) leur projection sur le plan de croissance (0001) [47].	20
Figure 1.11 – Plans de glissement (en gris) et orientations cristallographiques des dislocations dans les nitrures d'éléments III.	21
Figure 1.12 – Demi-boucle de dislocations formée à partir de deux dislocations traversantes de type coin [49].	22
Figure 1.13 – Description d'un monocristal comme l'assemblage de différents domaines faiblement désorientés les uns par rapport aux autres [42].	23
Figure 1.14 – Croissance colonnaire des nitrures d'éléments III et désorientation des grains (a) par rapport à l'axe de croissance c (b) dans le plan de croissance (0001) [11].	24
Figure 2.1 – Panorama des différentes classes de procédés de dépôt de couches minces.	34
Figure 2.2 – Schéma du réacteur de croissance MBE Riber Compact 21 T.	36
Figure 2.3 – (a) Positions atomiques dans la maille, en projection sur une face ; les fractions indiquent les cotes des atomes par rapport au plan de base ; les points 0 et 12 sont sur le réseau CFC ; les points 14 et 34 sont sur un réseau identique décalé d'un quart de la diagonale. (b) Structure cristalline du silicium représentant les liaisons tétraédriques entre atomes [67].	37
Figure 2.4 – Vue de dessus des surfaces (111), (110) et (100). Les mailles primitives sont dessinées en traits pointillés [68].	38
Figure 2.5 – Terminaisons idéales de la structure diamant selon les trois faces de plus bas indices (100), (110) et (111) [68].	38
Figure 2.6 – Les différents substrats pour la croissance de matériaux III-N [82].	40

Figure 2.7 – Croissance de GaN sur Si (a) sans couche d'adaptation de contrainte (buffer) et (b) après introduction des couches d'adaptation de contrainte [93].	43
Figure 2.8 – Les différentes approches pour la fabrication d'hétérostructures AlGaIn/GaN [94].	44
Figure 2.9 – Effet des couches intercalaires (Al)GaIn/AlN sur la courbure du substrat au cours de la croissance d'une hétérostructure AlGaIn/GaN épaissée par NH_3 -MBE [49].	44
Figure 2.10 – (a) Champs de polarisation dans une hétérostructure AlGaIn/GaN de polarité Ga (b) Bilan des charges surfaciques correspondantes aux interfaces.	46
Figure 2.11 – Mécanisme de formation du gaz 2D dans une hétérostructure AlGaIn/GaN dans le cas (a) d'une surface idéale (b) d'une surface réelle comportant des états donneurs.	49
Figure 2.12 – Diagramme de bande de l'hétérostructure AlGaIn/GaN.	50
Figure 2.13 – Évolution de la densité de charges N_s dans le canal d'une hétérostructure AlGaIn/GaN en fonction de (a) la teneur en aluminium x_{Al} pour $d_{\text{AlGaIn}} = 30 \text{ nm}$ (b) de l'épaisseur de la barrière d_{AlGaIn} [106].	52
Figure 2.14 – (a) Évolution expérimentale et calculée de la mobilité à 300 K en fonction de la densité de charge N_s d'une hétérostructure $\text{Al}_{0,26}\text{Ga}_{0,74}\text{N}/\text{GaN}$ sur Si(111) avec une DDT fixée à $9 \cdot 10^9 \text{ cm}^{-2}$ et un dopage résiduel de $4 \cdot 10^{16} \text{ cm}^{-3}$ [106] (b) Évolution de la mobilité à 300 K en fonction de la densité de porteurs N_s dans le gaz 2D, calculée pour différentes DDTs [110].	55
Figure 2.15 – (a) Portion d'une couche conductrice de longueur l , de largeur w et d'épaisseur d . Deux portions identiques vues de dessus étant traversées par un courant dans deux directions orthogonales présentent une résistance (b) $R = R_{\text{shnsq}} = 5R_{\text{sh}}$ et (c) $R = R_{\text{shnsq}} = 0,2R_{\text{sh}}$ [111].	56
Figure 2.16 – (a) Représentation schématisée d'un transistor HEMT GaN (b) Réseau de caractéristiques $I_{\text{ds}}(V_{\text{ds}}, V_{\text{gs}})$ statique [49].	57
Figure 2.17 – Représentation des résistances série du transistor HEMT.	59
Figure 2.18 – (a) Exploitation de la caractéristique $I(V)$ dans le cas d'un amplificateur de classe A (b) Exemple de montage correspondant.	61
Figure 2.19 – (a) Exploitation de la caractéristique de sortie $I_{\text{ds}}(V_{\text{ds}})$ pour un transistor de puissance. La ligne de charge dépend du circuit externe du transistor, des éléments parasites et du mode d'opération (b) Caractéristique d'un interrupteur idéal, présentant des pertes nulles ($\forall t, I_{\text{ds}} \times V_{\text{ds}} = 0$ et $R_{\text{on}} = 0$).	65
Figure 2.20 – (a) Illustration des pertes de conduction et de commutation dissipées par un interrupteur de puissance (b) Montage simplifié d'un interrupteur de puissance utilisant un transistor à effet de champ.	65
Figure 2.21 – Résistance spécifique à l'état passant en fonction de la tension de claquage pour différentes familles de composant [127].	67
Figure 2.22 – Mécanismes de fuite limitant la tenue en tension des HEMTs GaN [126].	70
Figure 2.23 – Représentation d'un transistor HEMT GaN avec une plaque de champ sur la source et sur la grille (<i>dual field-plate structure</i>) [21].	71
Figure 2.24 – (a) Phénomène d'effondrement du courant (<i>current collapse</i>) et augmentation de la résistance dynamique (<i>dynamic on-resistance</i>) (b) Illustration des charges piégées dans la structure épitaxiale du HEMT GaN [21].	72
Figure 2.25 – Approches technologiques pour HEMTs GaN <i>normally-off</i> : (a) Al(Ga)N dopé P sous la grille (p-GaN HEMT, GIT) (b) fossé de grille (c) traitement plasma sous la grille (d) Fossé de grille et isolant (MIS-HEMT) (e) MOS-HFET hybride [165].	75

Figure 3.1 – (a) Vue en perspective d’une diode MIS (b) Vue en coupe d’une diode MOS Si-SiO ₂ [112].	79
Figure 3.2 – Diagramme de bande de la structure MIS idéale à $V_G = 0\text{ V}$ [112].	80
Figure 3.3 – Diagramme de bande de la capacité MIS dans le régime d’accumulation [112].	81
Figure 3.4 – Diagramme de bande dans le régime de déplétion [112].	81
Figure 3.5 – Diagramme de bande en régime d’inversion [112].	82
Figure 3.6 – (a) Distribution des charges dans une structure MOS Si-SiO ₂ (b) Modèle capacitif de la structure en régime d’inversion [179].	83
Figure 3.7 – (a) Principe de la mesure $C(V)$ (b) Caractéristique $C(V)$ d’une structure MIS idéale à basse fréquence (BF, $< 1\text{ kHz}$) et à haute fréquence (HF, $> 1\text{ kHz}$) [180].	84
Figure 3.8 – Diagramme de bande pour (a) le métal et le semi-conducteur de type P isolés, séparés par l’isolant (b) la capacité MOS Si – SiO ₂ correspondante à l’équilibre thermodynamique [112].	85
Figure 3.9 – Représentation schématique de l’interface Si/SiO ₂ . Une partie des liaisons pendantes peut être passivée grâce à un recuit [183].	86
Figure 3.10 – Diagramme de bande du semi-conducteur et interprétation de l’effet des états d’interface quand (a) $V_G = V_{FB}$ (b) $V_G > V_{FB}$ et (c) $V_G < V_{FB}$ [184].	87
Figure 3.11 – Vue de dessus et vue en coupe d’un transistor NMOS dans une technologie CMOS [179].	90
Figure 3.12 – Caractéristique statique de sortie $I_{ds}(V_{ds})$ d’un transistor NMOS, adapté de [112].	92
Figure 3.13 – Illustration des trois régimes de conduction d’un transistor NMOS en fonction de la tension de drain appliquée, adapté de [179].	93
Figure 3.14 – Caractéristique de sortie en échelle logarithmique d’un transistor NMOS [180].	95
Figure 3.15 – Impact des effets de canal court sur la tension de seuil V_{th} d’un transistor MOS en fonction de la longueur du canal L . Adapté de [179].	97
Figure 3.16 – (a) Diagramme du circuit d’un inverseur CMOS (b) Vue en coupe de l’inverseur CMOS en technologie silicium [11].	98
Figure 3.17 – More than Moore versus More Moore [199, 215].	103
Figure 3.18 – Mobilité des électrons et des trous sur différentes orientations cristallines Si [78].	108
Figure 3.19 – Vue en coupe d’un inverseur CMOS sur (a) substrat massif Si (b) substrat SOI complètement déserté [225].	109
Figure 3.20 – Systèmes hétérogènes GaN – Si construits (a) par assemblage de plusieurs puces et (b) de façon monolithique [11].	110
Figure 4.1 – Exemple de plateforme pour la co-intégration CMOS- <i>last</i> de HEMTs GaN et de circuits CMOS sur substrat SOI (étudiée par IBM) [258].	117
Figure 4.2 – Structure « épaisse » HEMT GaN standard.	120
Figure 4.3 – Structure « mince » HEMT GaN (la structure cap / barrière / espaceur étant identique à celle de la structure épaisse, cf. Figure 4.2).	121
Figure 4.4 – DRX : Largeur à mi-hauteur de balayages ω [271].	123
Figure 4.5 – AFM : Images $5 \times 5\text{ }\mu\text{m}^2$ de la surface des échantillons A (a) à F (f) obtenues en mode <i>tapping</i> [271].	124

Figure 4.6 – Structures minces : caractéristiques de sortie de HEMTs GaN (V_{GS} de -7 à 0 V, $\Delta V = 1$ V), de dimensions $LG = 3 \mu\text{m}$, $LSD = 12 \mu\text{m}$, $W = 0,15$ mm, mesurées sur (a) A et (c,d) B. Microscope optique : (b) Vue de dessus des composants tests.	127
Figure 4.7 – Courbes $I(V)$ mesurées sur des peignes inter-digités présentant un espacement de (a) 5 (b) 10 et (c) $20 \mu\text{m}$. Microscope optique : (d) vue de dessus d'une structure test présentant des doigts de $10 \times 100 \mu\text{m}$ séparés par un espacement de $10 \mu\text{m}$	128
Figure 4.8 – Structures épaisses : mesure $C(V)$ à la bille de mercure effectuées à 10 kHz sur (a) C et (b) F [271].	129
Figure 4.9 – Structures épaisses : caractéristique de sortie de HEMTs GaN (V_{GS} de -7 à 0 V, $\Delta V = 1$ V), de dimensions $LG = 3 \mu\text{m}$, $LSD = 12 \mu\text{m}$, $W = 0,15$ mm, mesurées sur (a) C (b) D et (c) E [271].	130
Figure 4.10 – Courbes (a) $IDS(VDS)$ et (b) $IGS(VDS)$ conduisant au claquage d'un transistor, en configuration latérale.	132
Figure 4.11 – Simulations de procédés avec Silvaco (ATHENA) puis simulations électriques (ATLAS) de l'effet d'un recuit haute température sur les caractéristiques électriques d'un NMOS/SOI.	136
Figure 4.12 – Profils de concentration après implantation (a) de bore et (b) d'arsenic et évolution de ces profils suite à l'application de différents budgets thermiques.	138
Figure 4.13 – Modification des profils de concentration (a) du bore et (b) de l'arsenic après recuit de diffusion CMOS et application d'un procédé de croissance BT ou HT.	138
Figure 4.14 – Utilisation du budget thermique de la croissance pour l'activation des dopants dans les régions S/D de (a) p-MOSFETs (bore) et (b) n-MOSFETs (arsenic).	139
Figure 4.15 – (a) Dégradations induites par la nitruration de films SiO_2 ($dox = 15$ nm) lors de recuits sous NH_3 (à 1050°C , $PNH_3 = 0,1$ mbar) (b) Impact de la durée de nitruration sur V_{FB} et (c) Mesures D_{it} sur (1) un film SiO_2 de qualité médiocre avant et (2), (3) après nitruration ; (4) un film SiO_2 de bonne qualité avant et (5) après nitruration [275].	140
Figure 4.16 – Effet de la nitruration thermique sur la diffusion de dopants (a) structure de test avant nitruration (b) après recuit haute température sous NH_3 [275, 276].	141
Figure 4.17 – (a) Structure test de l'étude. (b) Procédure de recuit sous NH_3	143
Figure 4.18 – (a) Méthode de la pente maximale pour l'extraction de V_{th} (b) Méthode TLM pour l'extraction des paramètres ΔL et RSD [184, 278, 279].	144
Figure 4.19 – Évolution de V_{th} et de la diminution de longueur de grille effective ΔL en fonction de la longueur de grille sur le dessin du masque $LG, layout$	144
Figure 4.20 – Évolution de V_{th} en fonction du budget thermique.	145
Figure 4.21 – Évolution de la pente sous le seuil en fonction du budget thermique.	146
Figure 4.22 – Évolution des longueurs de canal effectives en fonction du budget thermique.	148
Figure 5.1 – Optimisation de la topologie par l'utilisation d'un masque épais.	155
Figure 5.2 – Évolution de la contrainte résiduelle en fonction du rapport cyclique et de la pression de la chambre de dépôt.	157
Figure 5.3 – Première série de tests : Stabilité des films SiN PECVD lors d'un recuit sous N_2	157
Figure 5.4 – Réactions probables conduisant au développement d'une contrainte extensive dans les couches $\text{Si}_x\text{N}_y\text{H}_z$ PECVD pendant le recuit [287].	158

Figure 5.5 – Microscope optique : morphologie de surface après recuit d’une couche $\text{Si}_x\text{N}_y\text{H}_z$ PECVD présentant initialement une contrainte intrinsèque différente :	
(a) $\sigma_f, \text{initial} = -884$ MPa (b) $\sigma_f, \text{initial} = -406$ MPa.....	159
Figure 5.6 – Microscope optique : morphologie de surface après recuit des empilements $\text{SiO}_2 - \text{Si}_x\text{N}_y\text{H}_z$ PECVD obtenus (a) par le procédé <i>SiN high-stress</i> (b) par le procédé <i>SiN low-stress</i> .	161
Figure 5.7 – Microscope optique : morphologie des masques de croissance <i>SiN high-stress</i> après fabrication (a) d’une structure mince BT (b) d’une structure épaisse BT. MEB (encadrés noirs) : grossissement de la zone entre les damiers.	163
Figure 5.8 – (a) Vue en coupe (MEB) de l’intersection entre l’hétérostructure $\text{AlGaIn}/\text{GaIn}$ sur Si et le masque de croissance $\text{SiO}_2 - \text{SiN}$ PECVD après la fabrication d’une structure mince BT (b) Masque de croissance utilisé pour le développement de l’épithaxie localisée.	164
Figure 5.9 – DRX : Largeurs à mi-hauteur mesurées sur les épithaxies localisées, et comparées à celles extraites sur les références HT et BT au §4.3.2 pour les structures (a) minces (b) épaisses [288].	167
Figure 5.10 – Morphologie de surface de la structure épaisse réalisée avec le Masque C : (a) Poly-GaN déposé sur SiO_2 à 640 °C avant croissance (b) Surface de l’hétérostructure $\text{AlGaIn}/\text{GaIn}$ sur Si, fabriquée par le procédé BT.	168
Figure 5.11 – Microscope optique : tenue mécanique des couches III-N déposées sur le masque B pour une structure (a) mince (b) épaisse. MEB (encadrés noirs) : grossissement de l’intersection entre les damiers.	169
Figure 5.12 – Tests de soulèvement des couches III-N via le film épais SiO_2 (a) État initial (b) Après nettoyage solvant sous ultrasons (c) Après immersion dans le BOE pendant 20 minutes sous ultrasons.	170
Figure 5.13 – Observations MEB : structure épaisse réalisée avec le masque C : (a),(b) après croissance (c),(d) après soulèvement des couches III-N déposées sur le masque. Les lettres A, B, C et D repèrent des régions de l’échantillon communes à toutes les photos de cette figure. L’encadré de (a) illustre la morphologie de surface à fort grossissement (x 35 000).	171
Figure 5.14 – Analyses SIMS : profils de concentration d’impuretés mesurés en profondeur sur des structures minces : (a) Carbone (b) Oxygène (c) Silicium (d) Localisation de la mesure sur les épithaxies localisées [288].	173
Figure 5.15 – Structures minces : C – V mesurée à la bille de mercure à 20 kHz [288].	175
Figure 5.16 – Structures minces : Courbes $I(V)$ en échelles linéaire et logarithmique mesurées sur des peignes inter-digités présentant un espacement de (a,d) 5 μm (b,e) 10 μm et (c,f) 20 μm et une longueur de développement de 10 x 100 μm . Les épithaxies localisées sont comparées aux références « Procédé BT » fabriquées sans masque et présentées dans le Chapitre 4 (échantillon B) et le Chapitre 5 (Tableau 5.6).	176
Figure 5.17 – Structure mince : Caractéristiques (a) de sortie et (b) de transfert d’un transistor HEMT GaN ($LG = 5$ μm , $LSD = 14$ μm) fabriqué avec le masque B [288].	178
Figure 5.18 – Structures épaisses : Courbes $I(V)$ en échelles linéaire et logarithmique mesurées entre des peignes inter-digités (Procédé HT) ou entre des plots de contact rectangulaires (épithaxies localisées) présentant un espacement de (a,d) 5 μm (b,e) 10 μm et (b,f) 20 μm et une longueur de développement de 100 μm	180
Figure 5.19 – Structures épaisses : caractéristiques de sortie et de transfert d’un HEMT GaN ($LG = 3$ μm , $LSD = 13$ μm) fabriqué avec (a) le Masque B et (b) le Masque C.	181

Figure 6.1 – Principales approches envisagées pour la réalisation de composants HEMTs GaN sur <i>V-grooves</i> : (a), (b) Approche 1 reposant sur plusieurs tranchées peu profondes ; (c), (d) Approche 2 reposant sur le flanc d'une tranchée profonde ; (e), (f) Approche 3 reposant sur une surface continue de <i>V-grooves</i> , d'après [259].	186
Figure 6.2 – (a) Photo-masque de l'étude (b) Motifs de test pour la gravure (c) Structures utilisées pour l'alignement des motifs par rapport aux méplats du substrat.	189
Figure 6.3 – Observations MEB : Contamination des surfaces Si(111) après (a) Gravure KOH (échelle 10 μm) (b) Gravure TMAH (échelle 10 μm) (c) Gravure TMAH suivie d'un rinçage dans l'eau DI à 100 °C, puis dans l'eau DI à température ambiante, et enfin dans les solvants (échelle 20 μm) et (d) Gravure TMAH suivie d'un rinçage / séchage dans une centrifugeuse (échelle 2 μm).	192
Figure 6.4 – Observations MEB : (a) État de surface après nettoyage (échelle 10 μm). Profil d'un <i>V-grooves</i> (a) tronqué (échelle 2 μm) (c) non tronqué (échelle 10 μm), obtenus avec la gravure TMAH.	193
Figure 6.5 – Incidence des flux par rapport à la surface de croissance sur (a) la surface (100) (b) des flancs (111) inclinés à 54,7 ° par rapport à la surface (100).	195
Figure 6.6 – PTC805a (vue de dessus, MEB) : AlN/Si(111) dans (a) une pyramide inversée tronquée (b) un <i>V-groove</i> . PTC805b (vue de dessus, MEB) : GaN/AlN/Si(111) dans (c) une pyramide inversée (d) une pyramide inversée tronquée.	197
Figure 6.7 – PTC 847 (vues de dessus, MEB) : surfaces orientées (111) d'une pyramide inversée (a) avant et (b) après croissance d'une structure GaN 1,2 μm / AlN 0,4 μm .	198
Figure 6.8 – PTC 849 (vue en coupe, MEB).	199
Figure 6.9 – PTC 849 (MEB) : morphologies de surface après croissance sans rotation.	202
Figure 6.10 – PTC 849 (MEB) : (a) vue de dessus et (b) vue en coupe de motifs présentant un court espacement entre la Face 1 et la Face 3.	203
Figure 6.11 – Observations en coupe par MEB : (a) <i>V-groove</i> PTC849, (b) <i>V-groove</i> par Reuters et al. [281] et (c) pyramide inversée par So et al. [291].	204
Figure 6.12 – Mesure DRX : Balayage Φ sur la raie GaN(002) en configuration semi-oblique ($\chi \approx 54,7^\circ$).	205
Figure 6.13 – Collection de la lumière émise par cathodoluminescence [302].	207
Figure 6.14 – PTC 849 : (a) spectres obtenues par cathodoluminescence à 80 K sur différentes régions de l'échantillon (b) fissuration des couches III-N sur le masque et dans le fond des motifs (encadré) observée au microscope optique.	209
Figure 6.15 – (a) Surface SiO ₂ après dépôt PECVD (b) Surface SiO ₂ après gravure physique C ₄ F ₈ /SF ₆ puis nettoyage sous plasma O ₂ .	213
Figure 6.16 – (a) Schéma électrique d'un interrupteur GaN cascode <i>normally-off</i> (b) Représentation des impédances parasites liées au montage [307].	215
Figure 6.17 – Caractéristiques $I(V)$ d'un transistor NMOS <i>normally-off</i> fabriqué sur Si(110) au LN ₂ ($LG = 3 \mu\text{m}$, $W = 0,15 \text{ mm}$).	216
Figure 6.18 – Exemple d'oscillateur en anneau comportant 5 inverseurs CMOS et forme du signal de tension obtenu à chaque nœud $a_1 \dots a_5$ lorsque la sortie du dernier inverseur est connectée à l'entrée du premier inverseur [111].	217
Figure 6.19 – Exemple d'oscillateur contrôlé en tension (VCO) [111].	218
Figure 6.20 – Vue en coupe de composants HEMTs GaN sur Si réalisés via (a) la recroissance à basse température de contacts GaN fortement dopés Si (b) la formation d'un alliage métallique lors d'un recuit à haute température [323].	219

Figure 6.21 – Observations MEB de caissons GaN :Si N⁺ (a) après nettoyage et (b) après dépôt métallique, puis (c) mesure $I(V)$ entre deux contacts.220

LISTE DES TABLEAUX

Tableau 1.1 – Paramètres de maille a et c des composés III-N en phase Wurtzite ; Polarisation spontanée à 300 K ; Lois de Vegard pour les principaux alliages ternaires [14-17].	7
Tableau 1.2 – Propriétés électriques du GaN à 300 K [7].	13
Tableau 1.3 – Coefficients élastiques de l'AlN et du GaN (sur lesquels se basent les calculs présentés au Chapitre 2 concernant les hétérostructures AlGaIn/GaN) [44].	16
Tableau 1.4 – Coefficients piézoélectriques de l'AlN et GaN (sur lesquels se basent les calculs présentés au Chapitre 2 concernant les hétérostructures AlGaIn/GaN) [17].	25
Tableau 1.5 – Conductivité thermique et coefficient de dilatation thermique à 300 K [11, 37]. Nature de la contrainte induite dans GaN par le désaccord de paramètre de maille et la différence de coefficient de dilatation thermique avec le substrat / la couche sous-jacente.	27
Tableau 2.1 – Comparaison des principales méthodes de croissance utilisées pour la fabrication de substrats GaN, SiC et Si – adapté de [58].	32
Tableau 2.2 – Caractéristiques des trois faces de plus bas indices du silicium [74, 75].	38
Tableau 2.3 – Propriétés des matériaux utilisés pour les composants RF, d'après [115].	62
Tableau 2.4 – Grandeurs caractéristiques des performances du transistor en amplification.	63
Tableau 2.5 – Grandeurs caractéristiques des performances du transistor de puissance.	66
Tableau 3.1 – Charges présentes dans une structure MOS Si – SiO ₂ non idéale (cas réel).	89
Tableau 3.2 – Dimensions caractéristiques et quelques paramètres de fonctionnement typiques d'un transistor NMOS en technologie CMOS 0,18 μm , adapté de [179].	91
Tableau 3.3 – Théorie de réduction d'échelle [179, 197].	100
Tableau 3.4 – Émetteur / Récepteur RF dans lequel chaque fonction serait réalisé avec la meilleure technologie actuellement disponibles [8, 216, 217].	103
Tableau 3.5 – Paramètres de la loi d'Arrhenius dans le silicium monocristallin pour la diffusion d'impuretés couramment utilisées dans la technologie CMOS [228].	106
Tableau 3.6 – Comparaison entre les propriétés de circuits CMOS fabriqués sur SOI complètement déserté et sur substrat Si massif (+ / 0 / – indique que la propriété est améliorée / similaire / dégradée), d'après [225].	109
Tableau 3.7 – Approche hybride versus approche monolithique [236].	112
Tableau 4.1 – Difficultés soulevées dans les travaux publiés depuis 2009 concernant la co-intégration par l'épitaxie de composants HEMTs GaN sur CMOS Si.	116
Tableau 4.2 – Croissance par NH ₃ -MBE : échantillons de l'étude.	122
Tableau 4.3 – DRX : liens entre les largeurs à mi-hauteur de balayages ω (<i>rocking curves</i>) et la qualité cristalline de couches III-N hétéro-épitaxiées.	122
Tableau 4.4 – Caractérisation électrique des structures minces [271].	126
Tableau 4.5 – Caractérisation électrique des structures épaisses [271].	131
Tableau 4.6 – Budget thermique et longueur de diffusion caractéristique ($x \sim \sqrt{2Dt}$) relatifs à la diffusion du bore dans Si, selon l'application d'un procédé basse température (BT, $T_{\text{AlN}} = 830^\circ\text{C}$) ou haute température (HT, $T_{\text{AlN}} = 920^\circ\text{C}$) et le type de structures (mince ou épaisse). Ces valeurs sont estimées à partir des données et équations fournies dans §3.5.2.	134
Tableau 4.7 – Comparaison des budgets thermiques et longueurs de diffusion de différents dopants pendant la croissance de structures HEMTs GaN épaisses à basse température.	134
Tableau 4.8 – Budgets thermiques considérés dans l'étude.	137
Tableau 4.9 – Échantillons de l'étude.	141
Tableau 4.10 – Effet du recuit d'alliage sur un échantillon recuit sous NH ₃ .	146

Tableau 5.1 – Deuxième série de tests : Validation du masque de croissance $\text{Si}_x\text{N}_y\text{H}_z$ PECVD.	160
Tableau 5.2 – Empilements SiO_2 – SiN préparés par un procédé SiN <i>high-stress</i> identique.	162
Tableau 5.3 – Structure des masques de croissance mis en œuvre dans cette étude.	165
Tableau 5.4 – Méthodologie adoptée pour la préparation des échantillons avant croissance.	166
Tableau 5.5 – Structures minces : propriétés de transport des hétérostructures $\text{AlGaIn}/\text{GaIn}$ fabriquées par épitaxie localisée comparées avec une référence BT. Les transistors comportent des grilles de longueur $LG = 3 \mu\text{m}$ fabriquées dans un espacement de $LSD = 12 \mu\text{m}$ avec un développement $W = 0,15 \text{ mm}$.	177
Tableau 5.6 – Structures épaisses : propriétés de transport des hétérostructures $\text{AlGaIn}/\text{GaIn}$ fabriquées par épitaxie localisée, comparées avec une référence BT. Les transistors comportent des grilles de longueur $LG = 3 \mu\text{m}$ fabriquées dans un espacement de $LSD = 13 \mu\text{m}$ avec un développement $W = 0,15 \text{ mm}$.	179
Tableau 6.1 – Nettoyage post-gravure TMAH en vue de la croissance d'hétérostructures $\text{AlGaIn}/\text{GaIn}$ sur <i>V-grooves</i> (111).	194
Tableau 6.2 – Échantillons et références de l'étude.	196
Tableau 6.3 – Procédé NH_3 -MBE standard pour la nucléation d' AlN sur Si [49].	198
Tableau 6.4 – PTC 849 : comparaison des vitesses de croissance et des flux dans les différentes régions du substrat structuré, mesurés pendant et après l'épitaxie.	201
Tableau 6.5 – Mesures DRX : Largeurs à mi-hauteur sur les raies $\text{GaIn}(002)$ et $\text{GaIn}(102)$ obtenues sur <i>V-grooves</i> $\text{Si}(111)$ dans ce projet (PTC849), par <i>Reuters et al.</i> (C) et sur une structure planaire similaire fabriquée par le procédé d'épitaxie localisée BT (PTC843). Entre parenthèses, l'épaisseur réellement mesurée sur le flanc des <i>V-grooves</i> lors d'observations MEB.	206
Tableau 6.6 – Variation de la contrainte résiduelle calculée à partir de (6.4) et des mesures de CL sur différentes régions de PTC849.	210
Tableau 6.7 – Plateformes MOS destinées à la co-intégration de HEMT GaIn .	212

LISTE DES SYMBOLES

Symbole	Définition
a, c	Paramètres de maille
P_{sp}	Polarisation spontanée
P_{pz}	Polarisation piézoélectrique
k	Vecteur d'onde
E_g	Énergie de bande interdite
μ_e, μ	Mobilité électronique
v_d	Vitesse de dérive des porteurs
F	Champ électrique
m^*	Masse effective des porteurs
h	Constante de Planck
q	Charge élémentaire
τ	Temps de relaxation des porteurs
j, j_d	Densité de courant
n, p	Densité d'électrons, de trous
σ	Contrainte ou densité de charges surfacique
$\vec{\sigma}$	Tenseur des contraintes
ε	Déformation ou constante diélectrique
$\vec{\varepsilon}$	Tenseur des déformations
C, \hat{C}	Coefficients élastiques, tenseur des coefficients élastiques
M	Module d'élasticité bi axial
$E_{\text{élastique}}$	Énergie élastique emmagasinée par la couche
S	Surface
d, T	Épaisseur de couche
\vec{b}, \vec{l}	Vecteurs de Burgers et directeur d'une dislocation
\hat{e}	Tenseur de constante piézoélectrique
α	Coefficient de dilatation thermique
k, T	Constante de Boltzmann, température
P_σ, P_V	Coefficients pyroélectriques
ϕ	Barrière de potentiel
N_s	Densité du 2DEG
E_F, E_i	Niveau de Fermi, niveau de Fermi intrinsèque
V_p, V_{th}	Tension de pincement d'un HEMT, tension de seuil d'un FET
V_{GS}, V_{DS}	Tension grille source, tension source drain d'un FET
L_{gs}, L_{sd}, L_{gd}	Longueurs grille source, source drain et grille drain
L_g, W_g	Longueur et largeur de grille d'un FET
R_{sh}, n_{sq}	Résistance de couche, nombre de carrés
ρ	Résistivité
W, w	Longueur de développement d'un FET ou largeur
V_{knee}, V_{BR}	Tension de coude, tension de claquage
V_c	Potential dans le canal du HEMT
v_{sat}	Vitesse de saturation des porteurs

I_{ds}, I_{gs}	Courant source drain, courant grille source d'un FET
α_n, α_p	Coefficients d'ionisation pour les électrons et les trous
R_{cs}, R_{cd}	Résistance du canal côté source et côté drain
R_s, R_d	Résistances de source et de drain d'un FET
g_{ds}, g_m	Conductance de sortie, transconductance
$R_{on}, R_{on,dyn}$	Résistance statique et dynamique d'un interrupteur à l'état passant
$I_{dss}, I_{ds,max}$	Courant de saturation d'un FET
R_c	Résistance de contact
f_T, f_{max}	Fréquences de coupure du gain en courant et en puissance
$g_{m,int,max}, g_{m,ext,max}$	Transconductances intrinsèque et extrinsèque maximales
C_{gs}, C_{sd}, C_{gd}	Capacités grille source, source drain et grille drain
G_I, G_P	Gains en puissance et en courant
I_{in}, I_{out}	Courants d'entrée et de sortie de l'amplificateur
I_{ON}, I_{OFF}	Courants d'un interrupteur à l'état passant et à l'état bloqué (fuites)
t_{ON}, t_{OFF}	Temps d'ouverture et de fermeture d'un interrupteur
f, T	Fréquence et période d'un signal périodique
V_{ON}, V_{OFF}	Tension source drain à l'état passant et bloqué d'un interrupteur
E_A	Énergie d'activation
Q	Charge
T_{dep}, T_{ox}	Profondeur de la ZCE, épaisseur d'oxyde de grille d'un MOSFET
N_A, N_B, N_D	Concentrations de dopants (accepteurs, donneurs)
χ	Affinité électronique
ψ_B, ψ_s	Angle autour d'un des axes de rotation du goniomètre (DRX)
Φ	Différence de potentiel ($E_F - E_i$), potentiel de surface
	Travaux de sortie
	Angle autour d'un des axes de rotation du goniomètre (DRX)
V_{FB}	Tension de bandes plates
Q_{it}	Charge créée par les états d'interface
N_{it}	Densité d'états d'interface par unité de surface
D_{it}	Densité d'état d'interface par unités de surface et d'énergie.
SS	Pente sous le seuil
τ_{int}	Délai intrinsèque d'un MOSFET
P_{dyn}, P_{stat}	Puissance dynamique et statique
x_j	Profondeur de jonction
(Dt)	Budget thermique
D	Coefficient de diffusion
l_{diff}	Longueur de diffusion caractéristique
Ψ	Rapport cyclique
t_{HF}, t_{BF}	Durées des cycles de dépôt à basse fréquence et haute fréquence
E_s, ν_s	Module de Young et coefficient de Poisson
d, R, F, D	Épaisseur, rayon de courbure, flèche, diamètre
v_{AlN}, v_{GaN}	Vitesses de croissance de l'AlN et de GaN
F_0, F_{100}, F_{111}	Flux moléculaires traversant différentes surfaces

LISTE DES ACRONYMES

Acronyme	Définition
2DEG	Gaz d'électrons bidimensionnel
3IT	Institut interdisciplinaire d'innovation technologique
AFM	<i>Atomic force microscopy</i>
AMS-CMOS	<i>Analog mixed-signal CMOS</i>
BC	Bande de conduction
BEOL	<i>Back end of line</i>
BF, BT	Basse fréquence, basse température
BiCMOS	<i>Bipolar-CMOS</i>
BOE	<i>Buffered oxide etch</i>
BV	Bande de valence
CBE	<i>Chemical beam epitaxy</i>
CMOS	<i>Complementary Metal Oxide Semiconductor</i>
CMP	<i>Chemical mechanical polishing</i>
CNRS	Centre national de la recherche scientifique
CRHEA	Centre de recherche sur l'hétéro-épitaxie et ses applications
DDT	Densité de dislocations traversantes
DGA	Direction générale de l'armement
DIBL	<i>Drain-induced barrier lowering</i>
ECR	<i>Electron Cyclotron Resonance</i>
EDX	<i>Energy-dispersive X-ray spectroscopy</i>
ELEN	<i>Department of electrical engineering (UCL)</i>
ESG	<i>Electrochemical solution growth</i>
FET	<i>Field effect transistor</i>
FEOL	<i>Front end of line</i>
GIT	<i>Gate injection transistor</i>
HBT	<i>Heterojunction bipolar transistor</i>
HEMT	<i>High electron mobility transistor</i>
HF	Haute fréquence
HFET	<i>Heterostructure FET</i>
HVPE	<i>Hydride vapour phase epitaxy</i>
HT	Haute température
ITRS	<i>International technology roadmap for semiconductors</i>
LED	<i>Light emitting diode</i> (Diode électroluminescente)
LN2	Laboratoire Nanotechnologies Nanosystèmes
LDMOS	<i>Laterally diffused MOS</i>
LPCVD	<i>Low pressure chemical vapour deposition</i>
MBE	<i>Molecular Beam Epitaxy</i>
MEB	Microscopie électronique à balayage
MET	Microscopie électronique en transmission
MIS	Métal Isolant Semiconducteur
MM	<i>More Moore</i>
MOCVD	<i>Metalorganic chemical vapour deposition</i>

MOMBE	<i>Metalorganic molecular beam epitaxy</i>
MOSFET	<i>Metatl Oxyde Semiconductor FET</i>
MOVPE	<i>Metalorganic vapour phase epitaxy</i>
nMOSFET ou NMOS	MOSFET à canal d'électrons
MOS-HFET	<i>Metal Oxyde Semiconductor HFET</i>
MTBF	<i>Mean time to failure</i>
MtM	<i>More than Moore</i>
NRE	<i>Non recurring engineering (costs)</i>
OED	<i>Oxidation enhanced diffusion</i>
PECVD	<i>Plasma-enhanced chemical vapour deposition</i>
pMOSFET ou PMOS	MOSFET à canal de trous
NDR	<i>Negative differential resistance</i>
NH ₃ -MBE	<i>Ammonia beam molecular beam epitaxy</i>
PAMBE	<i>Plasma-assisted molecular beam epitaxy</i>
PLL	<i>Phase-locked loop</i>
RF	Radiofréquences
RHEED	<i>Reflection high energy electron diffraction</i>
RIE	<i>Reactive ion etching</i>
RMS	<i>Root mean square</i>
RTA/RTP	<i>Rapid thermal annealing/processing</i>
SCE	<i>Short channel effect</i>
S/D	Source / Drain
SIMS	<i>Secondary ion mass spectrometry</i>
SJ	<i>Superjunction</i>
SOI	Substrat silicium sur isolant
SS	<i>Subthreshold slope</i>
TFN	<i>Thin film network</i>
TLM	<i>Transfer length method</i>
UCL	Université catholique de Louvain
VCO	<i>Voltage-controlled oscillators</i>
ZCE	Zone de charge d'espace

INTRODUCTION GÉNÉRALE

Les « nitrures d'éléments III » ou « composés III-N » forment un sous-ensemble de la famille des matériaux III-V, aux côtés de semi-conducteurs désormais dits « conventionnels » (GaAs, InP, GaP ...). Ils désignent des composés formés à partir d'un atome d'azote et d'un élément de la colonne III de la classification périodique : AlN, GaN, InN, leurs alliages ternaires, quaternaires, etc. Le développement des nitrures d'éléments III coïncide avec celui de la diode électroluminescente de couleur bleue, rappelé en 2014 à l'occasion de la remise du prix Nobel à ses principaux contributeurs : I. Akasaki, H. Amano et S. Nakamura. Un regard rétrospectif des deux lauréats Amano et Nakamura sur les grandes étapes ayant mené à la fabrication de la diode électroluminescente à base de GaN est livré dans [1, 2]. Le développement des technologies III-N peut également être vu à la lumière des différentes vagues de publications scientifiques des années 60 à nos jours [3]. Enfin, une vue d'ensemble des brevets publiés ces dix dernières années complète le panorama en ce qui concerne les dernières évolutions de la recherche sur le GaN et ses alliages [4]. Aujourd'hui, le nitrure de gallium est présent dans plusieurs secteurs de l'industrie des semi-conducteurs, représentant un marché chiffré à 15 milliards de dollars en 2014 [5]. Dans le domaine de l'optoélectronique, la technologie LED GaN domine le marché de l'éclairage basse consommation, tandis que les diodes lasers GaN sont au cœur de la technologie Blu-ray. Ces deux technologies constituent l'essentiel du marché du GaN. Cependant, la technologie HEMT GaN initialement introduite pour l'électronique radiofréquence (RF) continue sa progression sur ce marché, soutenue par la demande en constante augmentation dans le domaine des télécommunications [6]. Plus récemment, l'électronique de puissance est devenue un axe de développement majeur des nitrures d'éléments III [7], qui pourrait dans le futur donner naissance à un marché équivalent à celui de la technologie LED GaN [5]. Toutefois, ces prévisions dépendent étroitement du développement d'une filière GaN sur Si à bas coût et haute performance, parallèlement aux filières GaN sur saphir et GaN sur SiC depuis longtemps établies pour la production de LEDs GaN. En effet, la croissance et la fabrication de composants HEMTs GaN sur des substrats Si 200 mm donne la possibilité de produire ces technologies dans des usines CMOS 200 mm d'ores et déjà amorties, fonctionnant en-deçà de leur capacité de production en raison de l'obsolescence rapide des technologies CMOS. Le développement de cette filière, de 1991 à nos jours, est décrit dans [6]. Dans cette perspective, de nombreux groupes de recherche se sont intéressés à la co-intégration

de circuits CMOS avec ces technologies HEMTs, dans le but de réaliser des circuits RF hautes performances. En effet, contrairement aux technologies III-V, la forte densité d'intégration de la technologie CMOS permet d'envisager l'implantation de fonctionnalités numériques complexes améliorant significativement la performance des circuits RF, comme cela est déjà le cas dans la technologie RF CMOS [8]. L'intégration de nouvelles fonctionnalités offertes par les circuits CMOS pourrait également se révéler bénéfique pour le développement de convertisseurs de puissance basés sur la technologie HEMT GaN [9].

Dans ce contexte, la thèse vise à développer une approche de co-intégration CMOS-*first* (GaN sur CMOS), s'appuyant sur la technique NH₃-MBE pour la croissance de structures HEMTs GaN sur une plateforme Si comportant des structures MOS non métallisées. Pour ce faire, le projet s'appuie sur l'expertise du CRHEA en termes de croissance d'hétérostructures à base de GaN, sur les capacités du LN2 en matière de microfabrication appliquée aux matériaux Si et III-V, et sur le savoir-faire de l'UCL concernant la fabrication de circuits CMOS sur substrat SOI. Le manuscrit est structuré de la manière suivante :

- Le **Chapitre 1** introduit les propriétés fondamentales des nitrures d'éléments III, avec un focus sur les propriétés directement impactées par l'hétéroépitaxie. Ces propriétés sont discutées en vue de leur utilisation pour la fabrication de composants HEMTs GaN.
- Le **Chapitre 2** présente la technologie HEMT GaN appliquée aux domaines de l'électronique RF et de la puissance.
- Le **Chapitre 3** rappelle le fonctionnement de composants MOS ainsi que les principales caractéristiques de la technologie CMOS, puis introduit le contexte de la thèse : le développement des approches *More than Moore* dans le domaine de la microélectronique Si.
- Le **Chapitre 4** présente les travaux antérieurs à la thèse dans le domaine puis introduit l'approche de co-intégration envisagée pour le projet. Le développement d'un procédé de croissance NH₃-MBE présentant un budget thermique réduit est décrit, ainsi que l'impact de ce budget thermique sur des composants MOS Si, par simulation puis recuits expérimentaux sous NH₃ dans un réacteur MBE. La dégradation éventuelle des caractéristiques statiques de composants HEMTs GaN issus de ce nouveau procédé de croissance est discutée.

-
- Le **Chapitre 5** reporte les travaux réalisés sur l'épitanie localisée d'hétérostructures AlGaN/GaN sur Si, basée sur le procédé à basse température développé au Chapitre 4, et en présence de différents masques diélectriques (SiN, SiO₂). L'impact éventuel de ces derniers sur les caractéristiques électriques de HEMTs GaN est étudié. De plus, la tenue mécanique des masques pendant la fabrication des hétérostructures AlGaN/GaN est discutée en vue de la co-intégration de ces structures sur des circuits CMOS Si.
 - Le **Chapitre 6** présente les travaux préliminaires réalisés en vue de la fabrication d'hétérostructures AlGaN/GaN non planaires sur le substrat standard de la microélectronique Si, parmi d'autres approches rentrant dans les perspectives de ce projet (développement de masques rugueux pour la co-intégration de structures HEMTs GaN épaisses) et de la NH₃-MBE appliquée à la co-intégration de HEMTs GaN sur CMOS. En particulier, l'utilisation de la NH₃-MBE pour d'autres phases de la co-intégration, comme la fabrication de contacts ohmiques sur GaN sans or et sans recuit d'alliage, est évoquée.

CHAPITRE 1 LES NITRURES D'ÉLÉMENTS III

1.1 Introduction

Ce chapitre donne une vision d'ensemble des propriétés des composés III-N, en détaillant plus particulièrement les propriétés des couches minces à base de GaN hétéro-épitaxiées, sur lesquelles reposent la fabrication et le fonctionnement des transistors HEMTs GaN, qui seront décrits plus en détail dans le Chapitre 2.

1.2 Structure cristalline

Le nitride de gallium peut être synthétisé sous deux formes cristallines : la structure Wurtzite et la structure Zinc-Blende. La structure Wurtzite est la forme la plus stable du point de vue thermodynamique. Elle consiste en deux sous-réseaux hexagonaux compacts – un pour chaque espèce – décalés l'un par rapport à l'autre d'un vecteur u caractéristique de la Wurtzite, qui vaut idéalement $3/8$ de c (Figure 1.1). Le réseau hexagonal compact est caractérisé par ses deux paramètres c et a dont le rapport vaut théoriquement $\sqrt{8/3}$. Enfin, l'agencement des atomes se fait sous la forme de tétraèdres, dans lesquels chaque atome d'élément III est lié à 4 voisins d'élément V, et vice-versa. Le Tableau 1.1 reporte la valeur des paramètres de maille pour les composés binaires et ternaires III-N, d'après *Ambacher et al.*

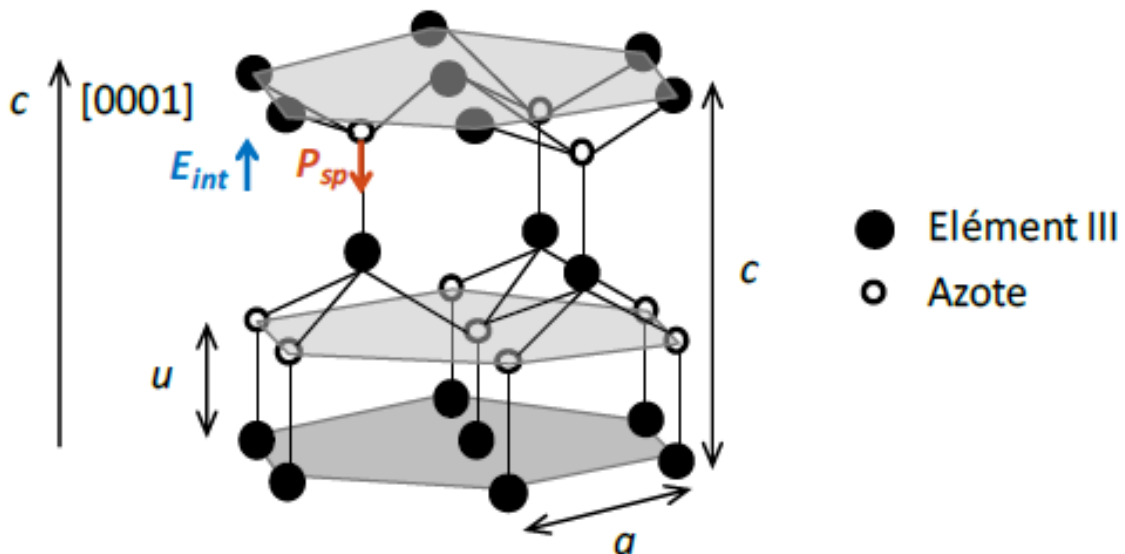


Figure 1.1 – Structure cristalline des composés III-N [10].

Le nitrure de gallium en phase Wurtzite se distingue de son homologue Zinc Blende à travers une qualité cristalline accrue et la présence d'une polarisation intrinsèque. La qualité cristalline est cruciale pour les applications optoélectroniques, car une corrélation directe peut être faite entre la densité de défauts structuraux, la performance et la durée de vie des dispositifs [11]. Ceci est particulièrement vrai pour les diodes lasers à base de GaN (Figure 1.2) [12, 13]. Enfin, nous verrons dans le Chapitre 2 que la polarisation électrique est au cœur du fonctionnement du HEMT GaN.

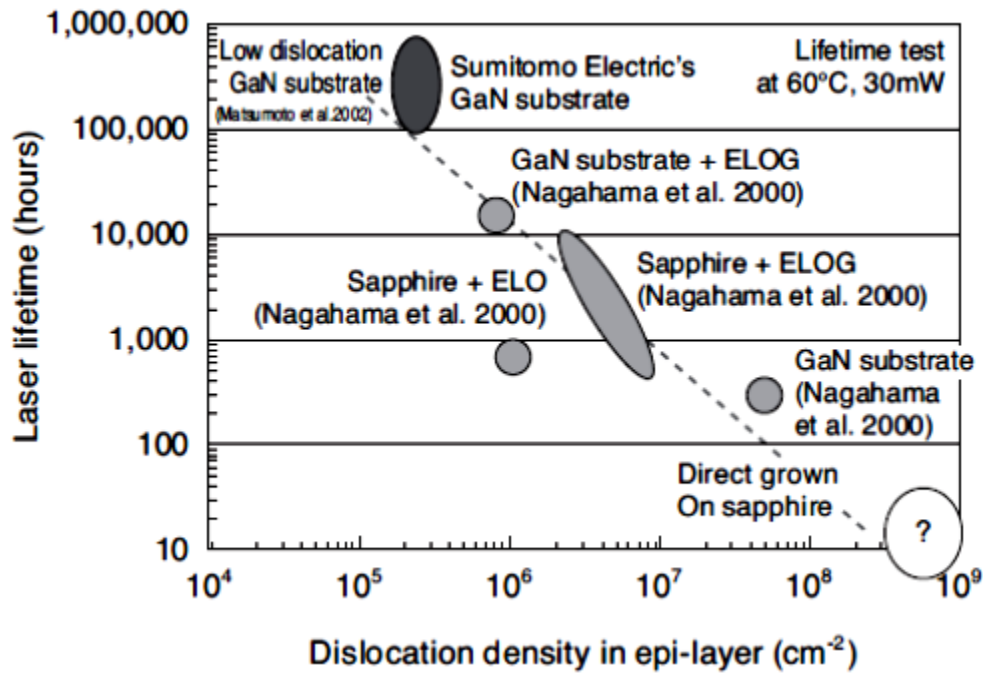


Figure 1.2 – Corrélation entre la densité de dislocations et la durée de vie de diodes lasers à base de GaN [12].

La polarisation intrinsèque, généralement appelée polarisation spontanée (P_{sp}), est dirigée selon l'axe c de la structure. L'absence de symétrie selon cette direction, ainsi que la forte différence d'électronégativité entre l'atome d'azote et l'élément III, entraînent la formation de dipôles. En effet, les nuages électroniques se trouvent décalés vers l'élément le plus électronégatif, l'azote, de sorte que le barycentre des charges positives et celui des charges négatives à l'intérieur d'un tétraèdre donné ne sont plus confondus. La valeur de cette polarisation varie en fonction de la nature et de la composition de l'alliage (Tableau 1.1). Enfin, une polarisation piézoélectrique (P_{pz}) peut s'ajouter à la polarisation spontanée sous l'effet d'une contrainte bi axiale déformant élastiquement la maille, et modifiant ainsi les dipôles formés par les atomes III et N (§1.10).

Composé	Paramètre de maille a	Paramètre de maille c	Polarisation spontanée P_{sp}
	(Å)	(Å)	C/m ²
GaN	3,189	5,185	-0,029
AlN	3,112	4,982	-0,081
InN	3,538	5,703	-0,032
$\text{Al}_x\text{Ga}_{1-x}\text{N}$	$a^{\text{AlN}}x + a^{\text{GaN}}(1-x)$	$c^{\text{AlN}}x + c^{\text{GaN}}(1-x)$	$P_{sp}^{\text{AlN}}x + P_{sp}^{\text{GaN}}(1-x) + 0,021x(1-x)$
$\text{In}_x\text{Al}_{1-x}\text{N}$	$a^{\text{InN}}x + a^{\text{AlN}}(1-x)$	$c^{\text{InN}}x + c^{\text{AlN}}(1-x)$	$P_{sp}^{\text{InN}}x + P_{sp}^{\text{AlN}}(1-x) + 0,070x(1-x)$
$\text{In}_x\text{Ga}_{1-x}\text{N}$	$a^{\text{InN}}x + a^{\text{GaN}}(1-x)$	$c^{\text{InN}}x + c^{\text{GaN}}(1-x)$	$P_{sp}^{\text{InN}}x + P_{sp}^{\text{GaN}}(1-x) + 0,037x(1-x)$

Tableau 1.1 – Paramètres de maille a et c des composés III-N en phase Wurtzite ; Polarisation spontanée à 300 K ; Lois de Vegard pour les principaux alliages ternaires [14-17].

Pour la technologie HEMT GaN, il est préférable que la croissance du cristal se fasse selon l'axe c de la structure Wurtzite, qui est également l'axe de la polarisation électrique. Dans cette direction, deux polarités – orientations du cristal – peuvent être obtenues (Figure 1.3) :

- La polarité Ga, associée au vecteur $[0001]$: la liaison $\text{Ga} - \text{N}$ parallèle à l'axe de croissance c est orientée de l'atome Ga vers l'atome N ;
- La polarité N, associée au vecteur $[000\bar{1}]$: la liaison $\text{Ga} - \text{N}$ parallèle à l'axe de croissance c est orientée de l'atome N vers l'atome Ga.

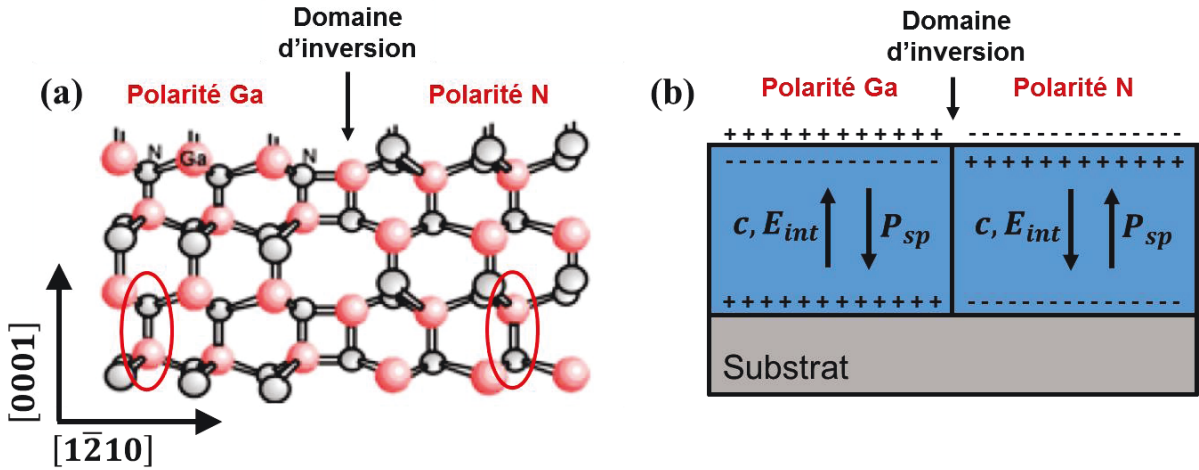


Figure 1.3 – (a) Polarité Ga et polarité N du nitrure de gallium en phase Wurtzite, séparées par un domaine d'inversion (b) Champs de polarisation et champs électriques internes ; les charges fixes induites par la polarisation sont représentées aux interfaces, compensées en surface par l'adsorption d'ions et la réorganisation des liaisons pendantes [18].

La Figure 1.3 représente l'orientation du champ de polarisation spontanée P_{sp} en fonction de la polarité du cristal. Il est intéressant de souligner que les deux polarités offrent des propriétés physico-chimiques différentes, pouvant notamment être exploitées par la technologie

HEMT GaN [19]. Différentes méthodes ont été proposées afin de discriminer la polarité de couches GaN (ex : attaque chimique, RHEED) [20]. La polarité est déterminée par le démarrage de la croissance (nucléation, §2.2.4), et dépend donc du substrat de départ et de la technique de croissance utilisée [18]. La technologie HEMT GaN basée sur la polarité Ga est la plus mature à ce jour. Cependant, des dispositifs HEMTs reposant sur la polarité N sont également en cours de développement, avec des résultats jugés prometteurs [21, 22].

1.3 Structure de bande

Tout semi-conducteur est caractérisé par sa structure de bande, et plus particulièrement par sa bande interdite, séparant les derniers états occupés de la bande de valence (BV) des premiers états libres suivants dans la bande de conduction (BC). La largeur de bande interdite (notée E_g) est définie comme la différence entre le minimum de la BC et le maximum de la BV. Lorsque le minimum et le maximum correspondent au même vecteur d'onde, le semi-conducteur possède une structure de bande directe, ce qui est le cas des nitrures d'éléments III au niveau de la vallée centrale Γ (Figure 1.4).

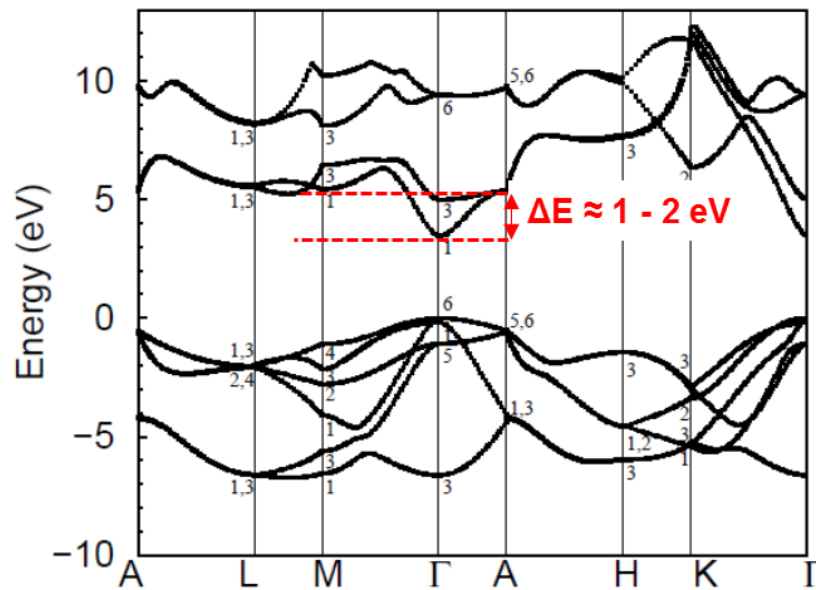


Figure 1.4 – Structure de bande de GaN en phase Wurtzite [23].

À 300 K, la largeur de bande interdite vaut 3,43 eV pour GaN et 6,1 eV pour l'AlN. La largeur de la bande interdite dépend de la température [24, 25]. De plus, la relation de *Varshni* qui relie la largeur de bande interdite à la température dépend étroitement de la déformation

résiduelle du matériau, ce qui a conduit à une certaine dispersion des valeurs reportées dans la littérature [24, 26-28]. Par exemple, dans le cas d'une hétérostructure AlN/GaN pseudo-morphique, la contrainte bi axiale extensive induite dans l'AlN conduit généralement à une réduction de largeur de bande interdite. De plus, la discontinuité entre les BV et les BC à l'interface peut être estimée à $\Delta E_{V,AlN/GaN} = 0,3$ eV et $\Delta E_{C,AlN/GaN} = 1,7$ eV respectivement [29-31]. La référence [32] donne une idée de la dispersion des valeurs de discontinuités de bandes concernant l'hétérostructure AlN/GaN. Leur connaissance est particulièrement importante pour estimer le degré de confinement des porteurs à l'interface et donc pour le dessin des hétérostructures AlGaIn/GaN. Une autre grandeur conditionnant les propriétés de transport est la masse effective des électrons dans la vallée centrale Γ , de $0,2m_0$ pour GaN et $0,4m_0$ pour AlN, où m_0 représente la masse de l'électron [30, 33]. Sur la Figure 1.4, nous pouvons observer la présence de vallées latérales ($M - L, A$) présentant des minima relatifs éloignés d'un à deux électronvolts (eV) au-dessus du minimum absolu de la BC. Pour la plupart des semi-conducteurs (III-V conventionnels, Si), cette différence est bien plus faible, de l'ordre de quelques centaines de meV. Cette particularité aura un impact important sur les propriétés électriques du GaN (§1.5). Enfin, la plus faible courbure des bandes dans les vallées satellites indique une masse effective des électrons accrue par rapport à la vallée centrale, c'est-à-dire une mobilité électronique réduite dans ces vallées.

1.4 Propriétés optiques

La largeur de bande interdite conditionne la longueur d'onde d'émission et d'absorption des dispositifs optoélectroniques. La distinction couramment utilisée entre matériaux à faible et large bande interdite intervient autour de 2 eV – énergie qui correspond approximativement à la limite de l'émission de lumière dans le rouge (Figure 1.5). En-deçà de cette limite se trouvent les semi-conducteurs III-V conventionnels (ex : GaAs, InP). Les matériaux III-V bénéficient d'un avantage décisif sur d'autres familles de composés, la possibilité de former facilement des alliages ternaires voire quaternaires (ex : AlInGaP, InGaIn). Cela permet de moduler la largeur de leur bande interdite en fonction de la composition des alliages. Par conséquent, en variant la composition de l'alliage, la longueur d'onde de la lumière émise à partir d'un dispositif peut être ajustée (Figure 1.5). Par exemple, dans le cas de l'AlGaIn, la largeur de bande interdite varie en fonction de la teneur en aluminium x :

$$E_g^{Al_xGa_{1-x}N} = E_g^{AlN} x + E_g^{GaN} (1 - x) - 0,9 \text{ eV} \times x(1 - x) \quad \text{Équation 1.1}$$

Notons la présence du terme non linéaire, dont le coefficient (communément appelé *bowing*) vaut 0,9 eV pour l'AlGaN [34], cette quantité dépendant de l'alliage considéré [28, 35].

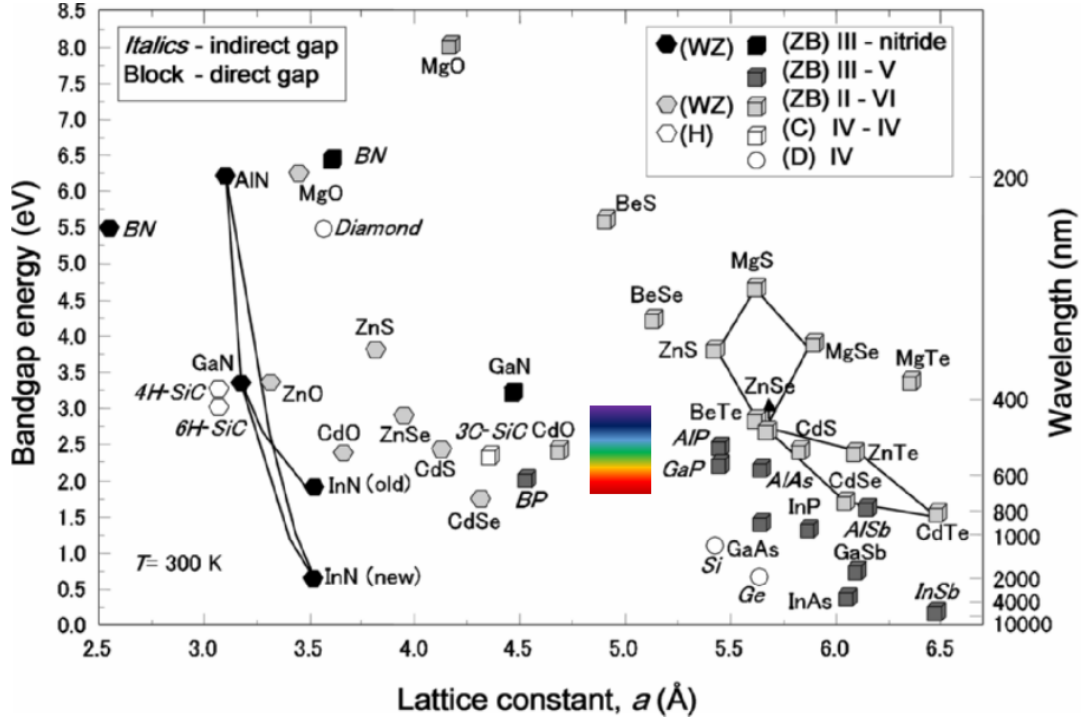


Figure 1.5 – Énergies de bande interdite et longueurs d'onde d'émission à 300 K en fonction du paramètre de maille, pour différentes familles de semi-conducteurs [36].

Théoriquement, cette stratégie permet de balayer une gamme spectrale allant du proche infrarouge à l'ultraviolet. En pratique, la faisabilité de certaines compositions reste limitée, pour des raisons notamment liées à la gestion des contraintes engendrées par l'hétéroépitaxie des nitrures d'éléments III, ou encore aux grandes différences d'énergie de liaison des composés (ex : InN et AlN) dans certains alliages comme AlInN. À titre d'exemple, l'augmentation du taux d'indium dans InGaN pour la fabrication de LEDs émettant dans le jaune et le rouge reste problématique. La Figure 1.5 rappelle la distinction entre matériaux à bande interdite directe et matériaux à bande interdite indirecte. Les matériaux se retrouvant dans cette dernière catégorie sont intrinsèquement de très mauvais émetteurs de lumière, car la recombinaison de charges entre BC et BV, qui permet l'émission d'un photon, se fait à vecteur d'onde non constant et requiert ainsi l'assistance des phonons. C'est le cas des deux matériaux historiques de la microélectronique, le silicium et le germanium, tous deux à faible largeur de bande interdite. Il en est de même pour le carbure de silicium qui possède une large bande interdite et serait sinon

un concurrent du GaN pour les LEDs bleues. Ces semi-conducteurs sont de fait très peu utilisés dans les dispositifs optoélectroniques à cause des très faibles niveaux de rendement obtenus : par exemple, moins de 0,1 % pour la LED SiC commercialisée par CREE en 1989. Notons que les chalcogénures tels que ZnSe ont été très étudiés comme candidats pour la fabrication de LED bleues. De bonnes performances ont été obtenues, cependant contrebalancées par une durée de vie trop faible des dispositifs [37]. Enfin, les oxydes de la famille des semi-conducteurs II-VI tels que ZnO devraient également concurrencer les nitrures d'éléments III pour les applications optoélectroniques. Ils sont néanmoins confrontés à un problème majeur depuis plusieurs années : l'impossibilité d'obtenir un dopage de type P de façon stable et contrôlée.

1.5 Propriétés électriques

La mobilité des électrons – notée μ_e – traduit la facilité avec laquelle les porteurs se déplacent dans le réseau cristallin. Sa valeur dépend des différents mécanismes de diffusion présents dans le milieu de transport. En particulier, la mobilité électronique dans le GaN massif peut atteindre $900 \text{ cm}^2.(\text{V.s})^{-1}$ mais peut également chuter en-deçà de $100 \text{ cm}^2.(\text{V.s})^{-1}$ lorsque le matériau présente un dopage résiduel élevé. Le cas de l'hétérostructure AlGaN/GaN est détaillé au §2.3.3.

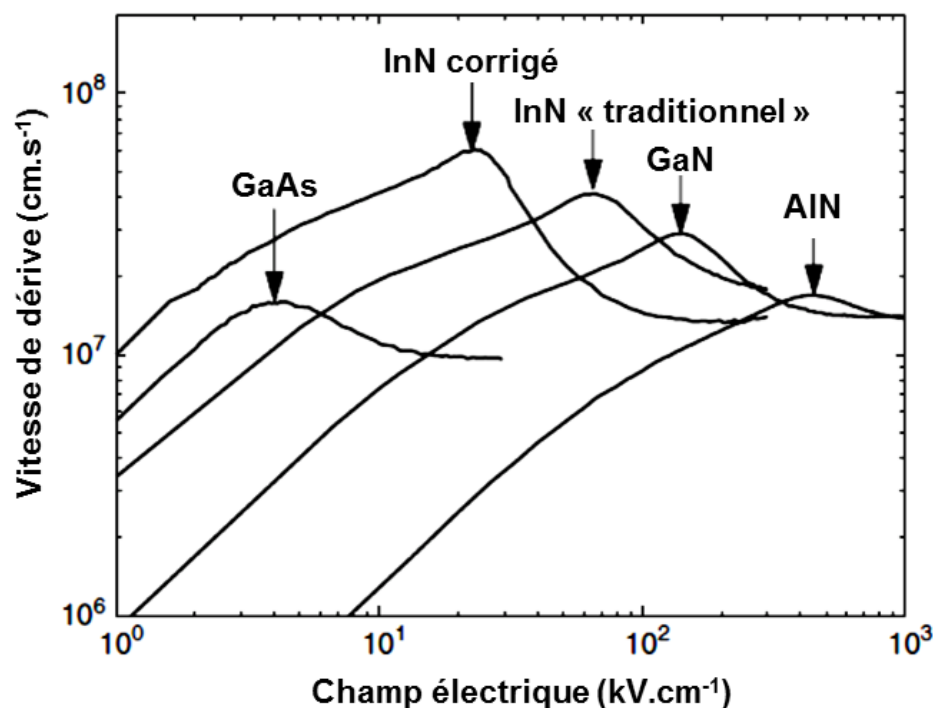


Figure 1.6 – Vitesse de dérive des électrons dans les composés III-N et GaAs en fonction du champ électrique, à 300 K et pour un dopage de 10^{17} cm^{-3} [38].

La Figure 1.6 décrit la vitesse de dérive des électrons – notée ici v_d – dans GaN en fonction du champ électrique appliqué F . Cette caractéristique peut se décomposer en 3 régions :

(1) Une région linéaire, à faible champ ($F = 1 - 10$ kV / cm)

Au voisinage de son minimum, situé dans la vallée centrale Γ , BC est quasi-parabolique, ce qui signifie que les porteurs ont une masse effective m^* relativement faible et donc une mobilité μ_e plus élevée. Dans l'approximation du temps de relaxation, la mobilité μ_e s'écrit :

$$\mu_e = \frac{q \times \tau}{m^*} \quad \text{Équation 1.2}$$

Avec

$$\left(\frac{1}{m^*} \right) = \frac{1}{\hbar^2} \frac{\partial^2 E}{\partial k^2}$$

Où q représente la charge de l'électron, \hbar est la constante de Planck, E l'énergie et k le vecteur d'onde de la particule. Le temps de relaxation τ correspond à la durée moyenne entre deux événements de diffusion (collisions) subis par l'électron. Dans ce régime, la mobilité μ_e est indépendante du champ F , et la vitesse de dérive v_d évolue linéairement avec celui-ci :

$$v_d = \mu_e \times F \quad \text{Équation 1.3}$$

En introduisant n la densité de porteurs, la densité de courant j_d est donnée par :

$$j_d = q \cdot n \cdot v_d = q \cdot n \cdot \mu_e \times F \quad \text{Équation 1.4}$$

(2) Un régime non linéaire ($F > 10$ kV / cm) terminé par un pic de survitesse situé entre 100 et 200 kV / cm.

(3) Un régime de saturation ($F > 200$ kV / cm)

La vitesse de dérive des électrons v_d est alors limitée par leurs interactions avec le réseau cristallin via les phonons optiques, qui est le mécanisme de diffusion prédominant à fort champ. L'observation d'un pic de survitesse dans la caractéristique $v_d(F)$ est classique pour les matériaux III-V, contrairement aux cas de Si et de Ge. Sa présence est liée à l'existence de vallées satellites dans la BC ($M - L, A$) proches de la vallée centrale Γ , dont le minimum d'énergie est supérieur à celui de la vallée Γ , d'une valeur ΔE (Figure 1.4). À la différence de la vallée centrale, ces vallées satellites présentent une faible courbure de bande, donc une masse effective relativement élevée. Par conséquent, la mobilité des porteurs dans les vallées satellites est faible. Cette différence est particulièrement marquée dans le cas du GaAs où la mobilité dans la vallée centrale vaut $8000 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ contre $100 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ dans la vallée latérale [11].

Lorsque le champ électrique dépasse une certaine valeur, qui dépend de ΔE , les électrons présents dans la vallée Γ de haute mobilité acquièrent une énergie suffisante pour être transférés vers une vallée latérale à basse mobilité. La diminution de la vitesse de dérive des électrons alors observée est désignée par le terme de mobilité différentielle négative (NDR) [39] :

$$\frac{d\mu}{dF} < 0 \quad \text{Équation 1.5}$$

La mobilité différentielle négative est à la base du fonctionnement des diodes Gunn GaAs [39]. La valeur ΔE s'élève à 0,31 eV pour le GaAs et serait de 1 à 2 eV pour le GaN, ce qui explique que le champ critique correspondant au transfert d'électrons vers les vallées satellites soient plus élevé pour ce dernier (≈ 150 kV / cm) vis-à-vis du GaAs (2 à 3 kV / cm). Le Tableau 1.2 résume les propriétés de transport du GaN et de quelques semi-conducteurs couramment utilisés. La mobilité électronique dans le GaN massif est relativement faible par rapport au Si et au GaAs, ce qui est dû à une masse effective des électrons plus grande dans GaN. Par la suite, nous verrons que la mobilité électronique dans le GaN peut être plus que doublée par l'utilisation d'hétérostructures AlGaN/GaN (§2.3.3). En revanche, la mobilité des trous demeure très faible, hétérostructure ou non. C'est pourquoi la plupart des dispositifs électroniques à base de GaN utilisent les électrons comme porteurs (ex : HEMT, diode Schottky, nMOSFET). Une exception est la diode PN à base de GaN, étudiée pour des applications en électronique de puissance [40]. De plus, la vitesse de dérive des électrons est 2 à 3 fois plus élevée dans le GaN que dans le Si, ce qui est imputable à la fois à l'énergie élevée du phonon optique dans le GaN et à une énergie de transition relativement grande pour le transfert d'électrons vers des vallées supérieures [41]. Enfin, le GaN partage avec les autres matériaux à large bande interdite un champ de claquage très élevé, d'un ordre de grandeur au-dessus de celui de GaAs et de Si.

Propriété	Symbole	Unité	Si	GaAs*	4H-SiC	GaN*
Largeur de bande interdite	E_g	eV	1.1	1.4	3.3	3.4
Mobilité électronique	μ	$\text{cm}^2.\text{V}^{-1}.\text{s}^{-1}$	1400	8500	700	900
Vitesse de saturation	v	cm.s^{-1}	1.0 (1.0)	1.3 (2.1)	2.0 (2.0)	1.3 (2.7)
Constante diélectrique relative	ϵ_r	\emptyset	11,8	12,8	10	9,5
Champ de claquage	E_c	MV.cm^{-1}	0.3	0.4	3	3.5

* Matériau à structure de bande directe

() Vitesse de dérive maximale

Tableau 1.2 – Propriétés électriques du GaN à 300 K [7].

1.6 Propriétés mécaniques

La réponse des nitrures d'éléments III à l'application d'une contrainte passe par 3 principaux régimes de déformation :

(1) **Un régime de déformation élastique** – réversible – se traduisant par la modification des distances interatomiques, c'est-à-dire du paramètre de maille. La loi de Hooke relie le tenseur de contrainte $\vec{\sigma}$ au tenseur de déformation $\vec{\varepsilon}$ via le tenseur des coefficients élastiques \hat{C} :

$$\vec{\sigma} = \hat{C} \times \vec{\varepsilon} \quad \text{Équation 1.6}$$

(2) **Un régime de déformation plastique** – non linéaire et irréversible – se traduisant par la création et éventuellement le déplacement de défauts cristallins dans la structure.

(3) **Un régime d'endommagement** se traduisant par l'apparition de fissures dans le cas d'une contrainte extensive.

L'essai mécanique de traction unidimensionnel sur un matériau ductile peut servir d'analogie pour illustrer ces différents régimes dans le cas d'une croissance par hétéroépitaxie, ainsi que représenté dans la Figure 1.7.

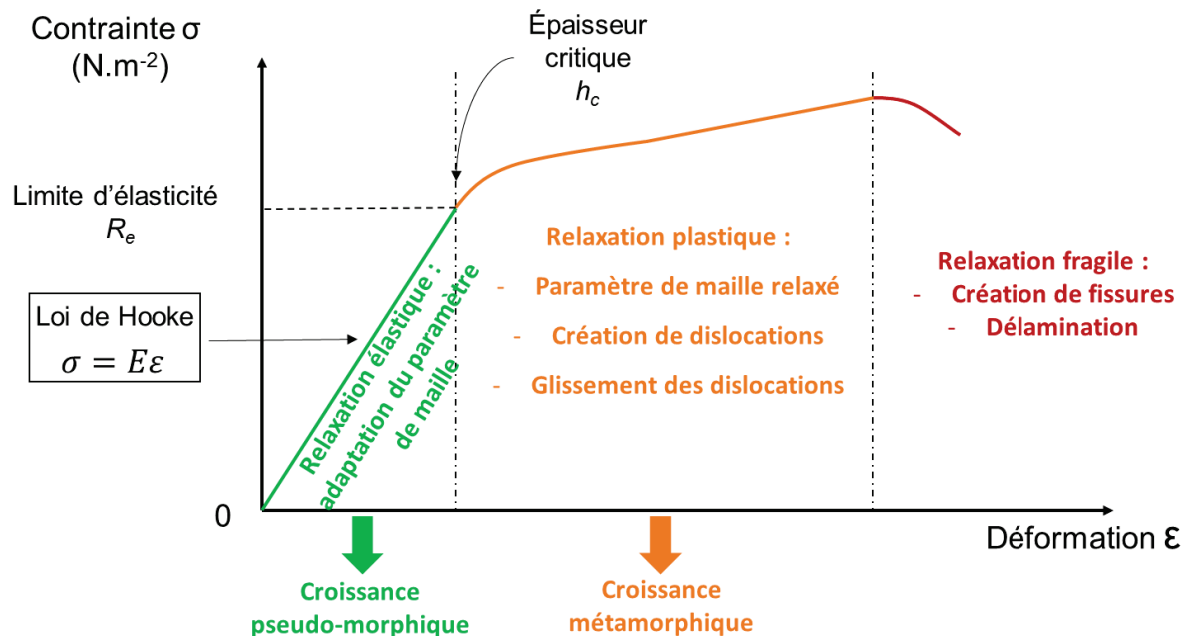


Figure 1.7 – Caractéristique $\sigma(\varepsilon)$ d'un essai de traction unidimensionnel sur un matériau ductile. Les annotations illustrent cette caractéristique dans le cas de la croissance d'une couche AlGaIn en tension sur GaN.

Dans le régime élastique, la déformation d'une couche est décrite par la loi de Hooke. En utilisant un repère (x, y, z) orthonormé, et la notation de Voigt ($xx \rightarrow 1, yy \rightarrow 2, zz \rightarrow 3, yz \rightarrow 4, zx \rightarrow 5, xy \rightarrow 6$), la relation (1.6) peut s'écrire de la façon suivante [42] :

$$\begin{bmatrix} \sigma_1 \\ \sigma_2 \\ \sigma_3 \\ \sigma_4 \\ \sigma_5 \\ \sigma_6 \end{bmatrix} = \begin{bmatrix} C_{11} & C_{12} & C_{13} & 0 & 0 & 0 \\ C_{12} & C_{22} & C_{13} & 0 & 0 & 0 \\ C_{13} & C_{13} & C_{33} & 0 & 0 & 0 \\ 0 & 0 & 0 & C_{44} & 0 & 0 \\ 0 & 0 & 0 & 0 & C_{44} & 0 \\ 0 & 0 & 0 & 0 & 0 & \frac{C_{11} - C_{12}}{2} \end{bmatrix} \times \begin{bmatrix} \varepsilon_1 \\ \varepsilon_2 \\ \varepsilon_3 \\ \varepsilon_4 \\ \varepsilon_5 \\ \varepsilon_6 \end{bmatrix} \quad \text{Équation 1.7}$$

Dans un système bicouche (ex : AlGaIn sur GaN), une contrainte de type bi axial σ_{xx} (σ_1) apparaît, du fait du désaccord de paramètre de maille entre les deux composés. Dans ce cas, les simplifications suivantes peuvent être apportées à (1.7) :

- Les composantes de la contrainte selon l'axe x et l'axe y sont égales ($\sigma_1 = \sigma_2$) ;
- La couche se déforme de la même façon dans toutes les directions du plan de croissance ($\varepsilon_1 = \varepsilon_2$) ;
- La contrainte selon l'axe z est nulle ($\sigma_3 = 0$), il n'y a pas de contrainte de cisaillement ($\sigma_4 = \sigma_5 = \sigma_6 = 0$) ;
- Les composantes de cisaillement sont nulles pour la déformation également ($\varepsilon_4 = \varepsilon_5 = \varepsilon_6 = 0$).

$$\begin{bmatrix} \sigma_1 \\ \sigma_1 \\ 0 \\ 0 \\ 0 \\ 0 \end{bmatrix} = \begin{bmatrix} C_{11} & C_{21} & C_{13} & 0 & 0 & 0 \\ C_{12} & C_{22} & C_{13} & 0 & 0 & 0 \\ C_{13} & C_{13} & C_{33} & 0 & 0 & 0 \\ 0 & 0 & 0 & C_{44} & 0 & 0 \\ 0 & 0 & 0 & 0 & C_{44} & 0 \\ 0 & 0 & 0 & 0 & 0 & \frac{C_{11} - C_{12}}{2} \end{bmatrix} \times \begin{bmatrix} \varepsilon_1 \\ \varepsilon_1 \\ \varepsilon_3 \\ 0 \\ 0 \\ 0 \end{bmatrix} \quad \text{Équation 1.8}$$

D'où le système d'équations suivant $\begin{cases} \sigma_1 = \varepsilon_1(C_{11} + C_{12}) + C_{13}\varepsilon_3 \\ \sigma_3 = 0 = 2\varepsilon_1 C_{13} + \varepsilon_3 C_{33} \end{cases}$

$$\text{Avec } \varepsilon_1 = \varepsilon_{xx} = \frac{a-a_0}{a_0} \text{ et } \varepsilon_3 = \varepsilon_{zz} = \frac{c-c_0}{c_0}$$

Où a_0 et c_0 sont les paramètres de maille du nitrure à l'état relaxé (Tableau 1.1). Il en découle la contrainte bi axiale au sein de la couche déformée :

$$\sigma_{xx} = \left(C_{11} + C_{12} - 2 \frac{C_{13}^2}{C_{33}} \right) \times \varepsilon_{xx} = M \times \varepsilon_{xx} \quad \text{Équation 1.9}$$

$$\text{avec} \quad M = \left(C_{11} + C_{12} - 2 \frac{C_{13}^2}{C_{33}} \right) \quad \text{Équation 1.10}$$

Le module d'élasticité bi axial M relie ainsi la déformation à la contrainte dans le plan de croissance. Le Tableau 1.3 fournit la valeur des coefficients élastiques pour les composés binaires III-N, d'après *Wright*. Les coefficients élastiques de l'AlGaN peuvent être estimés via une interpolation linéaire entre ceux de l'AlN et du GaN [43].

Composé	C_{11}	C_{12}	C_{13}	C_{33}	C_{44}
	GPa	GPa	GPa	GPa	GPa
GaN	367	135	103	405	95
AlN	396	137	108	373	116

Tableau 1.3 – Coefficients élastiques de l'AlN et du GaN (sur lesquels se basent les calculs présentés au Chapitre 2 concernant les hétérostructures AlGaN/GaN) [44].

1.7 Couches minces

Les différents cas de figure pouvant se présenter lors de la croissance de couches minces sur un substrat sont décrits dans la Figure 1.8 : (a) homo-épitaxie, par exemple croissance de GaN sur GaN, donc parfaitement adapté en maille ; hétéroépitaxie, la croissance de GaN sur un substrat désadapté en maille, le film est alors soit (b) parfaitement contraint (croissance pseudo morphique) ou (c) partiellement voire complètement relaxé (croissance métamorphique) ; la croissance sans relation d'épitaxie, conduisant à (d) une couche de GaN polycristalline.

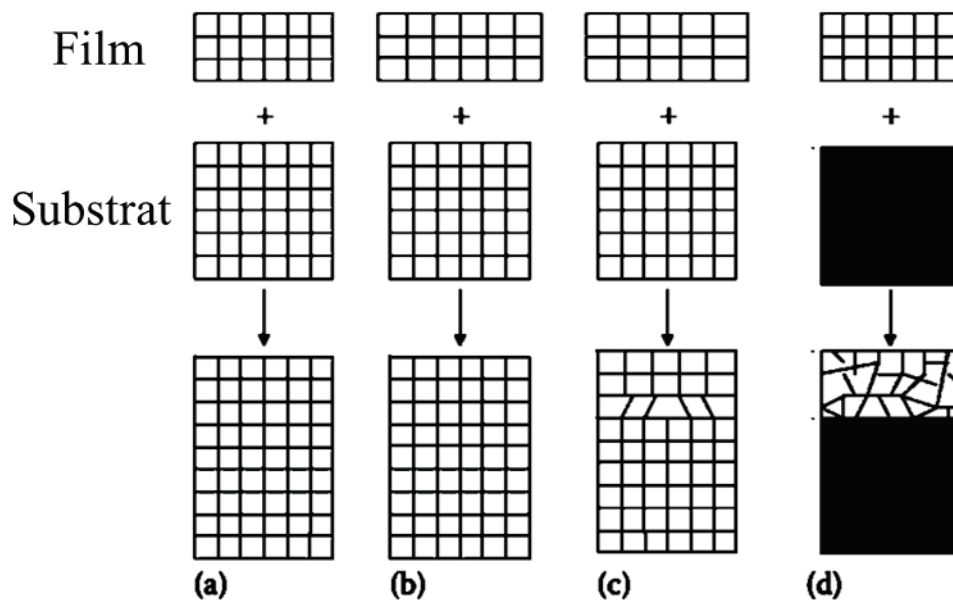


Figure 1.8 – Croissance de couches minces dans les cas suivants : (a) parfait accord de maille entre le film et le substrat (b) désaccord de maille et film parfaitement contraint (c) désaccord de maille et film partiellement relaxé (d) film polycristallin [11].

En particulier, la Figure 1.8b correspond au régime de relaxation élastique, tandis que la Figure 1.8c illustre le régime de relaxation plastique. La transition entre ces deux régimes dépend de l'énergie élastique emmagasinée par le film au cours de la croissance, s'exprimant en fonction de la déformation ε_{xx} de la couche et de son épaisseur h suivant la relation :

$$\frac{E_{\text{élastique}}}{S} = \sigma_{xx} \varepsilon_{xx} h = M \times h \times \varepsilon_{xx}^2 \quad \text{Équation 1.11}$$

Au cours de la croissance, l'énergie emmagasinée augmente linéairement avec l'épaisseur déposée et proportionnellement à la surface S du substrat (1.11). À partir d'une certaine épaisseur – dite épaisseur critique – le système cesse de se déformer élastiquement et favorise la formation de défauts cristallins dans le but de minimiser son énergie totale (Figure 1.8c). Plusieurs modèles ont été développés pour tenter de prédire l'épaisseur critique d'un système de couches contraintes par hétéroépitaxie [11, 42]. Cette épaisseur dépend étroitement de l'amplitude du désaccord de paramètre de maille initial entre les deux matériaux, mais également de bien d'autres facteurs, en particulier, des paramètres de croissance (ex : température). Le désaccord de maille entre le film et le substrat s'exprime de la manière suivante :

$$\frac{\Delta a}{a} (\%) = \frac{a_{\text{film}} - a_{\text{substrat}}}{a_{\text{substrat}}} \times 100 \quad \text{Équation 1.12}$$

1.8 Dislocations traversantes

La croissance de couches minces sur un substrat donné peut engendrer de nombreuses imperfections dans le réseau cristallin :

- Des défauts ponctuels : lacunes, atomes interstitiels, impuretés (en site substitutionnel ou interstitiel), voire des complexes combinant ces différents défauts ;
- Des défauts linéaires, appelés dislocations ;
- Des défauts planaires : fautes d'empilement, joints de grain ou parois de domaines ;
- Des défauts volumiques : précipités, inclusions d'une phase cristalline au sein d'une autre, domaines d'inversion de polarité.

Les nitrures d'éléments III sont particulièrement connus pour leurs grandes densités de dislocations et plus précisément de dislocations traversantes. Typiquement, des densités de dislocations traversantes (DDTs) de l'ordre $10^7 - 10^{10} \text{ cm}^{-2}$ sont rencontrées dans des films GaN obtenus par hétéroépitaxie sur Si, saphir ou SiC. Ces dislocations sont ainsi nommées car elles

naissent à l'interface entre les nitrures et le substrat et se propagent verticalement à travers les différentes couches. Leur importance tient notamment aux nombreux effets indésirables qu'elles engendrent dans les dispositifs :

- Dans les dispositifs optoélectroniques, elles se comportent comme des centres de recombinaison non radiatifs pour les électrons et les trous, diminuant l'efficacité de la luminescence, et génèrent des courants de fuites à travers les jonctions PN [11] ;
- Dans les HEMTs, elles contribuent à l'existence de courants de fuite à travers la grille et la structure, se traduisant par une diminution des tensions de claquage [45] ;
- Dans une hétérojonction AlGaIn/GaN, les dislocations piègent des charges et réduisent la densité de porteurs dans le canal. Ces dislocations chargées forment des centres de diffusion, limitant la mobilité des porteurs (§2.3.3) ;
- D'une façon générale, la durée de vie et la fiabilité des dispositifs sont détériorées en présence d'une DDT élevée (§1.1).

La Figure 1.9 illustre la déformation induite par différents types de dislocation. Par exemple, une dislocation coin peut être vue comme une ligne de liaisons atomiques rompues, ou l'insertion d'un demi-plan atomique supplémentaire dans le réseau. La zone comportant le demi-plan supplémentaire est alors en compression, tandis que la zone opposée se trouve en tension. La description géométrique d'une dislocation se fait à l'aide de deux vecteurs : un vecteur unitaire \vec{l} symbolisant la direction de la ligne de dislocation, et le vecteur de Burgers \vec{b} caractérisant l'amplitude de la déformation locale autour de la dislocation. Le vecteur de Burgers est obtenu en formant une boucle dans un cristal parfait puis autour de la dislocation (circuit de Burgers). Le défaut de fermeture du circuit correspond au glissement \vec{b} d'une partie du cristal par rapport à l'autre. La ligne de dislocation \vec{l} correspond à la ligne du plan de glissement séparant la partie du cristal qui a glissé de celle qui est restée immobile. Notons que dans le cas d'une dislocation coin, \vec{l} et \vec{b} sont perpendiculaires, tandis que pour une dislocation vis, \vec{l} et \vec{b} sont parallèles. Dans les nitrures d'éléments III, nous distinguons deux familles de dislocations :

- Les dislocations d'interfaces : formées à l'interface entre deux couches de nature différente (ex : AlN/Si), elles ne se propagent pas verticalement. Leur existence tient aux désaccords structuraux entre les deux réseaux cristallins se traduisant par

exemple par l'insertion de demi-plans supplémentaires dans le réseau cristallin du nitrure vis-à-vis de celui du silicium. Tout comme la ligne de dislocation, leur vecteur de Burgers présente au moins une composante dans le plan de l'interface.

- Les dislocations traversantes : leur vecteur \vec{l} possède une composante non nulle selon l'axe c , c'est-à-dire que la dislocation se propage verticalement. Le fort désaccord entre les deux réseaux cristallins se traduit par une plus grande désorientation entre les germes nucléés à la surface du substrat. La coalescence entre des germes plus ou moins désorientés engendre des défauts à l'interface formant les joints de grain.

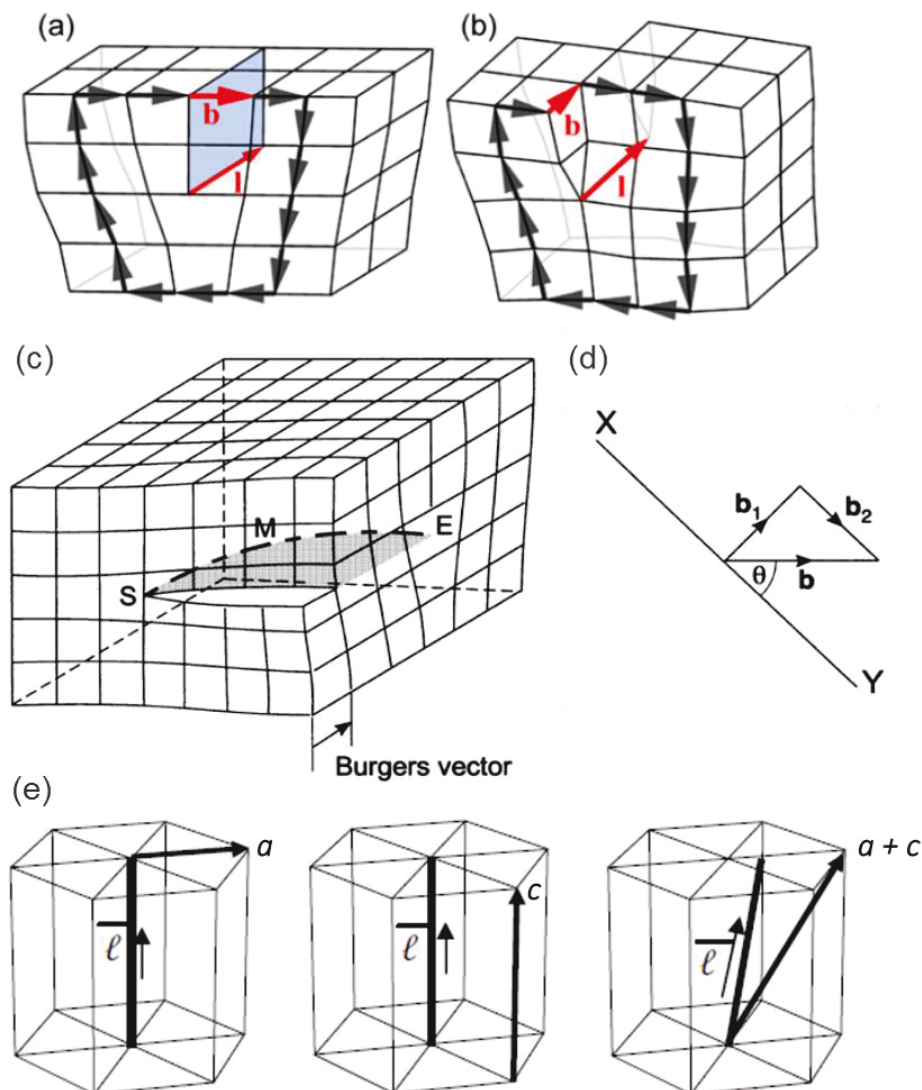


Figure 1.9 – Dislocations (a) coin (b) vis (c) mixte (d) Composantes « coin » et « vis » du vecteur de Burger d'une dislocation mixte XY (e) Lignes de dislocation et orientation des vecteurs de Burgers des dislocations traversantes présentes dans GaN. Les dislocations de type $a + c$ peuvent aussi avoir une ligne de dislocation parallèle à l'axe c [11, 42, 46].

Les trois types de dislocations traversantes rencontrées dans les nitrures d'éléments III en phase Wurtzite sont représentés dans la Figure 1.9. Leurs caractéristiques sont les suivantes :

- Dislocations coin – dites « de type a » : elles possèdent un vecteur de Burgers $\vec{b} = \frac{1}{3}\langle 11\bar{2}0 \rangle$ et un vecteur directeur $\vec{l} = \langle 0001 \rangle$;
- Dislocations vis – dites « de type c » : elles possèdent un vecteur de Burgers et un vecteur directeur identique ($\vec{b} = \vec{l} = \langle 0001 \rangle$). Le circuit de Burgers décrit une spirale autour de la ligne de dislocation, du fait de la déformation du réseau cristallin [46] ;
- Les dislocations mixtes – dites « de type $a + c$ » : leur vecteur de Burgers est une combinaison linéaire des deux précédents types de dislocation ($\vec{b} = \frac{1}{3}\langle 11\bar{2}3 \rangle$).

Typiquement, les dislocations coin et mixtes représentent la grande majorité des dislocations observées dans le GaN [11]. Comme $a < c$ (Tableau 1.1), les dislocations traversantes avec une composante selon l'axe a ont une énergie inférieure à celle des dislocations vis. De plus, les seules dislocations capables de relaxer la contrainte bi axiale sont les dislocations ayant une composante de leur vecteur directeur \vec{l} dans le plan de croissance, c'est-à-dire les dislocations d'interfaces. Cependant, dans le cas des nitrures, on observe également la présence de dislocations traversantes de type a et $(a + c)$ majoritairement inclinées par rapport à l'axe de croissance c , dont la projection dans le plan de croissance s'apparente à un segment de dislocation d'interface (Figure 1.10) [47]. Ces dislocations contribuent également à la relaxation de la contrainte bi axiale dans les films de nitrures.

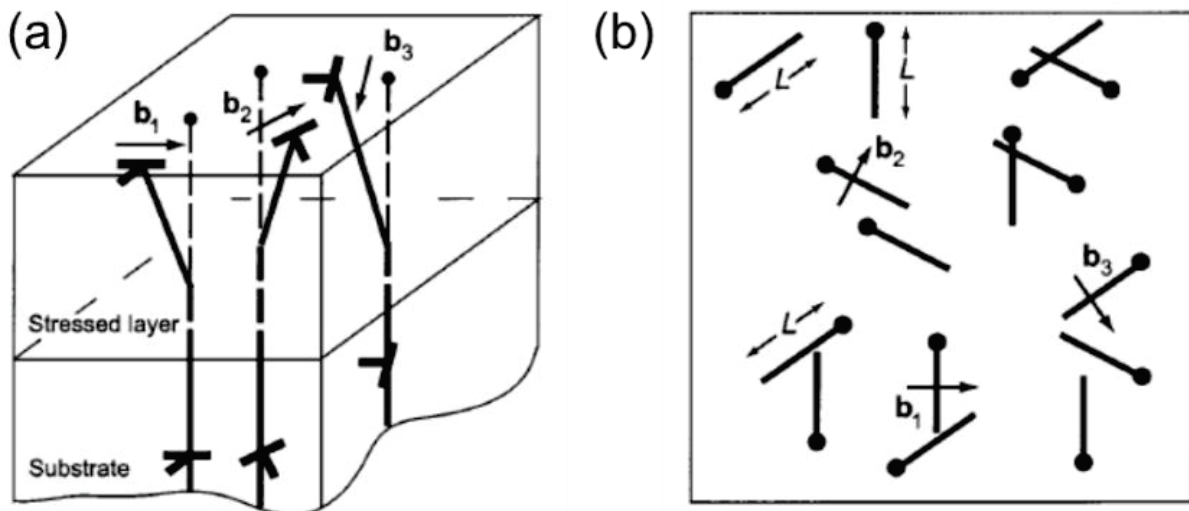


Figure 1.10 – (a) Familles de dislocations traversantes de type coin inclinées dans un film de nitrure et (b) leur projection sur le plan de croissance (0001) [47].

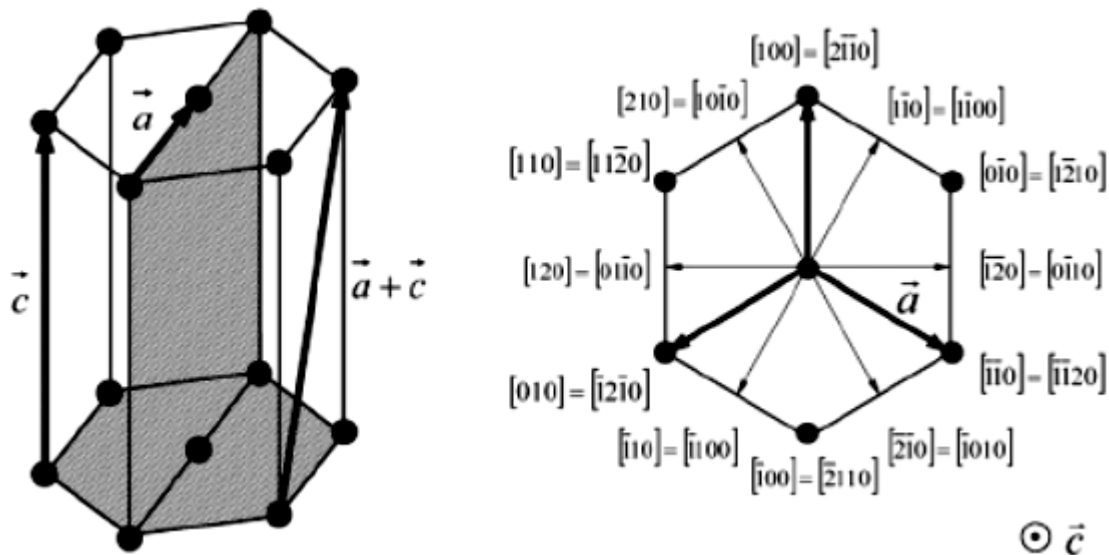


Figure 1.11 – Plans de glissement (en gris) et orientations cristallographiques des dislocations dans les nitrures d'éléments III.

La déformation plastique se manifeste habituellement dans les matériaux cristallins par le glissement du cristal selon certains plans et certaines directions cristallographiques (Figure 1.11) [46], correspondant généralement aux plans de plus forte densité atomique ($\{0001\}$, $\{10\bar{1}0\}$ pour GaN) et aux directions les plus denses ($\langle 11\bar{2}0 \rangle$). Généralement, le glissement des dislocations est dû à leur mouvement parallèlement (perpendiculairement) à la force de cisaillement appliquée pour une dislocation coin (pour une dislocation vis). Dans le cas d'une déformation bi axiale, les forces de cisaillement étant nulles, les dislocations verticales ne sont en principe pas mobiles dans GaN. Ceci est mis en évidence en considérant la force de Peach-Koehler \vec{F} qui s'applique à une dislocation de longueur L en présence d'un champ de contrainte σ_{ij} [48] :

$$\frac{\vec{F}}{L} = (\sigma_{ij} \vec{b}) \wedge \vec{l} \quad \text{Équation 1.13}$$

Pour des dislocations traversantes de type a et $(a+c)$ soumises à une contrainte bi axiale, la projection de cette force sur les plans de glissement $\{10\bar{1}0\}$ est nulle [49]. Par conséquent, l'inclinaison des dislocations traversantes observée dans le GaN ne peut pas être due à un phénomène de glissement. Aussi, le mouvement des dislocations en dehors de leur plan de glissement est plutôt attribué à une montée de la dislocation pendant la croissance [46]. L'étude de ces défauts au CRHEA a montré que le phénomène d'inclinaison et donc de relaxation par les dislocations traversantes est influencé par les paramètres de croissance [45, 49]. Enfin,

lorsque la dislocation est inclinée, la contrainte résolue dans le plan de glissement n'est plus nulle, c'est-à-dire que leur glissement peut désormais être influencé par la force de Peach-Koehler (1.13).

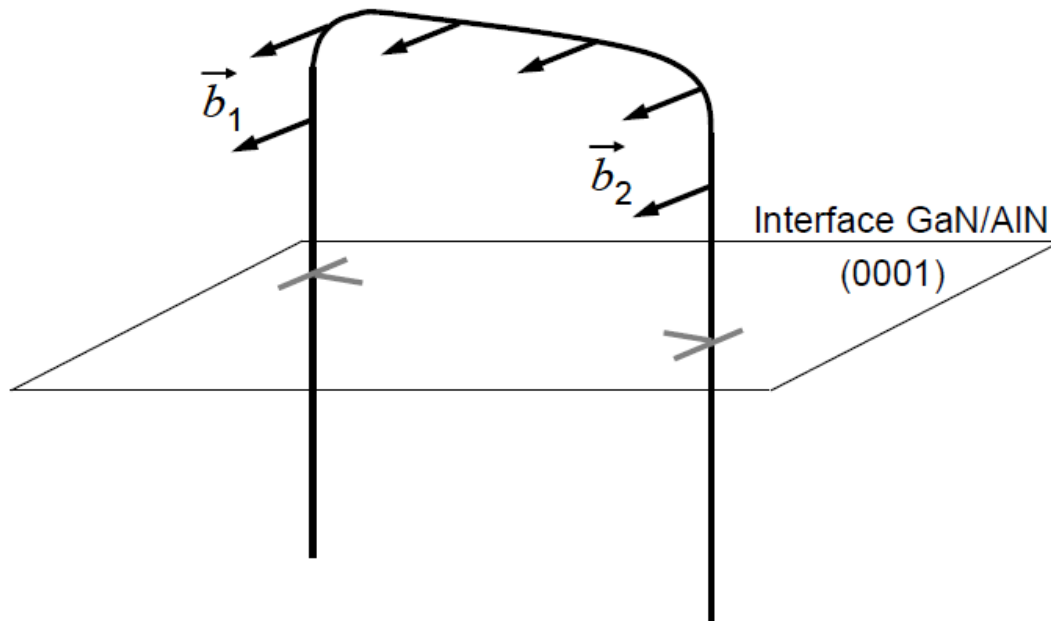


Figure 1.12 – Demi-boucle de dislocations formée à partir de deux dislocations traversantes de type coin [49].

Les dislocations peuvent également interagir entre elles pour former des demi-boucles de dislocation, (Figure 1.12). Celles-ci se composent de deux segments de dislocations traversantes associés à un segment de dislocation dans le plan de croissance. La formation d'une boucle requiert deux dislocations avec des composantes coins de vecteurs de Burgers opposés ($\vec{b} = \frac{1}{3}\langle 11\bar{2}0 \rangle$), de telle sorte que les deux demi-plans supplémentaires des dislocations coin soient parallèles, ainsi que représenté dans la Figure 1.12. Dans ce cas, seul le segment appartenant au plan de croissance permet de relaxer la contrainte bi axiale. La demi-boucle ainsi formée est fixe, car il n'existe pas de plan de glissement permettant de déplacer les segments traversants. Étant données les conditions nécessaires à la formation de boucles de dislocations, ce processus de relaxation et de filtrage des défauts sera plus efficace dans des couches présentant une grande DDT, et sera favorisé par la présence d'interfaces.

1.9 Mosaïcité

Théoriquement, un monocristal est un matériau constitué d'un seul et unique cristal, par opposition avec un matériau polycristallin, constitué d'une multitude de petits cristaux de tailles et d'orientations variées. En pratique, les deux types de matériau sont décrits de façon similaire. Ainsi, une couche GaN hétéro-épitaxiée peut être vue comme une mosaïque de petits blocs, ayant une structure identique mais étant légèrement désorientés les uns par rapport aux autres, et de façon aléatoire (Figure 1.13). La longueur de cohérence fait référence à la taille finie des cristallites, qui limite la cohérence lors d'une expérience de diffraction des rayons X. La désorientation dans le plan de croissance ou l'angle de rotation moyen entre les différents grains est appelé *twist* tandis que la désorientation moyenne par rapport à l'axe de croissance ou l'inclinaison entre différentes cristallites est appelée *tilt*. Dans le cas des nitrures d'éléments III synthétisés par épitaxie sur un substrat non natif, la longueur de cohérence verticale est élevée tandis que la longueur de cohérence latérale est relativement limitée (Figure 1.14). Cette particularité trouve son origine dans le démarrage de la croissance, avec la formation d'une multitude d'îlots dont le diamètre varie de quelques dizaines à quelques centaines de nanomètres. La coalescence intervient rapidement et la désorientation entre les îlots est accommodée par la formation de nombreuses dislocations traversantes à la jonction entre les domaines. Ce type de croissance est dit « croissance colonnaire », avec les colonnes de nitrures orientées selon l'axe c de la maille.

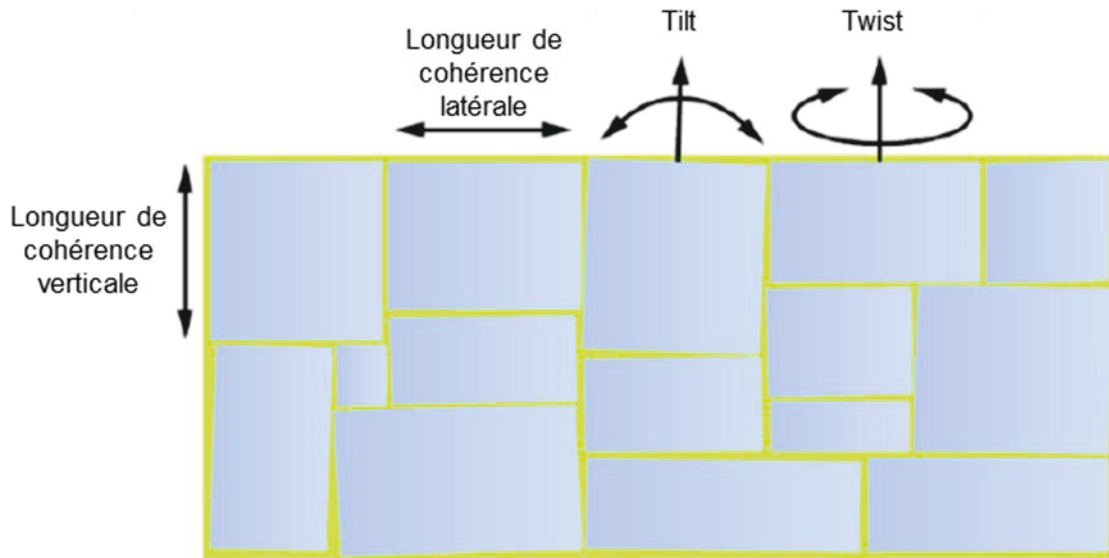


Figure 1.13 – Description d'un monocristal comme l'assemblage de différents domaines faiblement désorientés les uns par rapport aux autres [42].

Le *tilt* peut être accommodé par la formation de dislocations traversantes de type vis tandis que le *twist* peut être accommodé par des dislocations traversantes de type coin. Dans le cas général, la désorientation est une combinaison de *tilt* et de *twist*, les trois types de dislocations traversantes (vis, coin et mixtes) sont alors nécessaires pour accommoder la désorientation entre les grains.

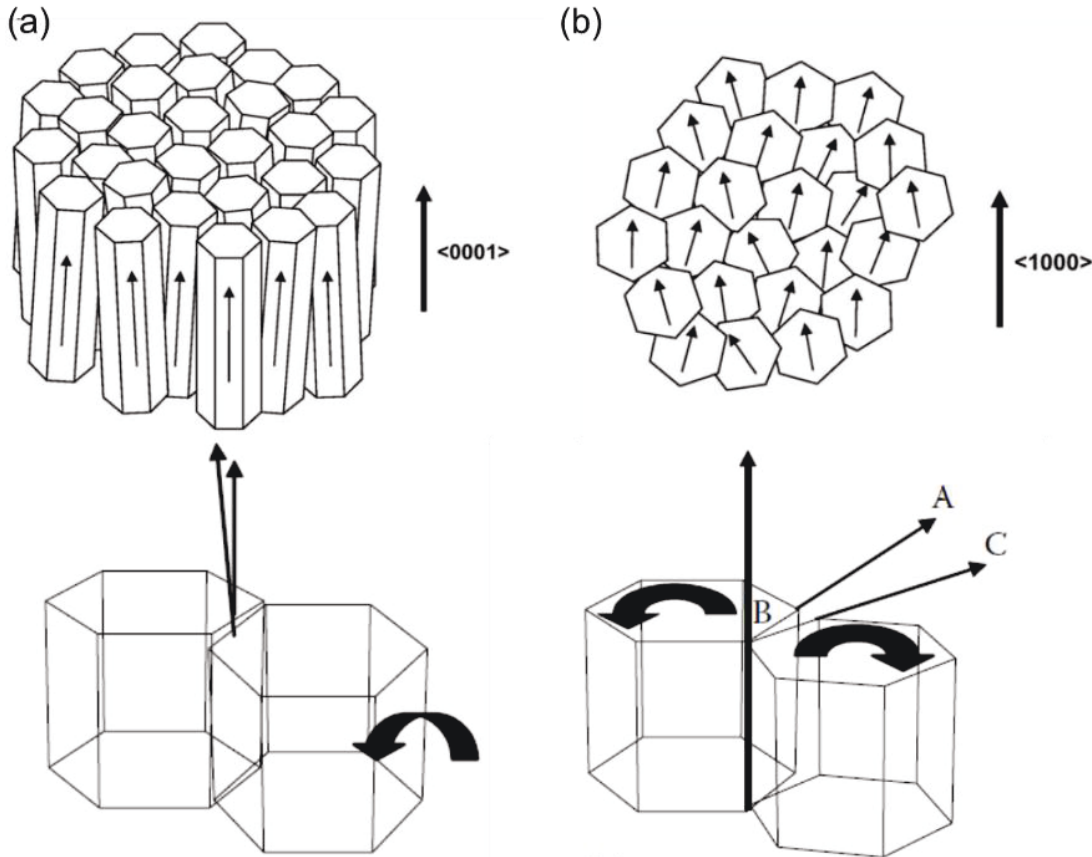


Figure 1.14 – Croissance colonnaire des nitrures d'éléments III et désorientation des grains (a) par rapport à l'axe de croissance c (b) dans le plan de croissance (0001) [11].

1.10 Piézoélectricité

La piézoélectricité est au cœur du fonctionnement du HEMT AlGaIn/GaN (§2.3). Comme pour la polarisation spontanée, la polarisation piézoélectrique est maximale pour des couches dont l'axe de croissance est parallèle à l'axe c . Pour une hétérostructure AlGaIn/GaN, la mise en contrainte de la couche AlGaIn par la couche GaN crée une polarisation piézoélectrique P_{pz} :

$$\overrightarrow{P_{pz}} = \hat{e} \vec{\epsilon} \quad \text{Équation 1.14}$$

Où \hat{e} est le tenseur de constantes piézoélectriques. Dans le cas d'une déformation bi axiale, l'Équation (1.14) devient [42] :

$$\begin{bmatrix} P_{pz,1} \\ P_{pz,2} \\ P_{pz,3} \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & 0 & e_{15} & 0 \\ 0 & 0 & 0 & e_{15} & 0 & 0 \\ e_{31} & e_{31} & e_{33} & 0 & 0 & 0 \end{bmatrix} \times \begin{bmatrix} \varepsilon_1 \\ \varepsilon_1 \\ \varepsilon_3 \\ 0 \\ 0 \\ 0 \end{bmatrix} \quad \text{Équation 1.15}$$

$$\text{D'où } \begin{cases} P_{pz,1} = P_{pz,2} = 0 = P_{pz,x} = P_{pz,y} \\ P_{pz,3} = 2\varepsilon_1 e_{31} + \varepsilon_3 e_{33} \end{cases}$$

Ainsi, la déformation bi axiale génère une polarisation piézoélectrique $P_{pz,z}$ orientée selon l'axe c du cristal et fonction des coefficients piézoélectriques du matériau (Tableau 1.4).

Composé	e_{31}	e_{33}
	(C/m ²)	(C/m ²)
GaN	-0,49	0,73
AlN	-0,6	1,46

Tableau 1.4 – Coefficients piézoélectriques de l'AlN et GaN (sur lesquels se basent les calculs présentés au Chapitre 2 concernant les hétérostructures AlGaN/GaN) [17].

À partir de (1.9) et (1.15), la polarisation piézoélectrique peut être exprimée en fonction de l'amplitude de la déformation dans le plan de croissance :

$$P_{pz,z} = 2\varepsilon_{xx} \left(e_{31} - e_{33} \frac{C_{13}}{C_{33}} \right) \quad \text{Équation 1.16}$$

Étant donnée la valeur des coefficients élastiques et piézoélectriques, le sens de la polarisation selon l'axe c dépend uniquement du signe de la déformation ε_{xx} . Rappelons que la déformation est de signe positif ($\varepsilon_{xx} > 0$) dans le cas d'une contrainte extensive, et de signe négatif dans le cas d'une contrainte bi axiale compressive ($\varepsilon_{xx} < 0$).

1.11 Propriétés thermiques

Un cristal – de paramètre de maille a – soumis à un changement de température subit une déformation associée ε_{th} , qui dépend de son coefficient de dilatation thermique α :

$$\alpha = \frac{1}{a} \frac{da}{dT} \quad \text{Équation 1.17}$$

Lorsqu'une couche mince est déposée sur un substrat ayant un coefficient de dilatation thermique différent, tout changement de température induit une contrainte imposée par le substrat sur la couche, appelée contrainte thermoélastique. L'application de cette contrainte ne suppose pas l'existence d'une relation d'épitaxie entre les deux matériaux : il suffit que le film

et le substrat restent solidaires pendant le changement de température. L'amplitude de la déformation associée ε_{th} s'exprime de la façon suivante :

$$\varepsilon_{th} = (\alpha_{substrat} - \alpha_{couche}) \times \Delta T \quad \text{Équation 1.18}$$

Le cas courant d'apparition de la contrainte thermoélastique est le refroidissement du système couche-substrat, de la température de croissance T_c à la température ambiante T_a ($\Delta T < 0$). D'après le Tableau 1.5, lors du dépôt d'une couche de GaN sur Si, une contrainte thermoélastique extensive apparaît au refroidissement, du fait de la différence de coefficients de dilatation thermique, et peut provoquer la fissuration de la couche ([Figure 2.9](#)). Au contraire, le système GaN sur saphir génère une différence de coefficients de dilatation thermique qui induit une déformation en compression du GaN sur Al_2O_3 au refroidissement, qui n'est pas favorable à la formation de fissure. Ceci est un avantage important du substrat saphir vis-à-vis de Si et SiC pour l'hétéroépitaxie de GaN. Toutefois, quel que soit le substrat, la contrainte thermoélastique provoque une courbure du substrat qui peut s'avérer gênante pour la fabrication de composants. La contrainte thermoélastique est également problématique pour l'uniformité de l'épitaxie de structures LEDs à base de puits quantiques InGaN/GaN, car les températures de croissance de ces deux matériaux peuvent être éloignées de plusieurs centaines de degrés suivant la technique. D'autre part, la conductivité thermique caractérise le flux de chaleur traversant un matériau en présence d'un gradient de température (ΔT). Le Tableau 1.5 compare les valeurs de conductivité thermique à 300 K. À cette température, la conductivité thermique du GaN est relativement proche de celle de Si, et est trois fois plus importante que celle du saphir. Ce dernier est largement utilisé comme substrat pour la croissance de structures LEDs GaN, en raison d'une qualité structurale accrue sur ces substrats. Cependant, la faible conductivité thermique du saphir est rédhibitoire pour les composants de puissance HEMTs GaN, car l'auto-échauffement des transistors se traduit notamment par une chute conséquente du courant de drain [50]. C'est pourquoi les interrupteurs de puissance HEMTs GaN ont d'abord été développés sur SiC, dont la conductivité thermique est un ordre de grandeur au-dessus de celle du saphir, et 3 à 4 fois plus élevée que celles de Si et GaN. Notons que les écarts de conductivité thermique de ces matériaux tendent à diminuer avec la température [11].

Matériau	Paramètre de maille dans le plan de croissance a (300 K)	Coefficient de dilatation thermique dans le plan de croissance
	Å	$10^{-6}/K$
GaN	3,1878	5,59
AlN	3,112	4,20
	compressive	extensive
Silicium (111)	3,8403	2,59
	extensive	extensive
Al ₂ O ₃	2,747	7,50
	compressive	compressive
SiC	3,0803	4,20
	extensive	extensive

Tableau 1.5 – Conductivité thermique et coefficient de dilatation thermique à 300 K [11, 37]. Nature de la contrainte induite dans GaN par le désaccord de paramètre de maille et la différence de coefficient de dilatation thermique avec le substrat / la couche sous-jacente.

1.12 Pyroélectricité

Les nitrures d'éléments III en phase Wurtzite sont le siège d'une polarisation spontanée – orientée selon l'axe c (§1.2). Il a été mis en évidence que la valeur de cette polarisation (P_{sp}) dépend de la température [51] :

$$\Delta\sigma = \left(\frac{dP_{sp}}{dT} \right) \times \Delta T = P_{\sigma} \times \Delta T$$

$$P_V = \frac{P_{\sigma}}{\varepsilon_s}$$

Équation 1.19

Où $\Delta\sigma$ est la variation de la densité de charges surfacique et P_{σ} est le coefficient pyroélectrique du matériau. Dans le cadre d'un dispositif (capteur), la variation de potentiel correspondant au changement de température est estimée à travers le coefficient pyroélectrique en tension P_V qui s'exprime à partir de la constante diélectrique du semi-conducteur ε_s . Pour les nitrures, ce coefficient est de l'ordre de 1 à $7.10^5 \text{ V.m}^{-1}.\text{K}^{-1}$ selon l'axe c [51, 52].

1.13 Conclusion

Les nitrures d'éléments III possèdent des propriétés optiques et électriques très intéressantes vis-à-vis de la plupart des semi-conducteurs couramment utilisés dans l'industrie de la microélectronique. De plus, la possibilité de former de nombreux alliages ternaires ou quaternaires III-N permet de moduler ces propriétés à travers la composition chimique des alliages formés, ce qui sera illustré dans le Chapitre 2, à travers notamment l'hétérojonction AlGaN/GaN et les propriétés piézoélectriques. De même, les propriétés mécaniques et thermiques seront mises à contribution à travers l'utilisation de techniques d'hétéro-épitaxie à plus ou moins haute température, générant inévitablement des contraintes thermoélastiques, à l'origine de phénomènes de relaxation (fissures, dislocations) décrits dans ce chapitre, et dont l'impact sur le fonctionnement de HEMTs GaN sera décrit par la suite.

CHAPITRE 2 LA TECHNOLOGIE HEMT GAN

2.1 Introduction

Ce chapitre introduit la technologie HEMT GaN basée sur les hétérostructures AlGaIn/GaN sur Si. En effet, le silicium est un substrat bon marché, qui permet d'envisager la fabrication de HEMTs GaN dans des usines CMOS 200 mm amorties et en sous-production. De plus, une technologie HEMT GaN sur Si devrait pouvoir être co-intégrée avec des circuits CMOS, objectif à terme visé par le projet. Dans un premier temps, nous discuterons les orientations propices à l'épitanie d'hétérostructures AlGaIn/GaN de haute qualité structurale, c'est-à-dire les substrats Si utilisables en vue de la co-intégration. De plus, les limitations et atouts de cette technologie vis-à-vis des HEMTs GaN fabriqués sur d'autres substrats sont abordés. Dans un deuxième temps, le fonctionnement des HEMTs GaN sera décrit en détail sur la base des paramètres physiques et géométriques des hétérostructures, et leurs performances discutées au regard des exigences attendues dans le domaine de l'électronique RF et de la puissance. Les solutions techniques permettant d'obtenir des performances satisfaisantes dans ces deux domaines d'application seront discutées pour donner une vision globale des technologies HEMTs GaN pouvant être co-intégrées sur des circuits CMOS.

2.2 Croissance

2.2.1 Substrats et procédés usuels

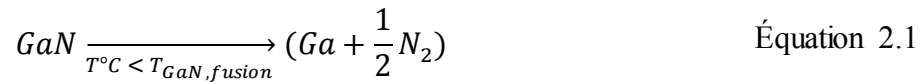
Dans la microélectronique Si, les substrats sont principalement fabriqués par la méthode Czochralski [53]. Ce procédé est remarquable à plusieurs titres, à commencer par une vitesse de croissance très élevée, de l'ordre de 60 mm / heure. De plus, les dimensions des lingots Si atteignent aujourd'hui en production un diamètre de 30 cm sur une longueur de 2 mètres. Les lingots sont ensuite découpés en tranches, de sorte qu'un seul lingot produit un à deux mille substrats de diamètre 300 mm. Enfin, la qualité cristalline est excellente, au regard par exemple de la densité de dislocations (Tableau 2.1). La principale limitation de ce procédé est la pureté du matériau ne permettant pas d'obtenir des substrats de haute résistivité. Aussi, pour les applications requérant un substrat plus isolant (§2.4.2), un procédé plus coûteux, faisant appel à la purification par fusion de zone (*Float zone*), est utilisé [53].

Technique	Vitesse de croissance	Diamètre / épaisseur	Densité de dislocations	Statut
	(μm / heure)	(mm)	(cm^{-2})	
Croissance GaN en solution sous haute pression d'azote (N ₂) [54]	1	25 / 10	10^2	R&D
Croissance GaN ammonothermale [55, 56]	5	50 / 10	$10^3 - 10^4$	Source de substrats pour R&D
Hétéroépitaxie GaN sur saphir par HVPE [57]	100	100 / 0.5	$> 10^5$	Commercial
Hétéroépitaxie GaN sur silicium [57]	1-5	200 / 0.005	$10^8 - 10^9$	Commercial (\$10 millions)
Sublimation SiC	1000	150 / 100	1 – 10	Commercial (\$100 millions)
Czochralski Si [53]	60 000	300 / 2000	< 1	Commercial (\$8 milliards)

Tableau 2.1 – Comparaison des principales méthodes de croissance utilisées pour la fabrication de substrats GaN, SiC et Si – adapté de [58].

Le transfert du procédé Czochralski au GaN est difficilement réalisable pour deux raisons :

- La température de fusion du nitrure de gallium ($T_{\text{GaN},\text{fusion}} \approx 2225\text{ }^{\circ}\text{C}$) est significativement plus élevée que celle du silicium ($T_{\text{Si},\text{fusion}} \approx 1414\text{ }^{\circ}\text{C}$) ;
- À pression atmosphérique, le nitrure de gallium commence à se dissocier avant d'atteindre sa température de fusion :



La mise en œuvre du procédé Czochralski pour GaN requiert donc des conditions de température et de pression difficilement accessibles ($T = 2225\text{ }^{\circ}\text{C}$, $P = 6\text{ GPa}$), *a fortiori* dans une machine de production devant produire des lingots de grand diamètre. Ce constat a motivé la recherche de procédés alternatifs tels que la croissance sous haute pression de N₂ à haute température, ou encore la croissance ammonothermale. Ceci étant, les résultats obtenus restent très éloignés des standards du Si, notamment en termes de rendement et de taille de cristal, deux critères essentiels à la commercialisation de substrats pour la microélectronique (Tableau 2.1). Des procédés alternatifs sont donc en développement, par exemple la croissance en solution

électrochimique (ESG) [58]. Cependant, à ce jour, les seules solutions commerciales existantes reposent sur des techniques d'hétéroépitaxie, c'est-à-dire la croissance sur un substrat non natif présentant une symétrie et un paramètre de maille plus ou moins proches des composés III-N.

En particulier, le procédé HVPE – épitaxie en phase vapeur aux hydrures – est actuellement la principale technique utilisée pour la fabrication de substrats GaN commerciaux, du fait de vitesses de croissance relativement élevées (Tableau 2.1). Cette approche par exemple mise en œuvre par Lumilog (aujourd'hui Saint-Gobain Lumilog), une *start-up* issue du CRHEA. Cependant, pour la croissance d'hétérostructures AlGaIn/GaN, le procédé HVPE n'est pas le plus adapté : le contrôle des interfaces et la pureté du matériau sont insuffisants pour la réalisation de telles structures. Aussi, deux autres techniques sont couramment mises en œuvre dans ce cas : l'épitaxie en phase vapeur aux organométalliques (MOCVD, MOVPE) et l'épitaxie sous jets moléculaires (MBE). La première est une technique utilisée pour la production et la commercialisation de composants III-N, tandis que l'utilisation de la seconde reste pour le moment limitée à la R&D [5]. En effet, la technique MOCVD est la première à avoir fourni des couches de nitrures d'une qualité suffisante pour la réalisation de dispositifs optoélectroniques, et ce avec des vitesses de croissance initialement plus élevées que celles obtenues par les techniques concurrentes. Ce double avantage a justifié les efforts de développement soutenus qui en font aujourd'hui la méthode de production privilégiée par l'industrie, grâce notamment à l'existence de réacteurs multi-substrats 200 voire 300 mm.

La Figure 2.1 situe ces différentes techniques dans le spectre des procédés de déposition. En particulier, la MBE se décline en différentes versions selon les sources utilisées. Aujourd'hui subsistent principalement deux méthodes pour les nitrures d'éléments III, reposant sur l'utilisation d'une source plasma N_2 (PAMBE) et le recours à une source gazeuse décomposée thermiquement, en l'occurrence l'ammoniac (NH_3 -MBE), des cellules d'effusion (*Knudsen*) étant utilisées pour les éléments III dans les deux cas. À travers des programmes de recherche nationaux, le développement des techniques MBE a permis de combler l'écart avec la MOCVD en termes de qualité de matériau, conduisant par exemple à des performances RF équivalentes sur des HEMTs GaN réalisés en MBE et en MOCVD [59]. Cependant, l'aspect économique reste à l'avantage de cette dernière, bien que des réacteurs MBE mono-substrat 200 mm aient

été développés¹ [60], et en dépit de vitesses de croissance pouvant désormais être comparables avec celles de la MOCVD [61].

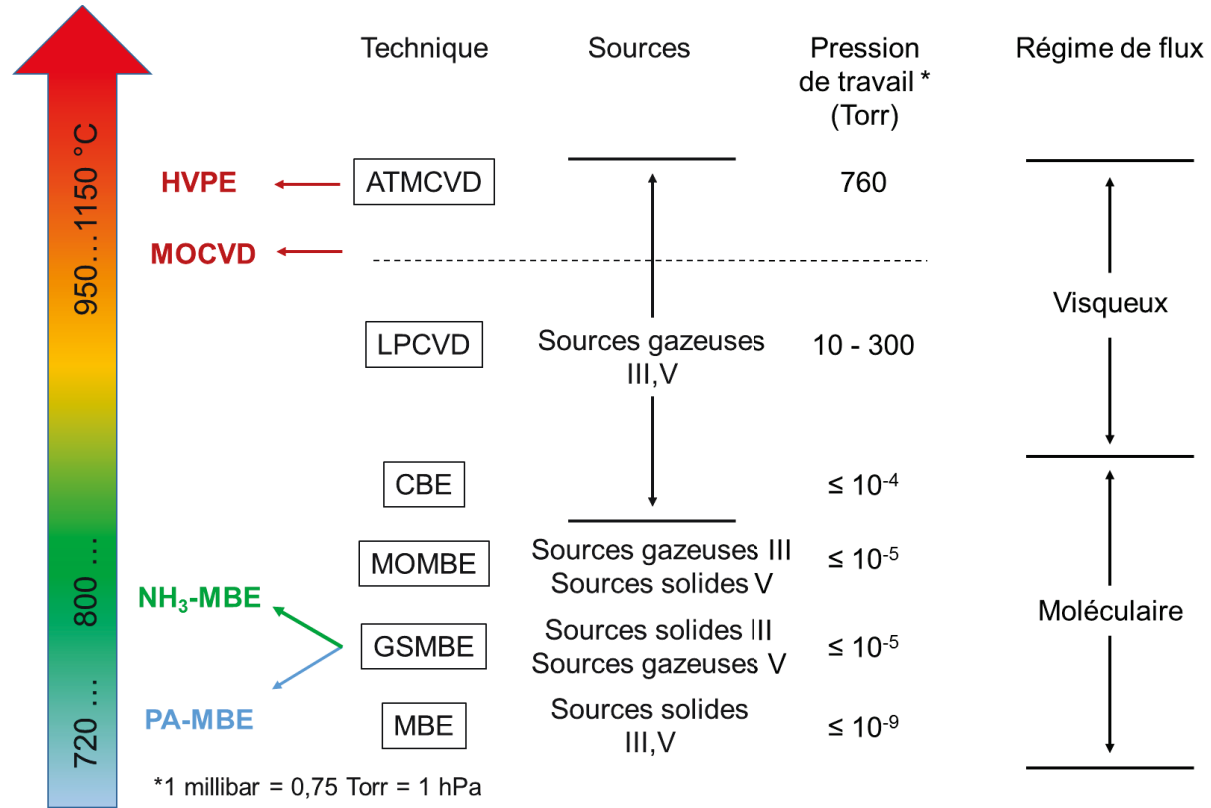


Figure 2.1 – Panorama des différentes classes de procédés de dépôt de couches minces.

Enfin, les méthodes CBE et MOMBE, couramment utilisées pour les composés III-V conventionnels, n'ont pas ou peu été développées pour les nitrures d'éléments III. Aussi, la technique CBE fait depuis peu l'objet d'investigations au sein du LN2, en lien avec l'entreprise Osemi Canada, pour la croissance de composés III-N [62]. En effet, ces différentes techniques opérant dans des gammes de pression et de température relativement distinctes, il est possible de tirer avantage de leur complémentarité. Par exemple, un environnement de croissance sous ultravide permet l'utilisation de moyens de caractérisation *in-situ* supplémentaires tels que le RHEED², un élément déterminant pour le développement de nouvelles structures [11]. La MOCVD permet notamment d'alterner des modes de croissance 3D et 2D, sur lesquels reposent une stratégie de filtrage des dislocations traversantes couramment utilisées pour la fabrication

¹ Par exemple le réacteur MBE 49 conçu par l'équipementier français RIBER (<http://www.riber.com/>).

² *Reflection high energy electron diffraction*, technique de diffraction d'électrons de haute énergie en incidence rasante, permettant de visualiser le mode de croissance et de contrôler l'épaisseur de dépôt à la monocouche près dans le cas d'une croissance 2D, grâce à l'observation d'oscillations dans l'intensité du signal de diffraction.

des LEDs GaN [63]. Elle permet également d'obtenir une meilleure sélectivité avec des masques diélectriques et la possibilité d'une passivation SiN *in situ* pour les HEMTs GaN. De fait, les projets de recherche menés au CRHEA couplent de plus en plus souvent ces deux dernières techniques pour atteindre leurs objectifs. Dans ce mémoire, nous nous intéresserons principalement à la MBE, choix motivé par la nécessité de limiter drastiquement le budget thermique de la croissance en présence de circuits CMOS. Plus particulièrement, nous aurons recours à la NH₃-MBE qui est la principale technique MBE développée au CRHEA pour la fabrication de HEMTs GaN, bien que la PAMBE ait également été explorée dans cette optique [61].

2.2.2 La technique NH₃-MBE

L'épitaxie sous jets moléculaires est une technique de croissance sous ultravide. Le développement de cette technique a été marqué par l'exploration de sources diverses tant pour les éléments III (sources solides, précurseurs organométalliques) que pour les éléments V (NH₃, N₂). L'utilisation de précurseurs gazeux pour les éléments III reste problématique en MBE, car les conditions de croissance favorisent généralement l'incorporation d'impuretés, alors qu'un contrôle du dopage des différentes couches est nécessaire pour la réalisation de composants. C'est pourquoi des sources d'éléments III solides sont privilégiées pour la croissance MBE des nitrures III-V. La technique NH₃-MBE se différencie de la PAMBE dans la façon de produire les radicaux N. Cette dernière a recours à une source de diazote (N₂), dissociée par une cellule plasma RF. Dans le cas de la NH₃-MBE, la liaison N – H de la molécule d'ammoniac possédant une énergie plus faible que la molécule N₂, sa décomposition thermique est possible à partir de 450 °C, ce qui permet de s'affranchir de l'utilisation de cellules plasma [64]. Cependant, l'efficacité de cette décomposition est très faible, environ 4 % à 800 °C, et l'élément N est particulièrement volatile, nécessitant des flux d'ammoniac relativement importants, de l'ordre de 40 fois supérieurs à celui de l'élément III [57]. La Figure 2.2 décrit schématiquement le réacteur Riber Compact 21 T qui sera mis en œuvre dans le projet pour la croissance d'hétérostructures AlGaIn/GaN. L'enceinte est maintenue sous ultravide, avec une pression résiduelle typique de 10⁻¹⁰ Torr, nécessaire pour obtenir un matériau suffisamment pur [42, 65, 66]. La présence du panneau cryogénique refroidi à l'azote liquide (< 77 K) permet de piéger les impuretés résiduelles sur les parois de la chambre, ce qui diminue la pression dans celle-ci

et accroît la pureté du matériau. La température de consigne des cellules d'effusion, régulée par un thermocouple, permet de contrôler séparément le flux de chaque élément III ou dopant. Des caches mécaniques, situés à la sortie de chaque cellule, permettent de commuter rapidement entre différentes sources. Un injecteur d'ammoniac alimente la réaction en élément V à la surface du substrat, lequel est chauffé par rayonnement via la face arrière. La température de la face avant de l'échantillon est contrôlée par pyrométrie infrarouge. Typiquement, la pression de travail dans la chambre de croissance est de l'ordre de 10^{-5} Torr en présence de NH_3 , ce qui confère aux espèces un libre parcours moyen supérieur à la distance entre la source et le substrat (10 à 20 cm) [42], de sorte que le transfert de matière ainsi établi entre la source et le substrat est appelé « jet moléculaire ». La croissance de la couche III-N sur la surface du substrat résulte ensuite de la compétition entre plusieurs mécanismes physico-chimiques (adsorption/désorption, diffusion de surface/en volume, incorporation, etc.) ainsi que du mode de croissance favorisé par les conditions d'épitaxie (2D, 2D-3D ou 3D) [42, 49].

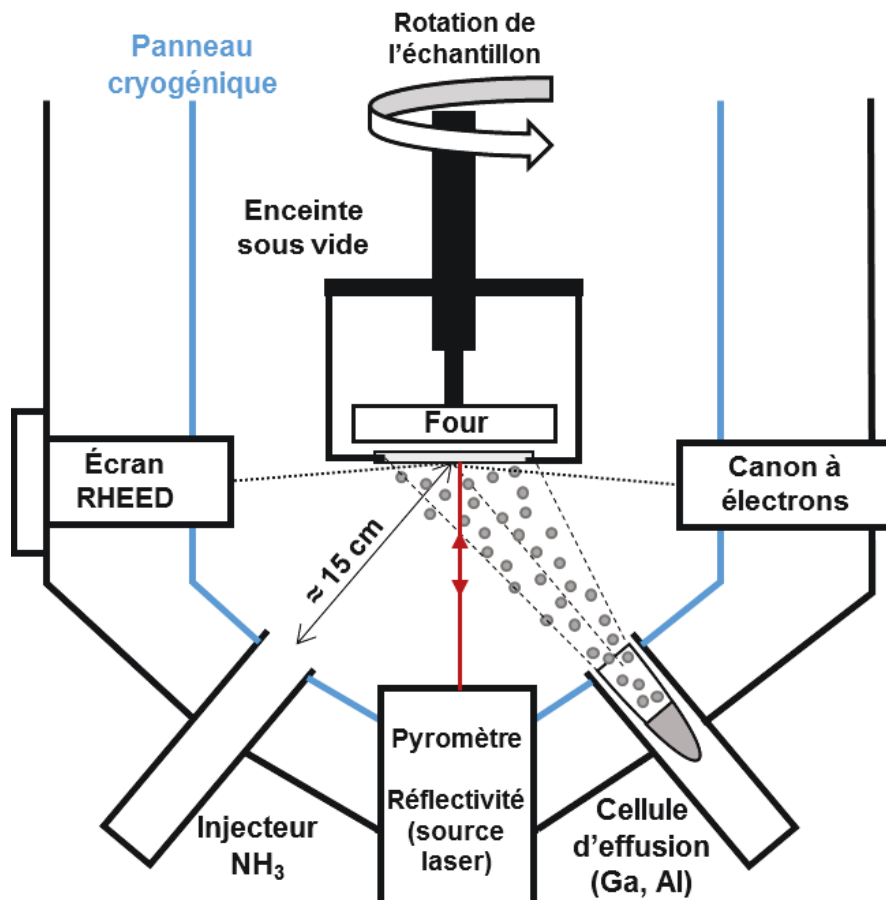


Figure 2.2 – Schéma du réacteur de croissance MBE Riber Compact 21 T.

2.2.3 Le substrat Si

Le silicium cristallise en phase cubique, dans la structure diamant. Celle-ci est composée de deux réseaux cubiques à faces centrées, décalés d'une longueur de $a\sqrt{3}/4$ selon la grande diagonale du cube. La valeur du paramètre de maille a , représenté sur la Figure 2.3, vaut 5,43 Å. Chaque atome Si est lié à 4 voisins, situés aux sommets d'un tétraèdre régulier de paramètre égal à $a\sqrt{3}$. La Figure 2.4 présente les différentes surfaces de plus bas indices du silicium. La maille primitive est représentée en pointillés pour chacune d'entre elles : la face (100) possède une maille primitive de forme carrée ($l = a\sqrt{2}/2$) et une symétrie d'ordre 4 contenant un seul atome ; la face (110) présente une maille primitive rectangulaire ($l = a\sqrt{2}/2, L = a$) contenant 2 atomes et une symétrie d'ordre 2 ; la face (111) est quant à elle décrite par une maille primitive en forme de losange ($l = a\sqrt{2}/2$) contenant deux atomes et une symétrie d'ordre 3.

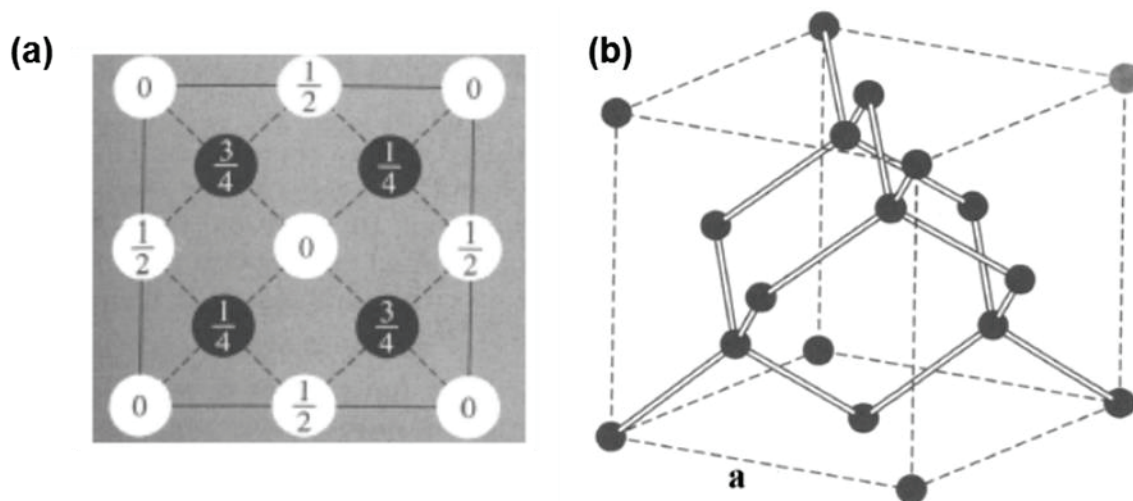


Figure 2.3 – (a) Positions atomiques dans la maille, en projection sur une face ; les fractions indiquent les cotes des atomes par rapport au plan de base ; les points 0 et $\frac{1}{2}$ sont sur le réseau CFC ; les points $\frac{1}{4}$ et $\frac{3}{4}$ sont sur un réseau identique décalé d'un quart de la diagonale. (b) Structure cristalline du silicium représentant les liaisons tétraédriques entre atomes [67].

La terminaison idéale particulière à chacune des surfaces de bas indice est décrite dans la Figure 2.5. Les principales surfaces du Si sont caractérisées par des densités de liaisons pendantes, des énergies de surface, et des densités atomiques significativement différentes (Tableau 2.2). À travers des propriétés physico-chimiques distinctes, le choix de la surface de Si conditionne les procédés qui lui seront appliqués, tels que le clivage, la gravure chimique, la croissance d'oxyde ou encore l'hétéroépitaxie [68, 69]. Ces propriétés ne sont pas complètement figées, puisque les surfaces de Si se réarrangent en fonction de leur environnement de façon à

minimiser leur énergie, par la diffusion d'ad-atomes, la création de nouvelles liaisons, la formation de défauts, etc. Étant donnée l'importance de ces reconstructions de surface pour l'hétéroépitaxie de nitrures III-V, elles ont fait l'objet de plusieurs études au sein du CRHEA (Si (001) [70, 71], Si(110) [72], Si (111) [68, 73]), notamment grâce au RHEED (§2.2.2) qui permet l'observation de ces surfaces dans un environnement de croissance MBE.

Orientation de la surface	Nombre de liaisons pendantes (d'atomes) par maille primitive	Aire de la maille primitive	Densité atomique	Densité de liaisons pendantes	Énergie surfacique
	Ø	Å ²	x 10 ¹⁴ cm ⁻²	Å ⁻²	eV.Å ⁻²
Si(001)	2 (1 atome)	14,4	6,9	0,139	0,15
Si(110)	2 (2 atomes)	20,8	9,6	0,096	0,11
Si(111)	1 (2 atomes)	12,5	16	0,08	0,09

Tableau 2.2 – Caractéristiques des trois faces de plus bas indices du silicium [74, 75].

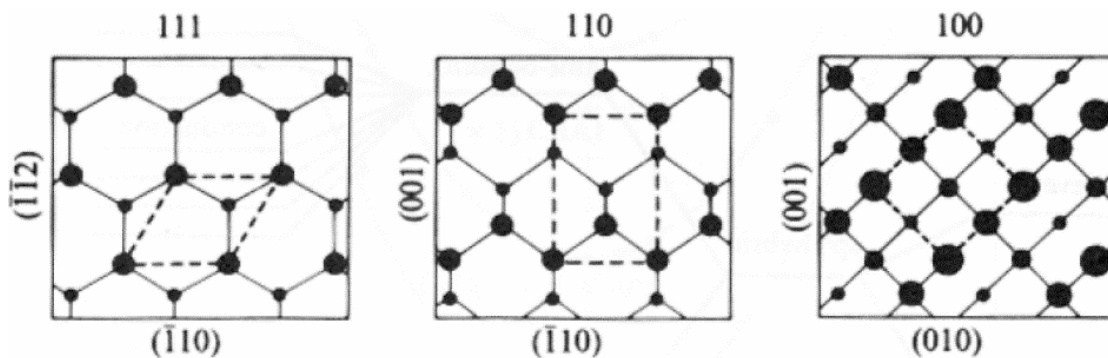


Figure 2.4 – Vue de dessus des surfaces (111), (110) et (100). Les mailles primitives sont dessinées en traits pointillés [68].

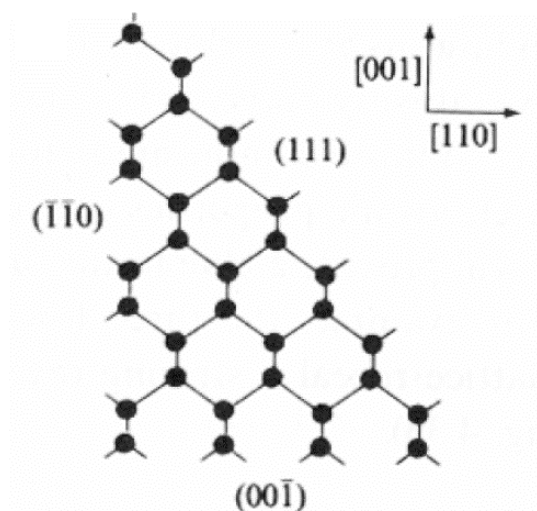


Figure 2.5 – Terminaisons idéales de la structure diamant selon les trois faces de plus bas indices (100), (110) et (111) [68].

À titre d'exemple, la nucléation de la première couche AlN sur Si (111) se réalise sur une surface reconstruite 7×7 , qui désigne une reconstruction de la maille 7 fois plus grande que celle décrite dans la Figure 2.4 [76]. La maille correspondant à cette reconstruction compte alors 19 liaisons pendantes contre 49 pour une maille de taille équivalente non reconstruite, ce qui conduit à une densité de liaisons pendantes de $0,03 \text{ \AA}^{-2}$ contre $0,08 \text{ \AA}^{-2}$ respectivement (Tableau 2.2). Dans l'environnement de croissance NH_3 -MBE, la reconstruction 7×7 de la surface Si(111) apparaît au refroidissement en-deçà de 830°C . Son observation au RHEED permet alors de mesurer la température réelle de la surface pendant un recuit sous vide, et d'estimer l'écart avec les mesures données par le pyromètre et les thermocouples pendant la croissance, puisque celle-ci se réalise dans la même gamme de température. De nombreuses orientations ont été étudiées pour la croissance des nitrures III-V sur Si, passées en revue dans [11]. L'orientation la plus classique est Si(111) en raison de la symétrie d'ordre 3 des atomes Si dans ce plan, permettant un alignement unique avec les atomes du plan (0001) de l'AlN, lequel possède une symétrie d'ordre 6. Étant donnés les résultats prometteurs obtenus par la technologie HEMT GaN sur Si, plusieurs fonderies se sont très vite intéressées à la possibilité d'intégrer cette technologie émergente sur des circuits CMOS, lesquels sont fabriqués sur des surfaces Si(001). Théoriquement, un alignement permettant un très faible désaccord de paramètre de maille de 0,7 % dans une direction est possible sur cette orientation, tandis que la direction perpendiculaire présente un désaccord plus élevé (15 %) néanmoins inférieur à celui obtenu sur Si (111). Cependant, la reconstruction de la surface Si(001) et notamment la formation de dimères en surface va déterminer un alignement différent entre les deux réseaux cristallins et conduire à des relations de coïncidence nettement moins bonnes, de l'ordre de 19 et 41 % [11]. De plus, la reconstruction de surface n'est pas unique (1×2 et 2×1), ce qui va induire la coexistence de deux domaines en proportions relativement égales désorientés de 30° l'un par rapport à l'autre. Lorsque ces domaines coalescent, une grande quantité de défauts est générée pour relaxer les contraintes engendrées entre les grains désorientés. L'origine de la formation de ces deux domaines a été expliquée par une désorientation de 90° des liaisons pendantes entre deux terrasses Si séparées par une marche monoatomique. L'existence de deux domaines pourrait ainsi être évitée par la stabilisation de marches biatomiques. Pour cela, des substrats Si(001) désorientés de quelques degrés, associés à une préparation spécifique de la surface avant croissance, ont permis de favoriser un domaine par rapport à un autre et ainsi de

diminuer la quantité de défauts créés lors de la coalescence. Ces développements ont en particulier été réalisés au CRHEA en lien avec ST Microelectronics [70, 71, 77]. Cependant, les substrats Si(001) désorientés ne sont pas compatibles avec la fabrication de circuits CMOS. De plus, même si la quantité de défauts peut être considérablement réduite durant la croissance, permettant la réalisation de composants, la gestion des contraintes après coalescence demeure problématique. Aussi, dans l'expectative d'un procédé stabilisant des surfaces Si(001) nominales exclusivement peuplées de marches biatomiques, cette voie d'intégration est pour le moment compromise. L'orientation Si(110), qui peut constituer une opportunité d'optimiser les performances des circuits CMOS [78], a également été mise œuvre pour la croissance de nitrures III-V. La qualité cristalline des couches obtenues sur cette orientation est équivalente – sinon meilleure – à celle de couches réalisées sur Si(111), grâce notamment à une relation de coïncidence plus favorable entre AlN et Si [72, 79, 80]. D'autres orientations plus originales ont été explorées sur Si, principalement pour des applications optoélectroniques, pour lesquelles la présence de champs de polarisation intenses peut nuire à la performance des dispositifs [81].

2.2.4 L'hétéroépitaxie

La comparaison du substrat Si avec d'autres substrats usuels (saphir, SiC) en termes de désaccords de paramètres de maille et de coefficients de dilatation thermique explique les difficultés rencontrées dans l'hétéroépitaxie de nitrures III-V sur Si (Figure 2.6).

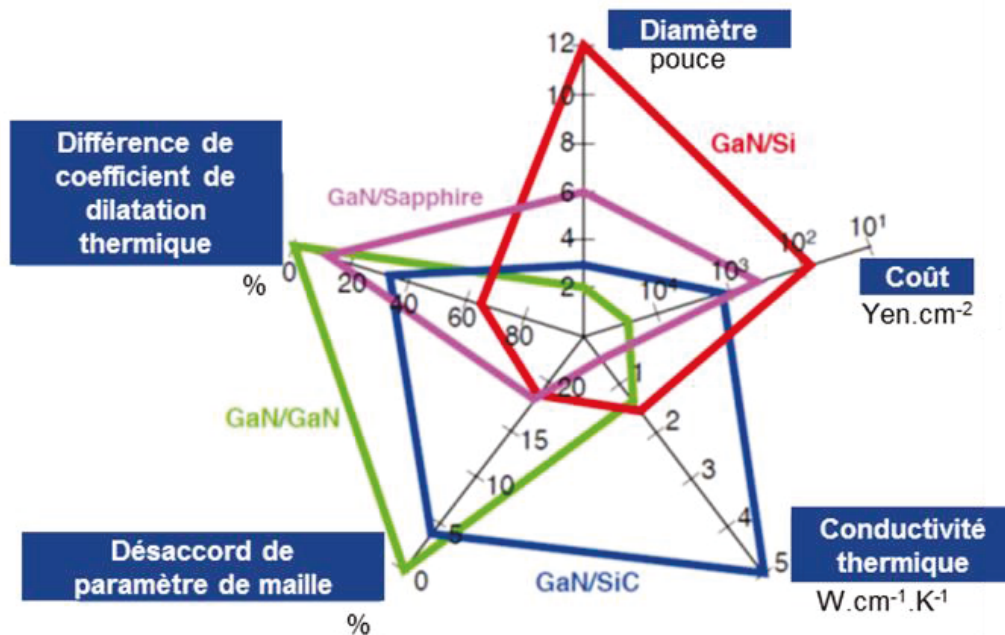


Figure 2.6 – Les différents substrats pour la croissance de matériaux III-N [82].

Il faut ajouter à cela la grande réactivité du silicium – en particulier avec le gallium – aux températures de croissance élevées, et les phénomènes d'inter diffusion à l'interface avec le substrat. Enfin, d'autres contraintes surviennent lors de l'épitaxie sur des substrats de diamètres supérieurs à 150 mm, par exemple la nécessité d'une très faible courbure des substrats durant la croissance pour permettre l'application des procédés lithographiques standards lors de la fabrication des composants. La co-intégration sur des circuits CMOS ou simplement la co-production sur des lignes CMOS requièrent également des précautions supplémentaires concernant la contamination croisée des outils et des circuits fabriqués. Ces aspects sont passés en revue dans les références [63] (dispositifs optoélectroniques sur Si 150 mm), [6] (HEMT GaN sur Si 200 mm), et [83] (compatibilité avec un environnement de production CMOS).

La structure la plus simple pour fabriquer un HEMT GaN – dans le cas de la polarité Ga – se compose d'une couche GaN sur laquelle est déposée une couche AlGaN. Cependant, aux températures de croissance, le silicium réagit fortement avec le gallium pour former un alliage Ga : Si, empêchant toute croissance de GaN cristallin directement sur Si, comme cela se fait couramment sur saphir. Le substrat Si est alors attaqué à travers la formation de cet alliage, ce qui se traduit par l'apparition de cavités dans le substrat et de particules en surface dont les dimensions peuvent être de l'ordre de plusieurs dizaines de microns. Ce phénomène, appelé *meltback etching* dans la littérature [11, 84], est rédhibitoire pour la fabrication de composants III-N. Afin d'éviter son apparition, une couche intermédiaire, appelée couche de nucléation, doit être insérée entre la couche GaN et le substrat Si. À ce jour, la principale approche consiste à utiliser une couche de nucléation AlN, car ce matériau peut être déposé *in situ* et mène quasi systématiquement à une polarité Ga. Le degré de protection contre le *meltback etching* offert par la couche d'AlN dépend de son épaisseur, de sa qualité et des conditions de croissance du GaN déposé par-dessus. En effet, la présence de défauts tels que des cratères ou des fissures dans l'AlN combinée à une température de croissance élevée permettrait au Ga de diffuser le long de ces défauts jusqu'à l'interface AlN/Si. Dans le cas de la NH₃-MBE et contrairement à la MOCVD, l'étape de nucléation conduit rapidement à un mode de croissance 2D c'est-à-dire à une couche lisse et continue, de sorte que quelques dizaine de nanomètres suffisent à prévenir l'apparition du *meltback etching* [85, 86]. La nucléation AlN/Si a fait l'objet de plusieurs études au CRHEA, visant l'optimisation des conditions de croissance sur différentes orientations et différents équipements [68, 70, 71, 73, 77, 86, 87]. Par ailleurs, une étude approfondie du

meltback etching a été réalisée par M. Khoury dans le cadre de la croissance de GaN semi-polaire sur Si par MOCVD [81]. Une interface AlN/Si aussi abrupte que possible, d'un point de vue cristallographique, est recherchée. En particulier, la création d'une zone intermédiaire amorphe SiN entre le substrat et la couche AlN lors de la nucléation, susceptible de dégrader la qualité cristalline de l'hétérostructure, doit être évitée. Récemment, plusieurs études ont suggéré un lien entre la qualité de cette interface et les performances de composants HEMT GaN, par exemple leur tension de claquage [88]. C'est pourquoi, bien qu'utilisée depuis de nombreuses années, la nucléation AlN/Si demeure encore aujourd'hui un sujet d'actualité [85, 86]. Étant donné le désaccord de paramètre de maille important entre AlN et Si, la couche de nucléation présente une grande densité de défauts, en particulier des dislocations traversantes. L'épaississement permet de réduire leur densité (DDT) entre 10^{10} à 10^{11} cm⁻², mais cette stratégie est limitée par la fissuration au-delà d'une épaisseur critique, en raison de la contrainte extensive générée lors de la coalescence des grains [89].

Ainsi, l'hétérostructure AlGaIn/GaN sur Si la plus simple est un empilement AlGaIn/GaN/AlN (Figure 2.7a). Étant donnée la grande différence de coefficient de dilatation thermique entre GaN et Si, de l'ordre de 115 %, la contrainte extensive correspondante au refroidissement limite l'épaisseur de la couche de GaN à 0,5 – 1 µm. Cet épaississement ne permet généralement pas de réduire la DDT en-deçà de 10^{10} cm⁻², ce qui reste très élevé et réduit la mobilité des porteurs à l'hétérojonction AlGaIn/GaN, d'environ 30 – 40 % (§5.3.5) [85]. De récents résultats obtenus au CRHEA ont néanmoins montré qu'il était possible de limiter cette dégradation, rendant de telles structures plus attractives grâce à un coût de l'épitaxie réduit et une dissipation thermique améliorée entre l'hétérojonction et le substrat. De plus, certains auteurs suggèrent qu'il est possible d'améliorer la tenue en tension de composants fabriqués sur ces hétérostructures submicroniques par un retrait local du substrat Si, en vue de leur utilisation dans des convertisseurs de puissance [90-92]. Cependant, cette approche n'est apparue que récemment, en réaction aux hétérostructures développées ces dernières années, qui ont permis de repousser l'état de l'art des HEMTs GaN mais au prix d'une plus grande complexité et au détriment du coût. Cette complexité se matérialise par l'insertion de couches dites couches intercalaires ou couches d'adaptation de contraintes entre la couche de nucléation AlN et la couche tampon GaN, permettant notamment l'épaississement de cette dernière et ainsi l'amélioration de sa qualité cristalline (Figure 2.7b).

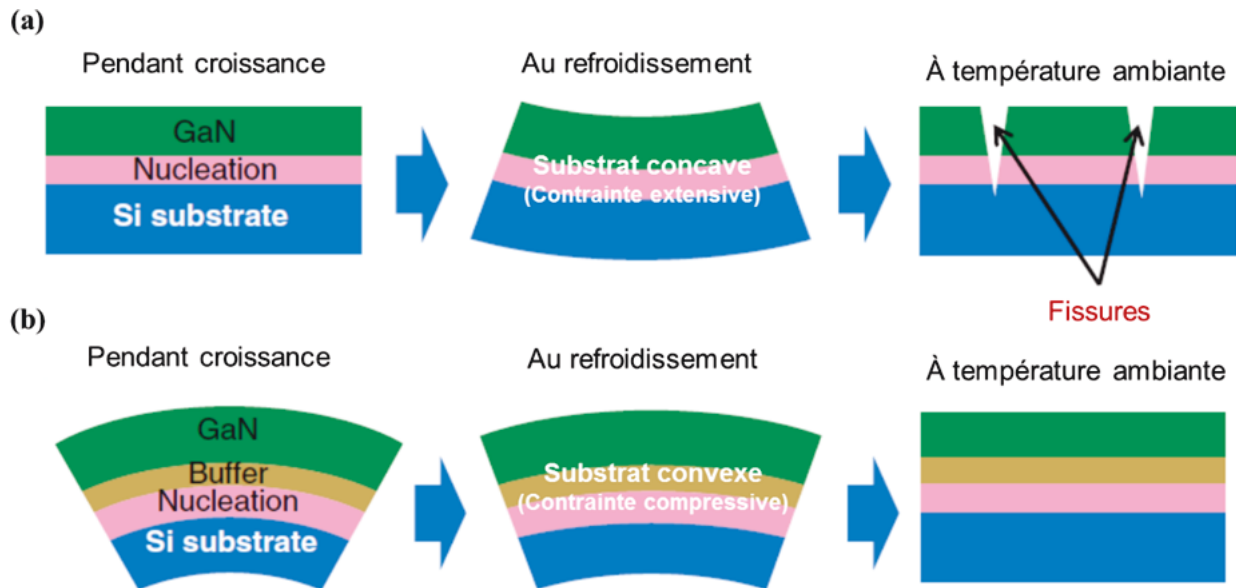


Figure 2.7 – Croissance de GaN sur Si (a) sans couche d’adaptation de contrainte (buffer) et (b) après introduction des couches d’adaptation de contrainte [93].

La Figure 2.8 présente les différentes approches rapportées dans la littérature, passées en revue dans [94]. De nombreux groupes ont en effet travaillé sur le GaN sur Si en dépit des inconvénients majeurs cités ci-dessus par rapport à d’autres substrats (SiC, saphir), et sont parvenus à démontrer la faisabilité industrielle du GaN sur Si (Nitronex, EpiGaN, Dowa, IQE ...). Rappelons au passage la référence [6] qui reprend les grandes étapes du développement de la filière GaN sur Si et décrit l’état de l’art de cette filière en 2016 sur le substrat Si 200 mm. Dans ce mémoire, nous nous intéresserons principalement aux structures représentées dans les Figures 2.8a et 2.8e, dont les conditions de croissance par NH_3 -MBE ont été ajustées afin de permettre leur intégration avec des circuits CMOS (§4.3). Outre la possibilité de filtrer une partie des défauts grâce à l’introduction de deux interfaces supplémentaires, et son rôle en tant que barrière de diffusion, la couche intercalaire AlN permet d’augmenter l’épaisseur critique de la dernière couche de GaN jusqu’à 3 microns [95]. En effet, si nous considérons une paire GaN/AlN présentant un désaccord de paramètre de maille initial de 2,5 %, l’existence d’une déformation compressive résiduelle en fin de croissance – correspondant à une fraction des 2,5 % – peut alors permettre de compenser une partie ou la totalité de la déformation extensive induite au refroidissement par la différence de coefficient de dilatation thermique entre GaN et Si (Figure 2.9), cette déformation étant comprise entre 0,19 et 0,32 % selon la température de croissance (typiquement 800 °C en MBE et 1050 °C en MOCVD). Basée sur ce principe,

l'optimisation des couches intercalaires (Al)GaN/GaN présentées dans la Figure 2.8e a été réalisée au CRHEA pour la fabrication de HEMTs GaN par NH_3 -MBE [49, 96].

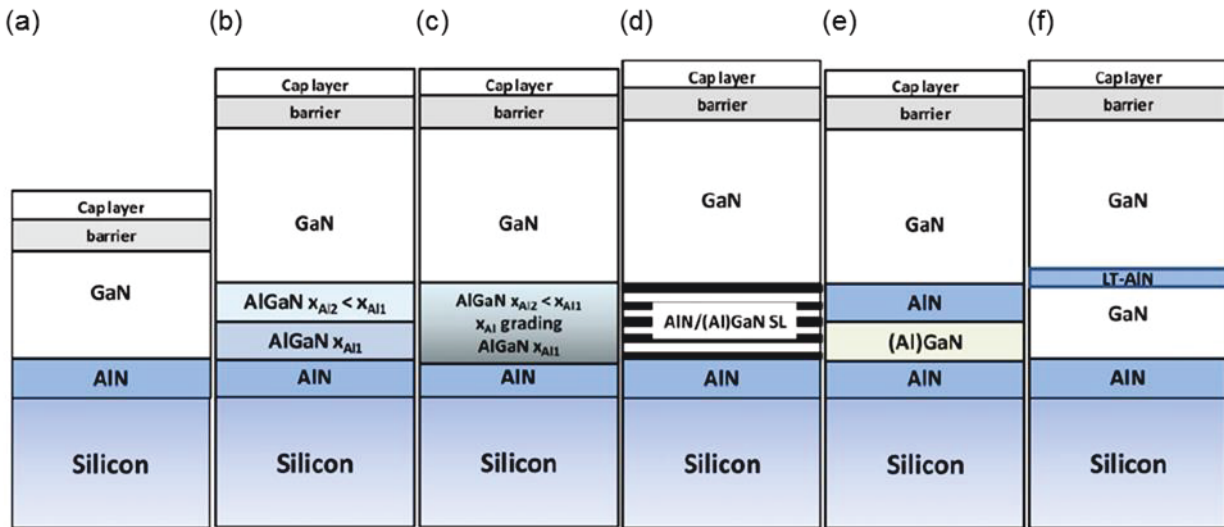


Figure 2.8 – Les différentes approches pour la fabrication d'hétérostructures AlGaIn/GaN [94].

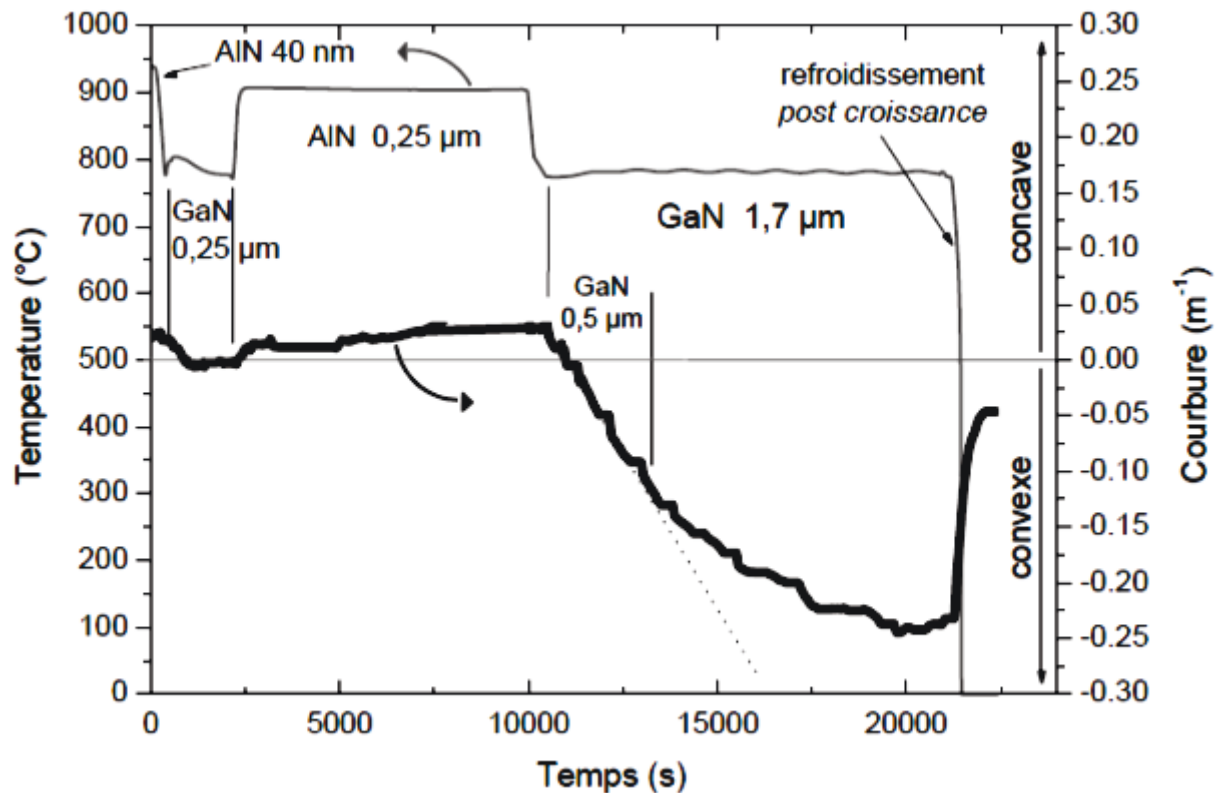


Figure 2.9 – Effet des couches intercalaires (Al)GaN/AlN sur la courbure du substrat au cours de la croissance d'une hétérostructure AlGaIn/GaN épaisse par NH_3 -MBE [49].

Cette stratégie permet d'obtenir des couches tampon GaN présentant une DDT réduite d'environ un ordre de grandeur ($1 \text{ à } 5 \cdot 10^9 \text{ cm}^{-2}$) par rapport aux hétérostructures submicroniques,

et ce sur des substrats relativement peu courbés (Figure 2.9). La partie supérieure de cette couche constitue avec la barrière AlGaIn la zone active du composant, l'hétérojonction AlGaIn/GaN. L'influence des différents paramètres physiques de la barrière sur le fonctionnement du HEMT GaN sera décrite au §2.3. De nouveau, l'interface entre ces deux couches est déterminante pour les propriétés de l'hétérostructure, étant donnée sa proximité avec le canal du HEMT GaN : elle doit être abrupte d'un point de vue cristallographique et homogène d'un point de vue chimique. Par conséquent, il est primordial d'éviter la relaxation plastique de la barrière au cours du procédé, pouvant se manifester de différentes manières (fissuration, augmentation de la rugosité, modulation locale de la composition, courbure des dislocations, etc.) avec pour effet de dégrader fortement les propriétés de transport de l'hétérostructure. La teneur en aluminium (x_{Al}) et l'épaisseur de barrière d_{AlGaIn} sont des leviers importants afin d'empêcher la relaxation plastique. D'après (1.11) et (1.12) :

$$\varepsilon = \frac{a_{GaN} - a_{AlGaIn}}{a_{GaN}} \approx 0,024x_{Al}$$

$$\frac{E_{élastique}}{S} \propto d_{AlGaIn} \times x_{Al}^2$$

Équation 2.2

Où ε représente la déformation de la barrière et $E_{élastique}$ l'énergie élastique emmagasinée. La température de croissance déterminant la contrainte extensive générée lors du refroidissement, un procédé basse température telle que la MBE est un atout pour concevoir des barrières stables à haute composition en aluminium et/ou de grandes épaisseurs. Typiquement, les épaisseurs de barrière AlGaIn sont comprises entre 15 et 30 nm, avec des pourcentages d'aluminium allant de 15 à 30 % [43]. De plus, une fine couche d'AlN (≈ 1 nm) est presque systématiquement insérée entre la barrière AlGaIn et la couche tampon GaN accueillant le canal du HEMT. Cette couche, baptisée espaceur, a été proposée dans le but de réaliser des barrières AlGaIn à fort taux d'aluminium sans dégradation significative de la mobilité électronique dans le canal [97]. Pour des barrières présentant $x_{Al} = 25 - 30$ %, l'espaceur améliore effectivement la mobilité des électrons dans le canal de 10 à 20 %. Cette amélioration provient d'un affaiblissement de l'effet du désordre d'alliage générée par la barrière AlGaIn qui est lié à la nature ternaire de celle-ci. Enfin, un dernier film, appelée couche d'encapsulation (*cap layer*) est déposé sur la barrière. Classiquement, il s'agit d'une fine couche de GaN (2 à 5 nm) ajoutée en fin de croissance. C'est une couche de protection permettant de prévenir l'oxydation de la barrière à l'air, et de limiter la dégradation de la surface pendant les différents procédés technologiques subséquents (recuits,

dépôts de résine, développements, nettoyages chimiques, etc.). Notons que la présence d'un cap GaN augmente la hauteur de barrière effective de la structure, conduisant à une réduction des courants de fuite par la grille des transistors [98]. Dans les composants commerciaux, réalisés par MOCVD, la couche d'encapsulation joue également le rôle de couche de stabilisation et de passivation de la barrière [94, 99]. À ce jour, la principale approche consiste à remplacer la couche de GaN par du SiN déposé *in-situ*. Contrairement au GaN, le nitrure de silicium ne réduit pas la densité de charges N_s dans le canal du transistor HEMT GaN. En plus de conférer une bonne stabilité mécanique à la barrière, le SiN passive efficacement la surface de celle-ci, réduisant la réactivité chimique de la surface et l'activité électrique des pièges en surface du GaN. Ainsi, l'effet des pièges est affaibli et la charge dans le canal est sensiblement améliorée. Malheureusement, ce dépôt est compliqué à réaliser avec la technique NH_3 -MBE, il faut donc avoir recours à une couche de passivation déposée *ex-situ* par-dessus la couche d'encapsulation GaN afin de pouvoir rivaliser avec des composants HEMTs GaN fabriqués par MOCVD.

2.3 L'hétérostructure AlGaN/GaN

Le développement de composants HEMTs GaN, basés sur les hétérostructures AlGaN/GaN, et dont le fonctionnement sera décrit au §2.4, a débuté dans les années 1990 avec notamment les recherches du Professeur *M. Asif Khan* [100-102]. Dans une hétérostructure AlGaN/GaN, le matériau à large bande interdite – en l'occurrence l'AlGaN – appelé barrière est associé à un matériau à bande interdite plus faible – en l'occurrence le GaN – qui sera appelé canal (Figure 2.10).

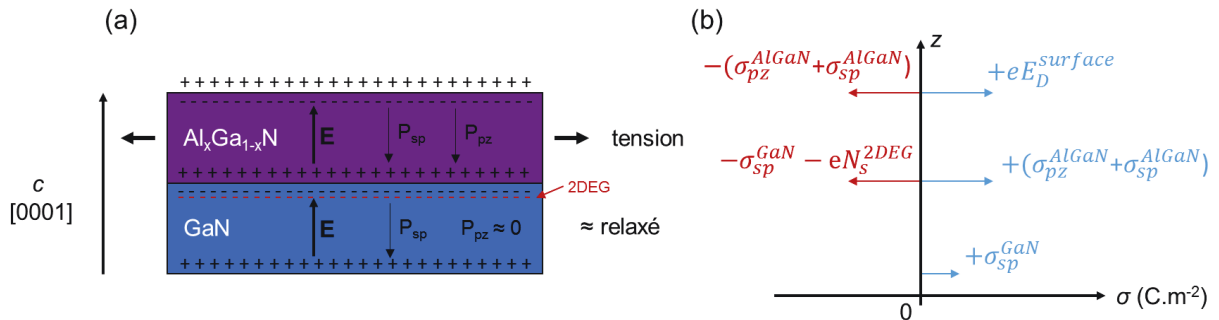


Figure 2.10 – (a) Champs de polarisation dans une hétérostructure AlGaN/GaN de polarité Ga (b) Bilan des charges surfaciques correspondantes aux interfaces.

La juxtaposition de ces deux couches conduit à la formation d'une hétérojonction, au voisinage de laquelle des électrons sont échangés de façon à aligner les niveaux de Fermi. Dans la barrière, il apparaît alors une zone de charge d'espace (ZCE) et une barrière de potentiel

définissant l'état d'équilibre. Plusieurs configurations sont possibles, en fonction de la différence des travaux de sortie, des affinités électroniques, des dopages et des largeurs de bande interdite [103]. Enfin, les hétérojonctions AlGa_N/Ga_N sont polarisées, ce qui permet d'obtenir des densités de charges élevées ($N_s \approx 10^{13} \text{ cm}^{-2}$) sans recours au dopage de la barrière, comme c'est le cas dans les hétérojonctions III-V conventionnelles (InP, GaAs, etc.) pour lesquelles des densités plus faibles sont atteintes, de l'ordre de 10^{12} cm^{-2} [59].

2.3.1 Charges de polarisation

Les champs de polarisation étant uniformes dans les nitrures d'éléments III, leurs effets se manifestent aux surfaces et interfaces de l'hétérostructure par la présence de charges de polarisation. Le signe de la polarisation spontanée P_{sp} résulte de la polarité du cristal et est donc identique pour les deux couches formant l'hétérojonction. Leur intensité varie en fonction de la composition en aluminium dans le cas de l'alliage AlGa_N ([Tableau 1.1](#)). À la polarisation spontanée s'ajoute un champ de polarisation piézoélectrique P_{pz} , dont l'orientation selon l'axe c ou $-c$ dépend du signe de la déformation (§1.10). Selon le signe de celle-ci, la polarisation piézoélectrique affaiblit ou renforce la polarisation spontanée présente initialement dans la couche. L'intensité de la polarisation piézoélectrique dépend de l'amplitude de la déformation et des coefficients élastiques et piézoélectriques de la couche ([1.16](#)). La Figure 2.10 présente le cas de l'hétérostructure AlGa_N/Ga_N de polarité Ga. La couche Ga_N accueillant le canal est supposée non contrainte, d'où une polarisation P_{pz}^{GaN} considérée comme négligeable devant la polarisation spontanée P_{sp}^{GaN} . En revanche, la barrière AlGa_N reste déformée en extension dans le plan de croissance afin d'assurer la continuité du réseau cristallin à l'hétérojonction, ce qui donne lieu à une polarisation P_{pz}^{AlGaN} dont les effets s'ajoutent à ceux de P_{sp}^{AlGaN} . La discontinuité de la polarisation ΔP conduit à un bilan des charges déséquilibré à l'interface AlGa_N/Ga_N :

$$\Delta P = (P_{sp} + P_{pz})_{AlGaN} - (P_{sp})_{GaN} \neq 0 \quad \text{Équation 2.3}$$

$$N = \frac{|\Delta P|}{q} = \frac{\sigma}{q} \quad \text{Équation 2.4}$$

Où N est une densité de charges surfacique (m^{-2}), q est la charge élémentaire (C) et σ est la charge surfacique de polarisation (C.m^{-2}).

$$\text{Exemple : } x_{Al} = 30 \% \xrightarrow{\text{donne}} \begin{cases} (P_{sp} + P_{pz})_{AlGaN} / q = 3,5 \cdot 10^{13} \text{ cm}^{-2} \\ (P_{sp})_{GaN} / q = 1,8 \cdot 10^{13} \text{ cm}^{-2} \end{cases} \xrightarrow{\text{soit}} N = 1,7 \cdot 10^{13} \text{ cm}^{-2}$$

Dans cet exemple, la différence de polarisation donne lieu à un excès de charges positives N à l'interface AlGaN/GaN dans la barrière, c'est-à-dire à un déficit de charges négatives dans la couche canal GaN. Afin de neutraliser la charge de l'interface, il se forme un gaz bidimensionnel d'électrons de densité N_s (gaz 2D ou 2DEG).

L'origine des charges peuplant le gaz 2D pose question car ni le canal ni la barrière d'une hétérostructure AlGaN/GaN ne sont dopés. De plus, la contribution du dopage résiduel des couches tampons au gaz 2D – non intentionnellement dopée N – est estimée à environ 10^{11} cm^{-2} [49]. Elle est donc minime par rapport aux densités mesurées dans le gaz 2D ($\approx 10^{13} \text{ cm}^{-2}$). Le mécanisme avancé pour expliquer la formation du gaz 2D dans les hétérostructures AlGaN/GaN est la présence d'états donneurs à la surface de la barrière [104, 105]. En effet, si la barrière n'est pas dopée et que sa surface ne présente aucun défaut, piège ou autre niveau énergétique (surface idéale), alors la seule source d'électrons possible pour le gaz 2D est la bande de valence de l'AlGaN. La Figure 2.1 la décrit cette situation. Les bandes de conduction (BC) et de valence (BV) de l'AlGaN sont fortement inclinées du fait du champ de polarisation interne de la barrière. Pour une épaisseur de barrière suffisamment grande, dite « critique », la BV de l'AlGaN croise le niveau de Fermi dans la région proche de la surface, ce qui permet le transfert des électrons de la BV vers le niveau de plus basse énergie de la BC où un gaz bidimensionnel d'électrons est ainsi formé. Dans ce cas, tout épaissement supplémentaire de la barrière au-delà de l'épaisseur critique se traduit par un accroissement de la densité de charges dans le gaz 2D. La charge négative à l'interface AlGaN/GaN s'équilibre alors avec la charge positive créée en surface par le départ des électrons de la BV. L'épaisseur critique dépend donc de la largeur de bande interdite de la barrière et du champ de polarisation, c'est-à-dire de la teneur en aluminium.

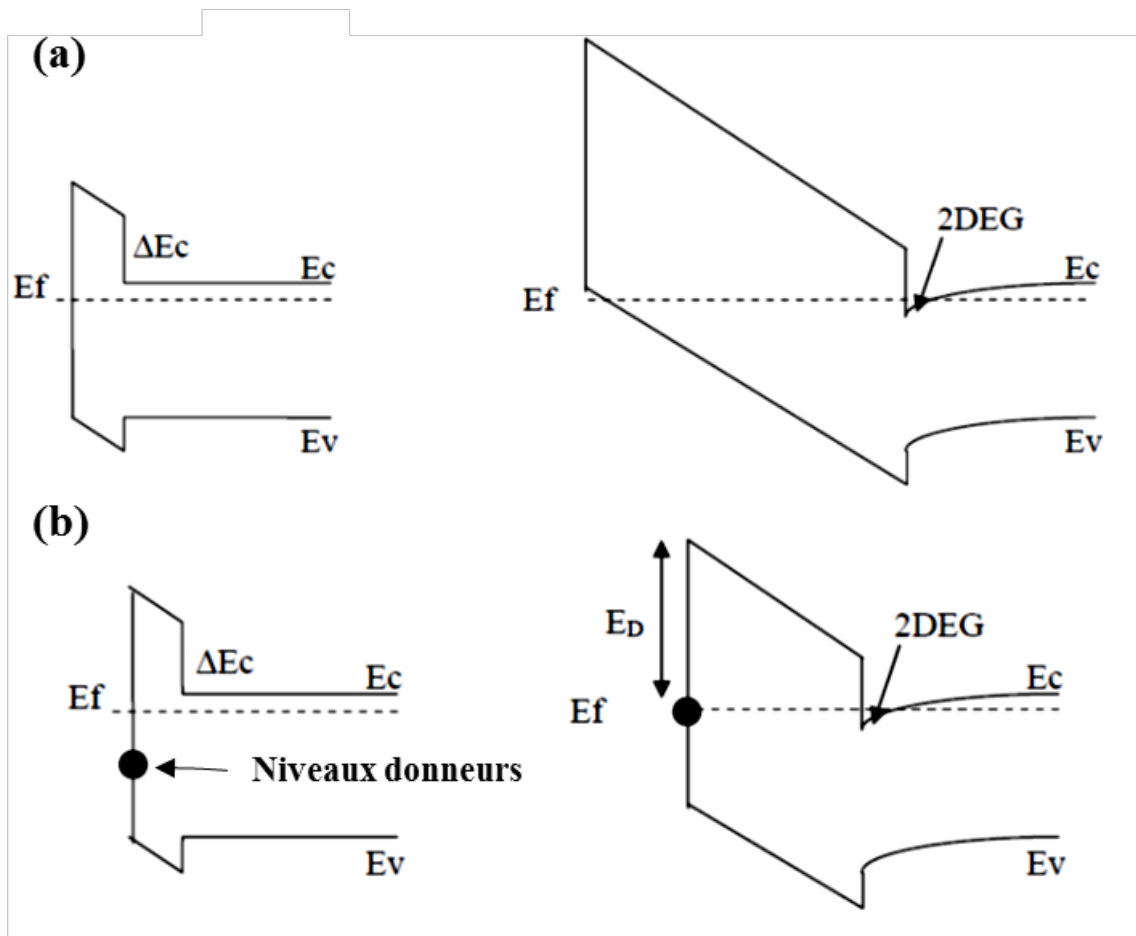


Figure 2.11 – Mécanisme de formation du gaz 2D dans une hétérostructure AlGaIn/GaN dans le cas (a) d’une surface idéale (b) d’une surface réelle comportant des états donneurs.

En réalité, la surface se différencie du cas idéal par l’existence de lacunes, de liaisons pendantes, ou la présence d’ions adsorbés. Ces défauts créent des niveaux énergétiques dans la bande interdite de la barrière, représentés schématiquement dans la Figure 2.11b. Pour une épaisseur critique, dépendante de la position en énergie des niveaux donneurs par rapport à la BC de l’AlGaIn, $(E_F - E_D)$ s’annule. Les états donneurs sont alors partiellement ionisés, des électrons peuvent être transférés de ces états vers le bas de la BC, formant un gaz 2D. La densité de charges augmente alors rapidement avec l’épaisseur avant de saturer à mesure que les états donneurs sont ionisés. La saturation intervient généralement entre 20 et 30 nm pour $x_{Al} = 20 - 30 \%$, ce qui donne l’intervalle d’épaisseur typique pour les barrières AlGaIn. L’épaisseur critique de formation du gaz 2D diminue avec l’augmentation du taux d’aluminium de la barrière, autour de 2 nm pour $x_{Al} = 40 \%$ contre environ 5 nm pour $x_{Al} = 15 \%$.

2.3.2 Diagramme de bande

La Figure 2.12 schématise le diagramme de bande d'une hétérostructure AlGaN/GaN, à l'aide des grandeurs suivantes :

- ΔE_c : discontinuité de la bande de conduction (eV) ;
- E_F : niveau de Fermi (eV) ;
- ϕ_{GaN}^b : hauteur de barrière pour GaN (V) ;
- d_{AlGaN}, d_{GaN} : épaisseur de la barrière et de la couche d'encapsulation (m) ;
- N_s : densité de charges surfacique du gaz bidimensionnel d'électrons (m^{-2}) ;
- $\epsilon_{GaN}, \epsilon_{AlGaN}$: constantes diélectriques ($F.m^{-1}$) ;
- ϕ_{buffer}^b : barrière de potentiel dans la région inférieure de la structure (V).

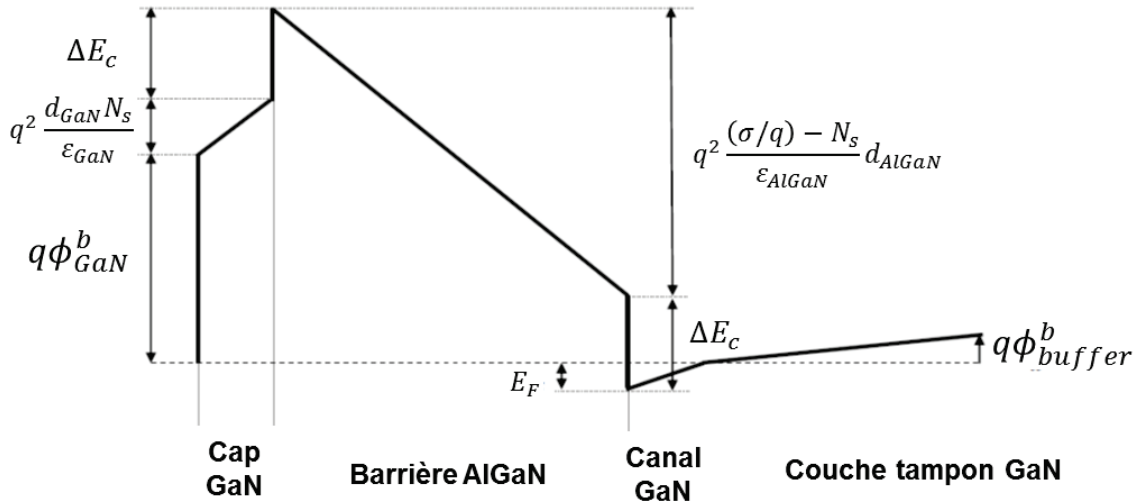


Figure 2.12 – Diagramme de bande de l'hétérostructure AlGaN/GaN.

Cette figure ne tient pas compte du dopage résiduel de la barrière car son effet sur la densité de charges dans le gaz 2D est négligeable par rapport à celui de la polarisation. Notons que les grandeurs $(\sigma - qN_s)/\epsilon_{AlGaN}$ et qN_s/ϵ_{GaN} correspondent aux champs électriques présents dans la barrière et dans la couche d'encapsulation respectivement. Les grandeurs ϵ_{AlGaN} et ΔE_c , dépendent évidemment de la composition en aluminium x_{Al} de l'alliage AlGaN. La permittivité ϵ_{AlGaN} est obtenue par une loi de Vegard linéaire, tandis que la discontinuité ΔE_c peut être estimée de la façon suivante, $E_g(x_{Al})$ étant donnée par (1.1) [43] :

$$\Delta E_c = 0,7[E_g(x_{Al}) - E_g(0)] \quad \text{Équation 2.5}$$

Une analyse électrostatique de l'hétérostructure – détaillée dans la référence [106] – permet d'exprimer la densité de charges N_s en fonction des paramètres physiques et géométriques de l'hétérostructure. À partir de la Figure 2.12, nous pouvons extraire l'égalité suivante, et une relation reliant la densité de charges dans le gaz 2D (N_s) au niveau de Fermi E_F :

$$\Delta E_c + q^2 \frac{d_{GaN} N_s}{\epsilon_{GaN}} + q\phi_{GaN}^b = q^2 \frac{(\sigma/q) - N_s}{\epsilon_{AlGaN}} d_{AlGaN} + \Delta E_c - E_F$$

D'où

$$N_s = \frac{\sigma - \frac{1}{q} \frac{\epsilon_{AlGaN}}{d_{AlGaN}} (E_F + q\phi_{GaN}^b)}{q \left(\frac{d_{GaN}}{d_{AlGaN}} \frac{\epsilon_{AlGaN}}{\epsilon_{GaN}} + 1 \right)} \quad \text{Équation 2.6}$$

Le rapport $\frac{\epsilon_{AlGaN}}{d_{AlGaN}}$ correspond à la capacité de la barrière par unité de surface (F.m⁻²). De plus, le dénominateur nous indique que la présence de la couche d'encapsulation GaN a pour effet de diminuer la densité de porteurs dans le gaz 2D, d'un facteur $q \left(\frac{d_{GaN}}{d_{AlGaN}} \frac{\epsilon_{AlGaN}}{\epsilon_{GaN}} + 1 \right)$. Ce phénomène d'écrantage, dû à la présence de charges de polarisation négatives à l'interface GaN/AlGaN, est d'autant plus faible que l'épaisseur de la couche d'encapsulation d_{GaN} est petite devant celle de la barrière d_{AlGaN} . Pour fabriquer un HEMT GaN, un contact Schottky est réalisé en surface afin de moduler la charge du canal sous la grille par l'application d'une tension source-grille V_{gs} . Dans ce cas, (2.6) devient :

$$N_s = \frac{\sigma - \frac{1}{q} \frac{\epsilon_{AlGaN}}{d_{AlGaN}} (E_F + q\phi_{effective}^b - qV_g)}{q \left(\frac{d_{GaN}}{d_{AlGaN}} \frac{\epsilon_{AlGaN}}{\epsilon_{GaN}} + 1 \right)} \quad \text{Équation 2.7}$$

Avec

$$q\phi_{effective}^b = q\phi_{GaN}^b + q^2 \frac{d_{GaN} N_s}{\epsilon_{GaN}} + \Delta E_c$$

La présence de la couche d'encapsulation augmente donc la hauteur de barrière apparente $\phi_{effective}^b$. Notons qu'en raison du caractère ionique de GaN, le travail de sortie du métal a une influence importante sur la valeur de la hauteur de barrière. C'est pourquoi des métaux possédant un travail de sortie élevé sont généralement employés. Un état de l'art des contacts Schottky sur HEMTs GaN est proposé dans [107]. Pour une métallisation de type Ni/Au sur une barrière AlGaN, la relation empirique suivante a été proposée [43] :

$$q\phi_{effective}^b (x_{Al}) = 1,3x_{Al} + 0,84 \text{ (eV)} \quad \text{Équation 2.8}$$

Ainsi, la connaissance des paramètres physiques et géométriques de l'hétérostructure permet d'estimer N_s , à condition de connaître la position du niveau de Fermi. Le modèle du puits triangulaire à 2 niveaux avec des fonctions d'Airy peut être utilisé pour obtenir une relation supplémentaire entre N_s et E_F . Les solutions pour les niveaux d'énergie sont [103, 108] :

$$E_i = \left(\frac{\hbar^2}{2m_{GaN}^*} \right)^{\frac{1}{3}} \left(\frac{3}{2} \pi q F_{puits} \right)^{\frac{2}{3}} \left(i + \frac{3}{4} \right)^{\frac{2}{3}} = \gamma_i N_s^{2/3}, \quad i = 0, 1 \quad \text{Équation 2.9}$$

Avec $F_{puits} = \frac{qN_s}{\epsilon_{GaN}}$ et $\gamma_i = \left(\frac{\hbar^2}{2m_{GaN}^*} \right)^{\frac{1}{3}} \left(\frac{3}{2} \pi \frac{q^2}{\epsilon_{GaN}} \right)^{\frac{2}{3}} \left(i + \frac{3}{4} \right)^{\frac{2}{3}}$

Où \hbar est la constante de Planck, m_{GaN}^* la masse effective et F_{puits} le champ électrique dans le puits triangulaire. À partir des niveaux d'énergie E_0 et E_1 , une nouvelle expression relie la densité de charges N_s à la position du niveau de Fermi :

$$N_s = \frac{m_{GaN}^* k_B T}{\pi \hbar^2} \left[\ln \left\{ 1 + \exp \left(\frac{E_F - E_0}{k_B T} \right) \right\} + \ln \left\{ 1 + \exp \left(\frac{E_F - E_1}{k_B T} \right) \right\} \right] \quad \text{Équation 2.10}$$

En combinant (2.7) et (2.10), il est alors possible de calculer la densité de charges dans le gaz 2D, à l'aide d'une méthode de calcul auto-cohérente par dichotomie, mise en œuvre dans [106] (Figure 2.13). Alternativement, en formulant plusieurs hypothèses simplificatrices, une expression analytique de la densité de charges N_s peut être extraite [10]. Notons que le taux de relaxation de la barrière influence la densité du gaz 2D via le champ piézoélectrique. Aussi, *Ambacher et al* ont proposé une approche permettant de prendre en considération cette influence, illustrée dans la Figure 2.13a [43, 106].

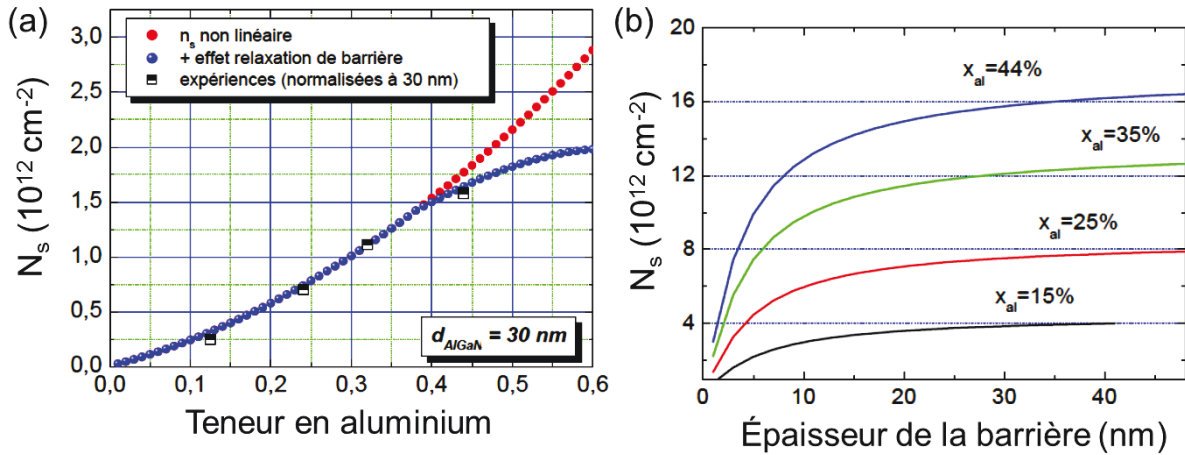


Figure 2.13 – Évolution de la densité de charges N_s dans le canal d'une hétérostructure AlGaIn/GaN en fonction de (a) la teneur en aluminium x_{Al} pour $d_{AlGaIn} = 30$ nm (b) de l'épaisseur de la barrière d_{AlGaIn} [106].

Principalement deux approches existent pour calculer N_s à partir des équations ci-dessus. La première consiste à supposer que le niveau de Fermi est bloqué en surface par les niveaux donneurs, aussi N_s dépend essentiellement de ϕ_{GaN}^b , déterminé de façon empirique à partir de la mesure de N_s . C'est le modèle proposé par *Smorchkova et al* [105] et *Ibbetson et al* [104]. Le second modèle – proposé par *Ridley* [109] – repose sur l'hypothèse que le niveau de Fermi est bloqué dans la couche tampon GaN, et que la densité N_s résulte de l'équilibre électrostatique des charges. La valeur ϕ_{buffer}^b est déterminée de façon empirique également. L'application de ces deux modèles aux hétérostructures AlGaIn/GaN développées au CRHEA par NH₃-MBE est discutée dans [10].

2.3.3 Mobilité électronique

L'expression de la mobilité électronique μ_e dans l'approximation du temps de relaxation (1.3) suppose que tous les processus de relaxation sont indépendants. D'après celle-ci, la mobilité des porteurs dans ce régime est proportionnelle au temps de relaxation moyen τ entre deux collisions. En supposant que tous les processus de relaxation sont élastiques, le temps de relaxation moyen τ est calculé à partir de la règle de Mathiessen :

$$\frac{1}{\tau} = \frac{1}{\tau_1} + \frac{1}{\tau_2} + \frac{1}{\tau_3} + \dots + \frac{1}{\tau_n} \quad \text{Équation 2.11}$$

Où $\tau_1, \tau_2, \tau_3, \dots, \tau_n$ sont les temps de relaxation des différents modes de diffusion, un mode de diffusion étant d'autant plus efficace que le temps de relaxation le caractérisant est faible. Les mécanismes de diffusion associées aux hétérostructures AlGaIn/GaN sont détaillés et modélisés dans la référence [106] :

(1) La diffusion par les donneurs

Les impuretés ionisées : la source d'électrons pour le gaz 2D est essentiellement constituée des états de surface et se trouve par conséquent éloignée de celui-ci d'une distance environ égale à l'épaisseur de barrière (typiquement 20 à 30 nm). Cette séparation spatiale des donneurs et des électrons réduit fortement la contribution des impuretés ionisées au temps de relaxation moyen.

Les impuretés résiduelles : un dopage non intentionnel est systématiquement présent dans les couches de GaN, oscillant entre 10^{14} et 10^{17} cm^{-3} . Ce dopage résulte de l'incorporation de Si et O pendant la croissance, voire des défauts ponctuels. D'autres impuretés de type accepteur ou

neutres peuvent également induire des diffusions. *A priori*, à $T \geq 300$ K, la mobilité n'est pas réellement limitée par les impuretés pour un dopage résiduel inférieur à 10^{19} cm^{-3} . De plus, l'effet de ces impuretés est partiellement écranté par la charge du gaz 2D, et se trouve donc considérablement atténué pour des valeurs de N_s typiquement supérieures à $5 \cdot 10^{12} \text{ cm}^{-2}$.

(2) La diffusion par la rugosité de l'interface AlGaIn/GaN

La rugosité d'interface est décrite par deux principaux paramètres : la moyenne quadratique et la période (longueur de corrélation). Son effet sur la mobilité dépend fortement de la distance moyenne entre le gaz 2D et l'interface. Or, il s'avère que plus la densité de porteurs dans le gaz 2D augmente, plus ces derniers se trouvent confinés près de l'interface. La rugosité d'interface joue donc un rôle d'autant plus important que la densité du gaz 2D est grande. De plus, comme le montre la Figure 2.13a, la densité N_s augmente avec la teneur en aluminium. À partir d'un certain seuil d'aluminium, des phénomènes de relaxation apparaissent, à l'origine d'une variation des champs de polarisation à l'échelle microscopique. Ceci engendre une distribution des charges inhomogène qui s'apparente à une rugosité « électrique », et dont l'effet sur la mobilité peut être modélisé de façon similaire à la rugosité « géométrique ».

(3) Le désordre d'alliage

Le désordre d'alliage désigne la variation aléatoire de la composition de la barrière autour de sa valeur nominale. Cette variation perturbe le potentiel périodique auquel sont soumis les électrons dans la barrière. Cette perturbation ne devrait théoriquement pas affecter la mobilité des électrons, confinés dans le GaN. Cependant, la proximité du gaz 2D avec l'interface (effet coulombien) et une probabilité non nulle de présence dans la barrière AlGaIn pour une proportion significative de ces électrons peut engendrer une réduction de la mobilité. L'influence du désordre d'alliage sur la mobilité moyenne dépend donc de cette proportion et de la profondeur moyenne de pénétration des électrons dans la barrière, variant sur quelques angströms de distance. Une forte densité de porteurs dans le gaz 2D accentue la sensibilité au désordre d'alliage, car la distance moyenne entre le gaz 2D et l'interface diminue. Le paramètre clé – permettant de réduire l'impact de ce mode de diffusion sur la mobilité – est la discontinuité entre la barrière et le canal (ΔE_c), puisque la profondeur de pénétration moyenne est inversement proportionnelle à $\Delta E_c^{1/2}$. D'après (2.5), ΔE_c peut être augmenté simplement en enrichissant la barrière en aluminium. L'insertion d'un composé binaire, tel que l'AlN, entre la barrière et la

couche GaN, augmente ΔE_c et permet de réduire efficacement l'effet du désordre d'alliage sur la mobilité des électrons dans le gaz 2D. Pour cela, une épaisseur d'AlN légèrement supérieure à la profondeur de pénétration des électrons suffit.

(4) Les dislocations traversantes

Une partie des dislocations traversantes présentes dans les composés III-N peut se comporter comme des défauts de type accepteur, capturant des électrons de la bande de conduction. Ils vont alors former des lignes chargées négativement qui viennent intercepter le plan de croissance dans lequel se déplacent les électrons du gaz 2D. Une ZCE va apparaître autour de ces lignes qui vont alors agir comme des centres de diffusion pour les électrons. Ainsi, outre une réduction de la densité de porteurs dans le gaz 2D, une diminution de la mobilité est induite par les dislocations traversantes chargées. L'efficacité de ce mode de diffusion dépend de la proportion de défauts effectivement chargés, ainsi que de la densité du gaz 2D. En effet, les centres de diffusion sont progressivement écrantés à mesure que la densité N_s augmente.

(5) Les phonons

Le mouvement des atomes composants le réseau cristallin affecte le déplacement des électrons dans le cristal. En particulier, les phonons conditionnent l'évolution de la mobilité en fonction de la température, les autres modes de diffusion n'étant pas significativement affectés par celle-ci. D'après les simulations effectuées dans [106], l'effet des phonons acoustiques est prépondérant à basse température (< 200 K). À température ambiante, la diffusion par les phonons optiques est le principal mécanisme limitant la mobilité électronique dans le gaz 2D.

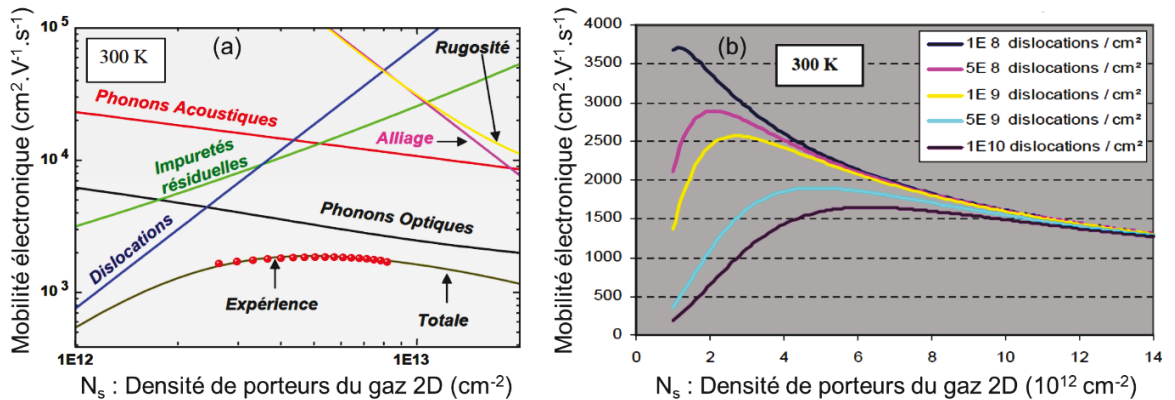


Figure 2.14 – (a) Évolution expérimentale et calculée de la mobilité à 300 K en fonction de la densité de charge N_s d'une hétérostructure $\text{Al}_{0,26}\text{Ga}_{0,74}\text{N}/\text{GaN}$ sur $\text{Si}(111)$ avec une DDT fixée à $9 \cdot 10^9 \text{ cm}^{-2}$ et un dopage résiduel de $4 \cdot 10^{16} \text{ cm}^{-3}$ [106] (b) Évolution de la mobilité à 300 K en fonction de la densité de porteurs N_s dans le gaz 2D, calculée pour différentes DDTs [110].

La Figure 2.14a compare l'évolution de la mobilité à 300 K calculée et mesurée en fonction de la densité du gaz 2D, sur un échantillon préparé au CRHEA par NH_3 -MBE sur Si(111). Pour une telle structure, le mécanisme de diffusion prépondérant à bas N_s ($< 5 \cdot 10^{12} \text{ cm}^{-2}$) est celui engendré par les dislocations, suivi de la diffusion relative aux impuretés résiduelles. À mesure que N_s augmente, ces deux modes de diffusion sont progressivement écrantés, d'où une amélioration de la mobilité. Celle-ci passe par un maximum avant de redescendre, principalement à cause de l'interaction avec les phonons optiques. Notons que la contribution de la rugosité d'interface et du désordre d'alliage augmente rapidement avec N_s car le gaz 2D se rapproche alors de l'interface AlGaN/GaN. Ces deux contributions jouent donc un rôle important pour des hétérostructures à forte densité de porteurs ($N_s > 1 \cdot 10^{13} \text{ cm}^{-2}$). La valeur du maximum de mobilité ainsi que sa position (c'est-à-dire la densité de porteurs correspondante) dépend étroitement de la DDT (Figure 2.14b). En particulier, le pic se décale vers les grandes densités de porteurs lorsque la DDT augmente, car l'écrantage des dislocations chargées par le gaz 2D est plus difficile. À partir de la densité N_s du gaz 2D et de la mobilité des porteurs μ , la résistance de feuille R_{sh} vaut :

$$R_{sh} = \frac{1}{q\mu N_s} \quad \text{Équation 2.12}$$

Rappelons que la résistance de feuille d'une portion de couche conductrice de résistivité ρ , traversée par un courant dans sa longueur l , est définie de la façon suivante (Figure 2.15) :

$$R = \frac{\rho l}{dw} = R_{sh} n_{sq} \quad \text{Équation 2.13}$$

Avec $R_{sh} = \frac{\rho}{d}$ et $n_{sq} = \frac{l}{w}$

Où n_{sq} est le nombre de carré dans le plan horizontal et dans la direction du courant.

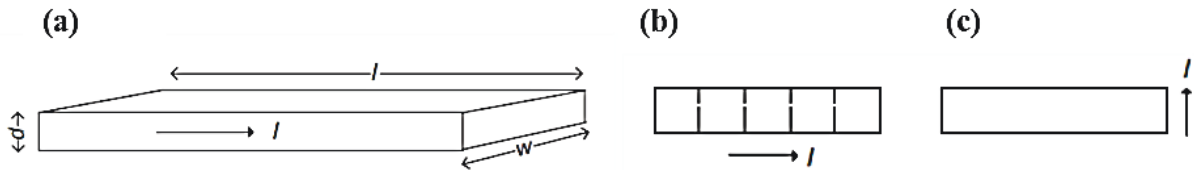


Figure 2.15 – (a) Portion d'une couche conductrice de longueur l , de largeur w et d'épaisseur d . Deux portions identiques vues de dessus étant traversées par un courant dans deux directions orthogonales présentent une résistance (b) $R = R_{sh} n_{sq} = 5R_{sh}$ et (c) $R = R_{sh} n_{sq} = 0,2R_{sh}$ [111].

La résistance de feuille est donc indépendante de la longueur et de la largeur de la couche (de l'orientation du courant choisie), ne dépendant que de l'épaisseur de celle-ci. Cette grandeur est donc adaptée pour décrire les propriétés de transport d'un système bidimensionnel tel que le gaz 2D formé à une hétérojonction AlGaIn/GaN. Elle est également appelée résistance par carré ou résistance de couche. Par définition, elle s'exprime en Ω / \square , bien que son unité soit la même qu'une résistance (Ω), la différenciant ainsi de la résistivité qui est une propriété volumique.

2.4 Le transistor HEMT GaN

2.4.1 Principe de fonctionnement

Le HEMT³ GaN est un transistor à effet de champ construit sur une hétérojonction AlGaIn/GaN et comportant 3 électrodes métalliques, la grille, la source et le drain (Figure 2.16a).

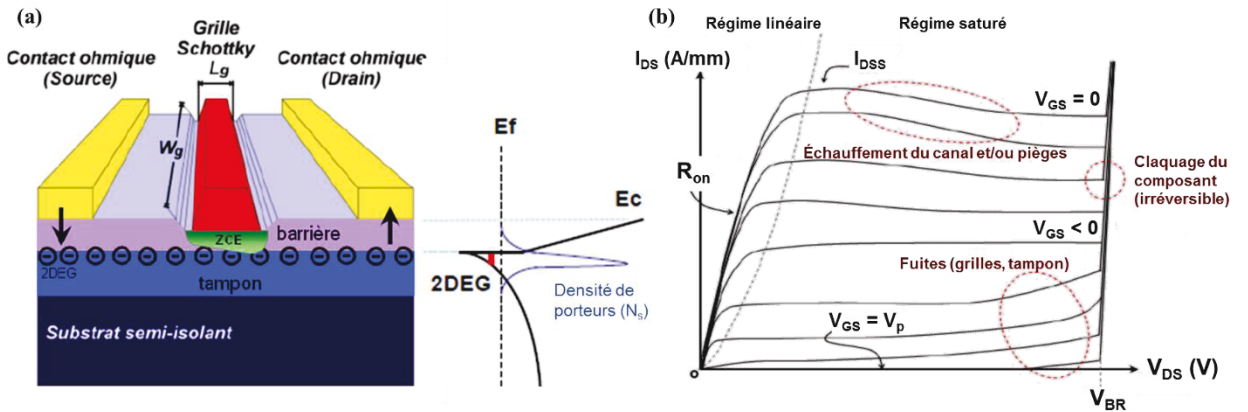


Figure 2.16 – (a) Représentation schématique d'un transistor HEMT GaN (b) Réseau de caractéristiques $I_{ds}(V_{ds}, V_{gs})$ statique [49].

Les étapes technologiques pour parvenir à ce type de composant sont par exemple décrites dans [59]. Dans ce projet, nous utiliserons le procédé développé au CRHEA pour caractériser les hétérostructures AlGaIn/GaN [49]. Par convention, la plus petite dimension du transistor est une longueur, désignée par la lettre L , tandis que la plus grande dimension est une largeur, désignée par la lettre W (et aussi appelée longueur de développement). Deux effets de champ sont présents, relatifs à la polarisation de la grille V_{gs} et à celle du drain V_{ds} par rapport à une

³ High electron mobility transistor. L'acronyme HFET (Heterostructure field effect transistor) est aussi utilisé dans la littérature.

électrode de référence, la source. La tension appliquée entre la grille et la source permet de moduler la charge N_s du canal (2.7).

Le HEMT GaN possède la caractéristique de sortie $I_{ds}(V_{ds}, V_{gs})$ classique d'un transistor à effet de champ (Figure 2.16b). Lorsque la tension V_{gs} augmente vers les tensions négatives, le canal est progressivement déserté de ses électrons. Une ZCE se forme sous la grille, schématisée sur la Figure 2.16a. La tension de pincement V_p correspond alors à la tension de seuil du transistor, en-deçà de laquelle le canal est complètement obstrué par la ZCE et le courant devient négligeable. Elle peut être estimée à travers (2.7) pour $N_s = 0$. En négligeant le terme dû à la couche d'encapsulation GaN, et en l'absence d'effet de canal court :

$$qN_s \approx \frac{\epsilon_{AlGaN}}{d_{AlGaN}} (V_g - V_p) \quad \text{Équation 2.14}$$

Avec

$$V_p = \phi_{effective}^b + \frac{E_F}{q} - \sigma \frac{d_{AlGaN}}{\epsilon_{AlGaN}}$$

La caractéristique de sortie $I_{ds}(V_{ds})$ du HEMT GaN passe par 3 régimes de conduction (Figure 2.16b) :

(1) Un régime linéaire

Pour de faibles tensions V_{ds} , le canal du transistor se comporte comme une résistance dont la valeur R_{on} est indépendante de la polarisation de drain. Le transistor se trouve alors dans le régime ohmique. En combinant (1.2) et (1.4), l'expression du courant I_{ds} dans le régime linéaire pour un transistor de largeur W est :

$$I_{ds} = j_{ds} \times W = qN_s v_d \times W = qN_s \times \mu F \times W \quad \text{Équation 2.15}$$

En introduisant $V_c(x)$ le potentiel électrique dans le canal, (2.15) devient :

$$I_{ds} = qN_s \mu(N_s) W \frac{dV_c}{dx} \quad \text{Équation 2.16}$$

Pour aller plus loin, une expression approchée du courant $I_{ds}(V_{ds}, V_{gs})$ en fonction des résistances d'accès du HEMT GaN – schématisées dans la Figure 2.17 – ainsi que de ses paramètres physiques et géométriques est développée dans [106].

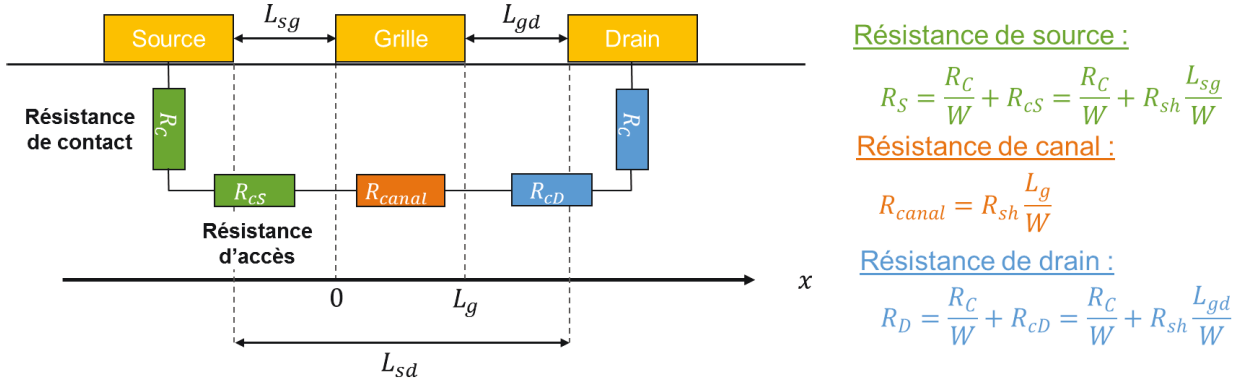


Figure 2.17 – Représentation des résistances série du transistor HEMT.

(2) Un régime saturé

À partir d'une certaine tension V_{ds} , l'augmentation du courant en fonction de la tension n'est plus linéaire. La caractéristique $I_{ds}(V_{ds}, V_{gs})$ forme alors un coude repéré par la tension $V_{ds} = V_{knee}$, puis le courant se fixe à une valeur I_{dss} ou $I_{ds,max}$, dite courant de saturation. Deux raisons peuvent expliquer la saturation du courant dans le transistor. La première est la saturation de la vitesse de dérive des électrons, qui intervient pour un champ électrique longitudinal supérieur au champ critique. La deuxième cause possible est le pincement du canal côté drain, c'est-à-dire la désertion du gaz 2D entre la grille et le drain. Pour une tension de coude typique d'environ 5 V, et une longueur de grille de l'ordre du micron, le champ électrique dans le canal est, en première approximation, de l'ordre de $\frac{5}{10^{-4}} = 50 \text{ kV / cm}$, soit très inférieur au champ critique du GaN, d'environ 150 kV / cm (Figure 1.6). Par conséquent, pour des composants de taille supérieure au micron, la saturation du courant est plus probablement due au pincement du canal. Le courant est alors fixé par la résistance du canal pincé côté drain et la tension au point de pincement, deux grandeurs indépendantes de la tension V_{ds} appliquée. La saturation de la vitesse des électrons interviendra pour des longueurs de grille submicroniques. Dans ce cas, une expression générale du courant de saturation sera :

$$I_{ds,max} = eN_s v_{sat} W \quad \text{Équation 2.17}$$

En pratique, une conductance de sortie g_{ds} non nulle apparaît à travers le HEMT GaN à mesure que la tension source-drain augmente, malgré la saturation du courant (Figure 2.16b) :

$$g_{ds} = \left. \frac{\Delta I_{ds}}{\Delta V_{ds}} \right|_{V_{gs} \text{ constant}} \neq 0 \quad \text{Équation 2.18}$$

La conductance de sortie peut ainsi être positive – en présence de fuites – ou encore négative si l'auto-échauffement du composant dégrade significativement les propriétés de transport de l'hétérostructure. Une conductance de sortie négative peut également indiquer la présence de pièges électriques à la surface ou dans la structure épitaxiale du transistor.

(3) Le claquage

Alors que le transistor se trouve dans son régime de saturation, une brusque augmentation du courant de drain est observée pour une tension $V_{ds} > V_{br}$ (Figure 2.16b). Cette augmentation correspond au claquage du transistor, dont la cause est généralement attribuée au phénomène d'ionisation par impact [108, 112]. À $V_{ds} > V_{br}$, le champ électrique présent dans le canal confère à certains électrons une énergie cinétique supérieure à la largeur de bande interdite. Lors d'un choc entre un électron de la bande de conduction et un électron de la bande de valence, une paire électron-trou peut ainsi être créée. Chaque charge est alors immédiatement accélérée par le champ électrique et peut ioniser à son tour un autre atome du réseau cristallin. Ce phénomène – appelé avalanche – est caractérisé par les coefficients d'ionisation du matériau α_n et α_p , qui correspondent au nombre de paires générées par chaque électron et chaque trou, par unité de longueur de matériau. Leur valeur dépend étroitement du champ électrique appliqué et de la température. Pour les matériaux à large bande interdite, l'énergie cinétique des porteurs nécessaire à l'apparition du phénomène d'ionisation par impact est plus grande, ce qui explique un champ de claquage plus élevé. La mesure des coefficients de ionisation dans le GaN a notamment été réalisée par *Ozbek*, dans le but de mieux prédire la tension de claquage des composants issus de différentes technologies GaN [113]. Cependant, dans le cas du GaN sur Si, c'est souvent dans le substrat lui-même que l'avalanche a lieu.

2.4.2 HEMTs GaN pour l'électronique RF

Les transistors sont notamment mis en œuvre comme composants actifs dans les circuits amplificateurs. Les classes A, B, AB, C, D, E et F sont couramment utilisées dans la gamme de fréquences RF/micro-ondes [114]. Les spécifications requises par le système déterminent la classe d'opération de l'amplificateur, par exemple : la figure de bruit, l'efficacité, la puissance de sortie, la linéarité, la gamme de fréquence, l'encombrement, le poids et le coût. La classe de l'amplificateur se matérialise par une polarisation (V_{gs}, V_{ds}) déterminée et des réseaux d'adaptation d'impédance d'entrée et de sortie spécifiques. Pour chaque classe, un nécessaire

compromis existe entre la linéarité et l'efficacité de l'amplificateur : une plus grande efficacité se traduit par une linéarité dégradée, et *vice versa* [114].

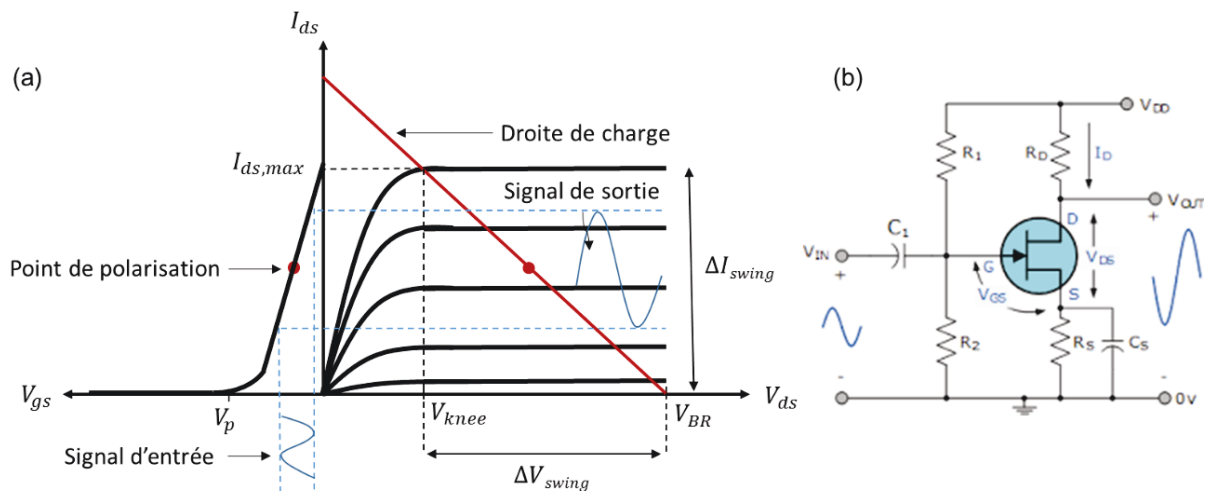


Figure 2.18 – (a) Exploitation de la caractéristique $I(V)$ dans le cas d'un amplificateur de classe A (b) Exemple de montage correspondant.

En classe A, le point de repos, ou point de polarisation, correspond approximativement à un courant $I_{ds,max}/2$ (Figure 2.18a). À travers l'application d'un potentiel V_{DD} et les différentes résistances, le point de repos $(V_{gs}, V_{ds})_{repos}$ est établi (Figure 2.18b). Un signal V_{gs} alternatif est superposé à la tension V_{gs} continue, générant une variation du courant I_{ds} autour du point de repos, convertie en une variation de la tension V_{ds} à travers la résistance de charge R_D . L'amplificateur de classe A présente *in fine* un signal de sortie qui est la copie amplifiée du signal d'entrée : l'intégralité du signal d'entrée est ainsi utilisée. L'avantage de ce mode de fonctionnement est la faible distorsion du signal, aux dépens d'une efficacité maximale limitée à 50 %.

Les HEMTs GaN ont été dans un premier temps développés pour leur utilisation dans des circuits RF. Le Tableau 2.3 compare les différentes technologies présentes sur le marché de l'électronique RF, à travers les propriétés matériaux pertinentes pour ce type d'applications. Le GaN possède une bonne vitesse de dérive maximale, essentielle pour la montée en fréquence puisqu'elle confère aux porteurs un temps de transit sous la grille relativement court. De plus, la présence d'un gaz 2D avec une grande discontinuité de la bande de conduction à l'interface AlGaIn/GaN permet d'obtenir une densité de porteurs importante dans le canal, de l'ordre de 10^{13} cm^{-2} . Ces propriétés, combinées avec un champ de claquage élevé, permettent la réalisation de transistors fonctionnant à haute fréquence et forte puissance.

Paramètres	Motivation	Unité	Si	GaAs	ABCS ¹	InP ²	GaN/SiC
Mobilité électronique	Vitesse des porteurs	$10^3 \text{ cm}^2/(\text{V.s})$	1,4	8,5	40	12	2 (gaz 2D)
Vitesse de dérive maximale	Temps de transit	10^7 cm/s	1	2	8	2,5	2,5
Champ de claquage	Tension (ΔV_{swing})	10^5 V/cm	5,7	6,4	0,4	4	40
Largeur de bande interdite	Densité de charges	eV	1,12	1,42	0,35	0,74	3,4
Conductivité thermique	Dissipation de la chaleur	W/(cm.K)	1,3	0,5	0,27	0,05	2,9
Maturité	Densité des circuits (Complexité)		Excellente	Bonne	Limité	Moyenne	Limité

1 - Antimonide Based Compound Semiconductors, canal InAs / 2 - Canal InGaAs

Tableau 2.3 – Propriétés des matériaux utilisés pour les composants RF, d'après [115].

La figure de mérite habituellement utilisée pour comparer différentes technologies RF est la Figure de Johnson, présentée dans la référence [8] pour le GaN et ses concurrents sur le marché RF. L'excellente conductivité thermique de la technologie HEMT GaN avancée dans le Tableau 2.3 est liée à l'utilisation du substrat SiC et explique en partie la faible percée de la technologie RF HEMT GaN sur Si. En effet, dans l'exemple de l'amplificateur de classe A, le transistor génère constamment des pertes ($\forall t, I \times V \neq 0$). Le courant de drain du transistor se dégradant avec la température, une bonne dissipation thermique des pertes par effet Joule est primordiale pour l'efficacité de l'amplificateur. Étant donné que le silicium présente une conductivité thermique 2 à 3 fois inférieure au SiC, une réduction conséquente des performances est attendue sur Si.

De plus, la réalisation de circuits RF haute performance requiert l'utilisation de substrats semi-isolants [11]. En effet, à haute fréquence, le champ électromagnétique d'un signal transmis le long d'une ligne s'étend au-delà de la ligne de transmission. Si le substrat est conducteur, le signal cède une partie de son énergie aux porteurs présents dans celui-ci. À plus haute fréquence, les pertes liées au substrat conducteur augmentent. À ce jour, la meilleure résistivité atteignable sur Si est de l'ordre de $10 \text{ k}\Omega.\text{cm}$, moyennant l'utilisation du procédé *Float Zone*. L'absence de substrat semi-isolant reste un défi pour la fabrication de circuits RF haute performance sur Si, en particulier pour les composants passifs tels que les inductances [116, 117]. C'est pourquoi l'existence de substrats SiC semi-isolants ($\rho > 10 \text{ M}\Omega.\text{cm}$) a également favorisé le

développement de la technologie GaN sur SiC, aux dépens de la technologie GaN sur Si. Enfin, le faible champ de claquage dans le substrat Si est une autre limite de cette technologie, le champ de claquage nettement plus élevé des substrats SiC est donc un troisième argument en faveur de la technologie RF GaN sur SiC.

Performances statiques	Transconductance
Valeur maximale intrinsèque	$g_{m,int,max} = \frac{\varepsilon_{AlGaN} v_{sat} W}{d + \Delta d}$
Valeur maximale extrinsèque	$g_{m,ext,max} = \frac{g_{m,int,max}}{1 + R_S g_{m,int,max}}$
Performances fréquentielles	Fréquence de coupure
Pour le gain en courant [118]	$f_T \approx \frac{g_{max,ext}}{2\pi(C_{gs} + C_{gd})} \propto v_{sat}/L_g$
Pour le gain en puissance [119]	$f_{max} \approx \frac{f_T}{2\sqrt{(R_i + R_s + R_g)g_{ds} + 2\pi f_T R_g C_{gd}}}$

Tableau 2.4 – Grandeurs caractéristiques des performances du transistor en amplification.

Une grandeur statique importante pour caractériser les propriétés d'amplification du transistor est la transconductance g_m , traduisant la capacité du composant à convertir une faible variation de tension V_{gs} en une variation de courant I_{ds} élevée, pour une valeur de V_{ds} donnée :

$$g_m = \left. \frac{\Delta I_{ds}}{\Delta V_{gs}} \right|_{V_{ds} \text{ constant}} \quad \text{Équation 2.19}$$

La valeur maximale de cette grandeur est utilisée pour déterminer le potentiel du transistor en termes de gains en courant et en puissance (Tableau 2.4), car ces derniers évoluent proportionnellement avec la transconductance ($G_I, G_P \propto g_m$). On distingue généralement la transconductance intrinsèque – qui dépend uniquement des propriétés physiques des couches telles que l'épaisseur des couches superficielles situées entre le gaz 2D et la grille (notée d) et la distance entre le gaz 2D et la barrière (Δd) – de la transconductance extrinsèque, prenant en compte l'influence des paramètres technologiques telles que les résistances série du transistor (Figure 2.17). Les performances fréquentielles sont mesurées à travers les fréquences de coupure des gains en courant et en puissance, f_T et f_{max} respectivement. En effet, plus la fréquence est élevée, plus le courant à travers les capacités grille-source C_{gs} et grille-drain C_{gd} , c'est-à-dire le courant d'entrée, s'accroît ($I_{in} \propto 2\pi f(C_{gs} + C_{gd})$), réduisant progressivement le

gain en courant ($G_I = I_{out}/I_{in}$) jusqu'à 0 dB pour la fréquence de coupure f_T . L'amélioration des performances fréquentielles du transistor peut être obtenue de différentes façons, notamment par la réduction de la longueur de grille, car cela permet de réduire la capacité grille-source :

$$C_{gs} = \epsilon_{AlGaN} \frac{W \times L_g}{d + \Delta d} \quad \text{Équation 2.20}$$

Cependant, les transistors HEMT GaN à grille fortement submicronique sont soumis à des effets de canal court, qui se traduisent notamment par un décalage de la tension de seuil en fonction de la tension source-drain ($\Delta V_{th}/\Delta V_{ds}$) et une augmentation de la conductance de sortie g_d [120]. Le paramètre-clé permettant de contrôler l'apparition de ces effets est le rapport d'aspect entre la grille et la barrière qui doit être suffisant pour bénéficier d'une conductance de sortie faible, c'est-à-dire d'un contrôle de grille efficace et d'un gain en tension important [108]. Pour les HEMTs GaN, la règle de conception proposée par *Jessen et al* est la suivante [121] :

$$\frac{L_G}{d_{AlGaN}} > 15 \quad \text{Équation 2.21}$$

Par conséquent, la diminution de la longueur grille nécessite d'être accompagnée par une réduction de l'épaisseur de barrière, ce qui s'oppose à la minimisation de C_{gs} (2.21). De plus, la réalisation de barrières fines requiert de hautes teneurs en aluminium, afin de compenser la perte de N_s due à la diminution de l'épaisseur (Figure 2.13b), produisant des barrières relativement instables, et augmentant les résistances d'accès et de canal. Cette approche est discutée dans la référence [94]. D'autres stratégies ont été explorées, parmi lesquelles : (1) de nouveaux matériaux de barrière : InAlN, AlN, AlInGaN, etc. (2) les doubles hétérostructures (3) la minimisation des éléments parasites ($R_c, R_g \dots$) à travers la réalisation de *T-gate*, la croissance de contacts ohmiques fortement dopés N, etc. [21].

2.4.3 HEMTs GaN pour la puissance

Les transistors servent également d'interrupteurs dans les convertisseurs de puissance. Contrairement au cas précédent, où le composant exploite une grande partie de la caractéristique $I(V)$, le transistor de puissance va essentiellement osciller entre deux états (Figure 2.19) : (1) un état passant, situé dans la partie linéaire de la caractéristique et correspondant à un courant I_{ON} et à une tension résiduelle source drain $V_{ON} = R_{on} \times I_{ON}$ (2) un état bloqué, situé dans la zone de saturation et correspondant à un courant de fuite I_{OFF} et à une tension de blocage source drain $V_{OFF} < V_{br}$. Les temps de transitions entre les deux états –

temps d'ouverture t_{ON} et de fermeture t_{OFF} – sont typiquement très faibles devant la période du signal de commande $T = 1/f$ (Figure 2.20a). Nous détaillons ci-dessous les principales caractéristiques attendues d'un interrupteur de puissance.

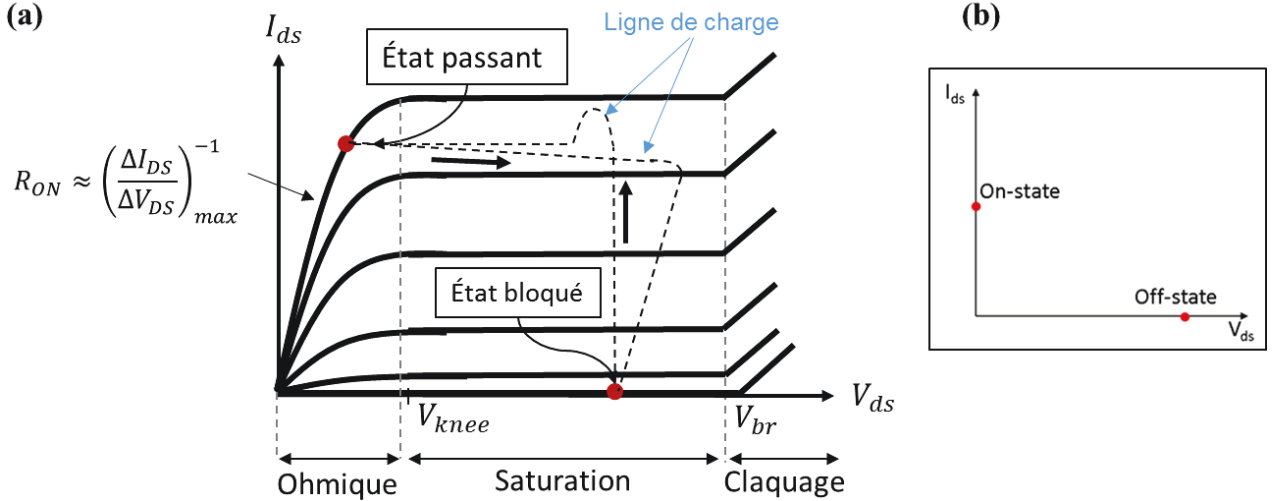


Figure 2.19 – (a) Exploitation de la caractéristique de sortie $I_{ds}(V_{ds})$ pour un transistor de puissance. La ligne de charge dépend du circuit externe du transistor, des éléments parasites et du mode d'opération (b) Caractéristique d'un interrupteur idéal, présentant des pertes nulles ($\forall t, I_{ds} \times V_{ds} = 0$ et $R_{on} = 0$).

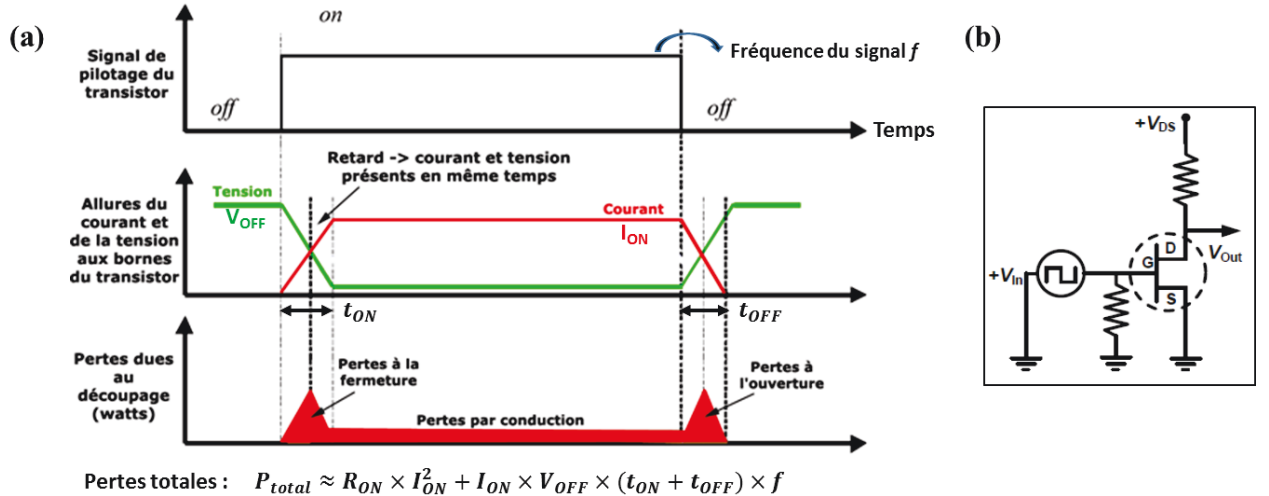


Figure 2.20 – (a) Illustration des pertes de conduction et de commutation dissipées par un interrupteur de puissance (b) Montage simplifié d'un interrupteur de puissance utilisant un transistor à effet de champ.

(1) La tenue en tension

Elle est caractérisée par la tension de claquage V_{br} , et définit la tension maximale que peut bloquer le transistor. Pour une structure planaire, dans laquelle la région supportant la tension de blocage présente un dopage uniforme N_D , la tension de claquage est [122] :

$$V_{br} = \frac{\varepsilon_s E_c^2}{2eN_D} \quad \text{Équation 2.22}$$

Avec ε_s la constante diélectrique du semi-conducteur et E_c son champ de claquage. Ce dernier dépend notamment de la largeur de bande interdite E_g : un champ de claquage de 0,3 MV / cm soit 30 V / μm est obtenu pour le silicium, contre 3 et 3,5 MV / cm (300 et 350 V / μm) pour les matériaux à la large bande interdite SiC et GaN respectivement. Considérant un dopage résiduel relativement faible $N_D = 5.10^{14} \text{ cm}^{-3}$, une tension de claquage en-dessous de 600 V est obtenue pour Si et aux alentours de 50 kV et 65 kV pour SiC et GaN respectivement. D'une manière générale, à une tension V_{br} fixée, cela permet d'augmenter le dopage N_D , donc d'améliorer R_{on} , sans dégrader la tenue en tension. Plus particulièrement, pour un composant latéral tel que le HEMT GaN, les conséquences d'un champ de claquage élevé sont doubles : (1) à V_{br} constant, la distance L_{gd} sur laquelle l'essentiel de la tension V_{ds} s'applique à l'état bloqué peut-être considérablement réduite, occasionnant une diminution de la résistance R_{on} du composant (2) pour une aire A donnée, la diminution de L_{gd} permet d'augmenter la largeur W du transistor offrant une réduction supplémentaire de R_{on} (Tableau 2.5).

Type de pertes	Puissance dissipée
Par conduction (statique)	$P_{DC} \approx R_{on} I_{ds,on}^2$
Par commutation (dynamique) [123] ex : cas du HEMT GaN	$P_{dyn} \approx I_{ds,on} \times V_{OFF} \times (t_{on} + t_{off}) \times f$ $\approx f C_{out} V_{OFF}^2 \quad (V_{ds} \gg V_{gs})$
Figure de mérite	Conduction
Composants de puissance verticaux [124] (Figure de mérite de Baliga)	$R_{on} \times A = \frac{4V_{br}^2}{\varepsilon \mu E_c^3}$
Composants de puissance latéraux [84, 125]	$R_{on} \times A = \left(2R_c + R_{sh} \frac{V_{br}}{E_c}\right) \left(\frac{V_{br}}{E_c} + 2 \frac{R_c}{R_{sh}}\right)$ $= (2R_c + R_{sh} L_{sd})(L_{sd} + 2L_T)$ <i>avec</i> $A = L_{sd} \times W$, $L_{sd} = \frac{V_{br}}{E_c}$ et $L_T = \frac{R_c}{R_{sh}}$
Figure de mérite	Commutation
Composants de puissance (haute fréquence)	$R_{on} \times Q_G = R_{on} \times \int_{V_{gs,off}}^{V_{gs,on}} C_{in} dV$

Tableau 2.5 – Grandeurs caractéristiques des performances du transistor de puissance.

(2) L'efficacité à forte puissance

Le fonctionnement idéal d'un transistor de puissance, correspondant à une efficacité de 100 %, est illustré dans la Figure 2.19b. Dans son fonctionnement réel, le transistor produit des pertes généralement distinguées selon qu'elles résultent de la conduction ou de la commutation du transistor (Tableau 2.5). Une troisième contribution est issue des courants de fuite à l'état bloqué ($I_{OFF} \times V_{OFF}$) mais demeure généralement négligeable devant les pertes de conduction et de commutation [126]. Étant données les puissances élevées requises par les applications (hauts niveaux I_{ON}, V_{OFF}), il est primordial de conserver une efficacité aussi proche de 100 % que possible. En effet, toute perte supplémentaire est dissipée par effet Joule et contribue à l'auto-échauffement du transistor. L'augmentation de la température engendre une dégradation progressive du courant et accélère le vieillissement du composant ($Mean Time To Failure \propto \exp(\frac{E_A}{kT})$) [11]. C'est pourquoi la plupart des convertisseurs intègre des systèmes de refroidissement, dont le prix et l'encombrement varient en fonction du nombre de watts à dissiper.

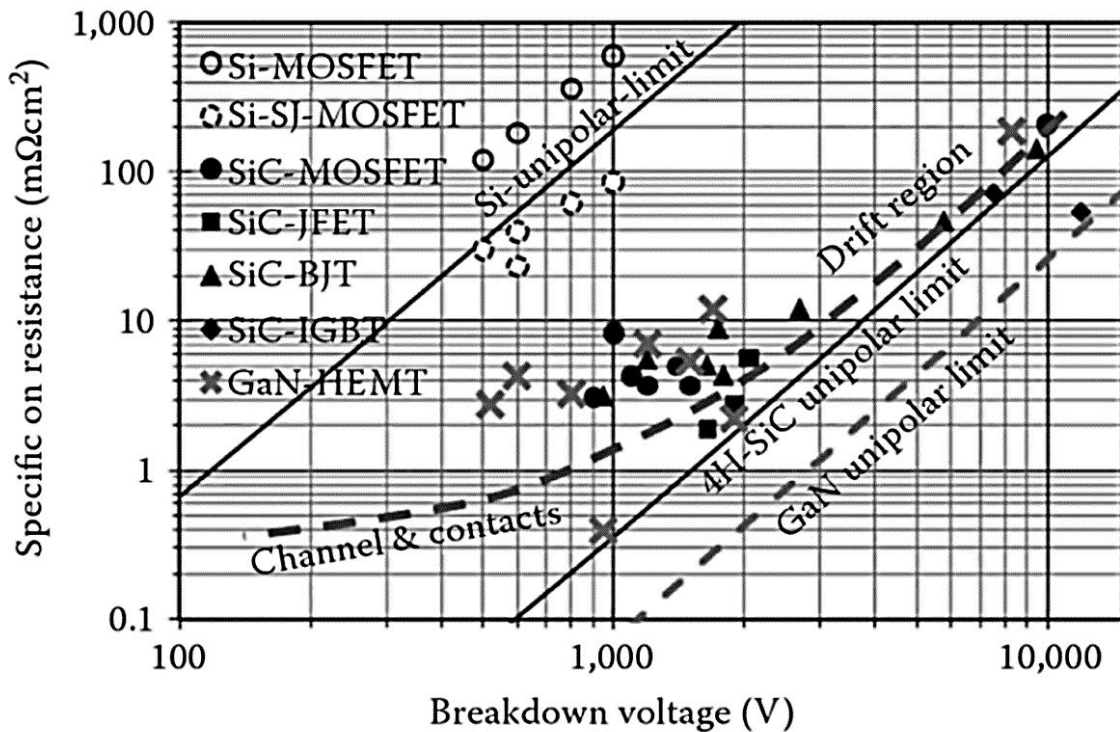


Figure 2.21 – Résistance spécifique à l'état passant en fonction de la tension de claquage pour différentes familles de composant [127].

En ce qui concerne les pertes de conduction, la réduction de la puissance dissipée passe par la minimisation de la résistance à l'état passant. La figure de mérite $R_{on} \times A$ – appelé résistance spécifique ($\Omega \cdot \text{cm}^2$) – montre clairement que la réduction de R_{on} se fait aux dépens de V_{br} , d'où un nécessaire compromis entre tenue en tension et efficacité du composant. La Figure 2.21 compare la résistance spécifique pour différents matériaux et différentes architectures de composants, à partir des équations du Tableau 2.5 et de données expérimentales. Pour une tension V_{br} et une surface A données, la résistance R_{on} et donc la puissance dissipée par conduction est de 2 à 3 ordres de grandeur plus élevée sur Si que sur SiC et GaN. Certains composants Si dépassent la limite théorique fixée pour le silicium, car la résistance minimale est calculée pour une région de *drift* uniformément dopée N, ce qui n'est par exemple pas le cas des transistors Si à superjonction (SJ-Si) [128-130]. Notons dans le cas du HEMT GaN l'influence dominante de la résistance de contact sur R_{on} pour $V_{br} < 1000 \text{ V}$, tandis que pour des tensions plus élevées, la résistance du canal (R_{sh}) domine [21, 125].

Les pertes de commutation sont dues à la charge et la décharge des capacités du transistor. Elles peuvent être exprimées de la façon suivante [122] :

$$P_{dyn} = \sum f \times C \times V^2 \quad \text{Équation 2.23}$$

Avec $C = C_{gs}, C_{gd} \text{ ou } C_{ds}$

Où C représente la valeur de la capacité et V la tension à laquelle celle-ci est chargée. Notons que les capacités du transistor peuvent également être exprimées en termes de capacité d'entrée ($C_{in} = C_{gs} + C_{gd}$) et de sortie ($C_{out} = C_{gd} + C_{ds}$). La capacité C_{gd} (ou C_{rss}) est aussi appelée *reverse capacitance*, *gate feedback capacitance* ou capacité Miller. Elle joue un rôle important dans la stabilité de l'interrupteur lors du passage à l'état bloqué [131, 132]. Par son architecture latérale et ses dimensions, le HEMT GaN possède une très faible capacité grille-drain, correspondant au bord de la grille côté drain. De plus, cette zone est rapidement désertée à mesure que la tension V_{ds} augmente, éliminant la capacité C_{gd} d'où $C_{in} \approx C_{gs}$ et $C_{out} \approx C_{ds}$. La capacité d'entrée ne varie donc quasiment pas avec V_{ds} . En revanche, la capacité de sortie chute d'abord rapidement avec V_{ds} , du fait de la désertion des électrons en surface, puis décroît lentement à mesure que la ZCE s'étend latéralement. Rappelons que les MOSFETs Si ont une capacité de drain qui résulte de la présence de la jonction drain-substrat, ce qui n'est pas le cas de la structure du HEMT GaN, qui procure au transistor une capacité de sortie relativement

faible. Enfin, étant donné que $V_{ds} \gg V_{gs}$ pour des applications de forte puissance, la contribution de la capacité d'entrée aux pertes de commutation est largement minoritaire, conduisant à une relation simplifiée pour les pertes par commutation du HEMT GaN (Tableau 2.5).

(3) La fréquence

La montée en fréquence est préjudiciable à l'efficacité du transistor car elle accroît les pertes de commutation (Tableau 2.5). Cependant, elle est hautement désirable dans les convertisseurs de puissance, car elle permet de diminuer la taille et le poids des éléments passifs du convertisseur (inducteurs, condensateurs), occasionnant ainsi une réduction du coût et de l'encombrement du système. Pour accroître la fréquence de travail du convertisseur, les composants unipolaires sont privilégiés, car leur fréquence de commutation n'est pas limitée par la recombinaison des porteurs minoritaires accumulés dans le composant. Ceci favorise dans un premier temps les composants de type MOSFETs, HEMTs. Dans un deuxième temps, la vitesse de commutation, comme l'efficacité, est limitée par la charge et la décharge de la grille. Une grandeur importante pour évaluer la vitesse de commutation d'un transistor de puissance est donc sa charge de grille Q_G , qui correspond à la charge nécessaire pour transiter de l'état bloqué vers l'état passant, mesurée en intégrant dans le temps le courant permettant de passer de la tension $V_{gs,off}$ à la tension $V_{gs,on}$ (Tableau 2.5). Une nouvelle figure de mérite pour les transistors de puissance haute fréquence est donc le produit $R_{on} \times Q_G$, tenant compte à la fois des performances en conduction et en commutation. La référence [126] compare un composant HEMT GaN et un composant MOS Si à superjonction (SJ-MOS) à l'état de l'art présentant des caractéristiques similaires ($V_{OFF} \approx 600\text{ V}$, $R_{on} \approx 70\text{ m}\Omega$). La figure de mérite correspondante est de $1,0\text{ nC}.\Omega$ pour le HEMT et de $4,5\text{ nC}.\Omega$ pour le SJ-MOS, démontrant les bonnes aptitudes de la technologie HEMT GaN à commuter de forts courants à des fréquences élevées.

2.4.4 Développements technologiques majeurs

Ce paragraphe introduit quelques développements technologiques importants qui mettent en lumière la difficulté à traduire les propriétés remarquables des nitrures d'éléments III en une technologie HEMT GaN mature, à même de remplacer les composants Si et/ou SiC dans le domaine de l'électronique RF et des composants de puissance.

(1) Augmentation de la tenue en tension

La tension de claquage V_{br} est couramment définie comme la tension V_{ds} correspondant à un courant de fuite de 1 mA / mm, à l'état bloqué (ex : $V_{gs} < (V_p - 2)$). Le scénario classique est un claquage latéral, caractérisé par une augmentation très abrupte du courant de drain (Figure 2.22c). Pour un composant sujet à ce type de claquage, V_{br} augmente quasi linéairement avec la distance L_{gd} [133]. L'origine du claquage latéral est généralement attribuée au fort champ électrique sous le coin de la grille, côté drain [134]. Ce champ peut se propager jusqu'au substrat, provoquant un claquage vertical de la structure (Figure 2.22d) [135, 136]. Lorsque le champ électrique excède la valeur du champ de claquage E_c (des couches ou du substrat dans le cas d'un claquage vertical), un courant important s'établit entre la grille et le drain. L'observation du claquage latéral ou vertical sur les structures HEMT GaN n'est pas systématique. Au contraire, une augmentation progressive mais significative des courants de fuite, au-delà de 1 mA / mm, est souvent observée. Outre la dégradation de l'efficacité énergétique du transistor de puissance, ce claquage non abrupt mais prématuré peut introduire des problèmes de fiabilité.

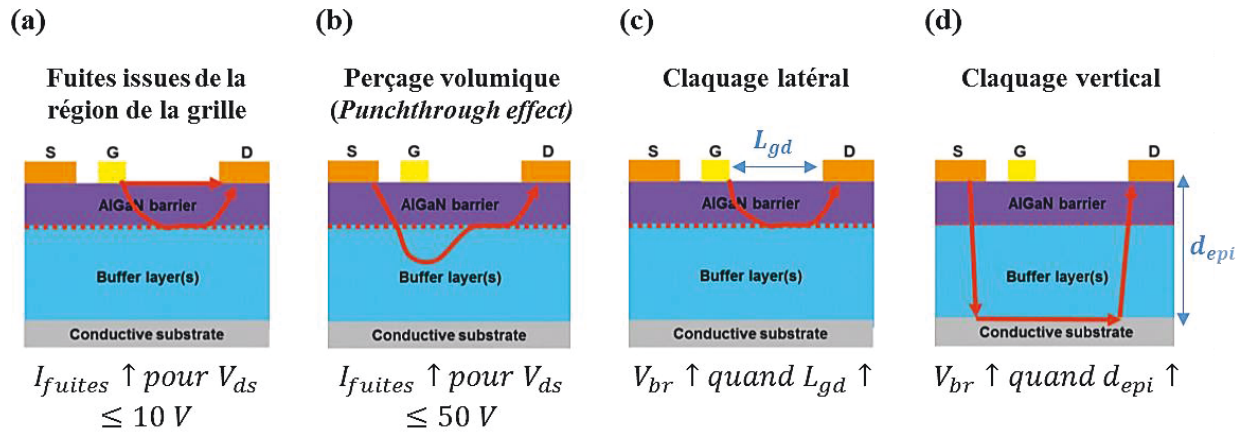


Figure 2.22 – Mécanismes de fuite limitant la tenue en tension des HEMTs GaN [126].

À très faible V_{ds} ($\leq 10 \text{ V}$), la région de la grille est mise en cause et plus particulièrement les couches de passivation (Figure 2.22a) [137, 138]. À V_{ds} plus élevée, nous observons le phénomène classique de perçage volumique (Figure 2.22b), par lequel une partie des porteurs contourne la zone du canal contrôlée par la grille pour atteindre le drain. Il se caractérise par une dérive de V_p , nécessaire pour accroître la profondeur de la ZCE et ainsi bloquer le passage des électrons sous le canal. Ce type de claquage est sensible à la longueur de grille (effet de canal court), à la qualité cristalline de la couche tampon GaN (via la mobilité électronique), et

plus généralement à sa résistivité (dopage N résiduel, etc.). De même, le claquage vertical peut être retardé par la présence d'une couche tampon GaN plus isolante [139-141]. Les propriétés isolantes des couches tampons sont alors caractérisées par le coefficient de résistance au claquage exprimé en $V / \mu m$, V_{br} augmentant avec l'épaisseur [127]. Cependant, l'épaississement est coûteux et implique une gestion des contraintes complexe, aussi plusieurs stratégies alternatives ont été explorées, notamment l'implantation ionique du substrat [142], le retrait du silicium entre la grille et le drain [136, 143], et les plaques de champ (Figure 2.23) [144-148]. Ces dernières permettent d'uniformiser le champ électrique dans la région grille drain, affaiblissant les différents mécanismes de fuite décrits ci-dessus et retardant l'apparition du champ critique sous la grille [149, 150]. En contrepartie, elles apportent une contribution non négligeable aux capacités parasites du transistor [127]. Par exemple, la présence d'une plaque de champ connectée à la grille dégrade les performances en fréquence à travers une augmentation de Q_G pour les interrupteurs de puissance ou une diminution de f_{max} pour les transistors RF [151]. Elle dégrade également la stabilité d'un interrupteur fonctionnant sous haute tension et haute vitesse de commutation (transitoire dV/dt important à la fermeture de l'interrupteur) à travers l'augmentation de la capacité de Miller (C_{gd}).

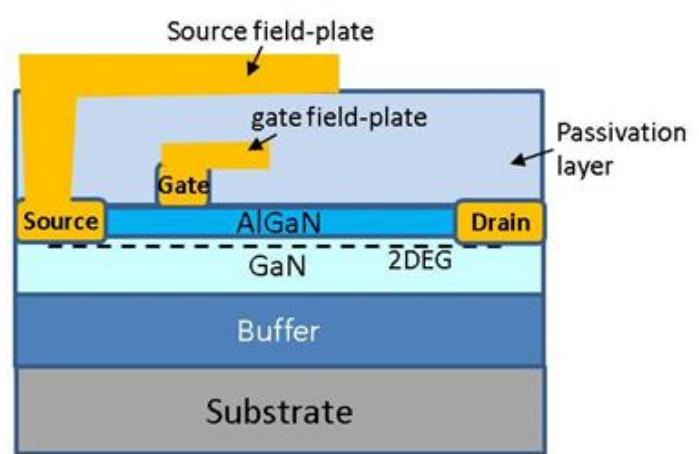


Figure 2.23 – Représentation d'un transistor HEMT GaN avec une plaque de champ sur la source et sur la grille (*dual field-plate structure*) [21].

(2) Stabilité des performances en fonctionnement dynamique (Dispersion DC – RF)

Le développement de la technologie HEMT GaN a été marqué par l'existence d'une forte dégradation des performances en fréquence, due à l'effet de pièges présents dans la structure épitaxiale ou à la surface du composant. Autrement dit, les caractéristiques statiques ou mesurées à basse fréquence sur des HEMTs GaN ne reflètent pas les performances obtenues

à plus haute fréquence (Figure 2.24a). La technologie GaAs s'était auparavant retrouvée confrontée au même problème, avec des causes similaires, se manifestant par une diminution drastique du courant à haute fréquence [152]. Pour les hétérostructures AlGaN/GaN, le phénomène a été rapporté par *Khan et al* [153], suivis par d'autres études dans le cadre du développement du HEMT GaN pour l'électronique RF, confirmant l'existence du problème [154, 155]. Dans le domaine de la puissance, les transistors n'opèrent pas en saturation la plupart du temps, mais seulement de façon dynamique pendant la transition entre les deux états (Figure 2.19a). Cette dégradation n'est donc pas mesurée à travers la diminution de $I_{ds,max}$ mais plutôt en évaluant la résistance à l'état passant R_{on} en statique et en dynamique (Figure 2.24a) [156]. Le mode opératoire pour la mesure de $R_{on,dyn}$ est détaillé dans [127, 157].

La dégradation des performances des transistors RF à haute fréquence est également évaluée en régime pulsé. La mesure de la caractéristique $I(V)$ pour différents points de repos $(V_{gs,0}, V_{ds,0})$ permet de caractériser le phénomène à travers les différentes populations de pièges présentes dans l'hétérostructure [118, 152] :

- Les pièges activés au point de repos $(V_{gs,0} = 0, V_{ds,0} = 0)$ et la diminution de courant due à l'auto-échauffement du transistor ;
- Les pièges de surface proches de la grille, conduisant à un retard à l'établissement de la tension de grille (*gate lag*), au point $(V_{gs,0} < V_p, V_{ds,0} = 0)$;
- Les pièges situés sous le canal et en surface, dans la portion désertée par les électrons entre la source et le drain, conduisant à un retard à l'établissement du courant de drain (*drain lag*), par exemple au point $(V_{gs,0} < V_p, V_{ds,0} = 15 V)$;

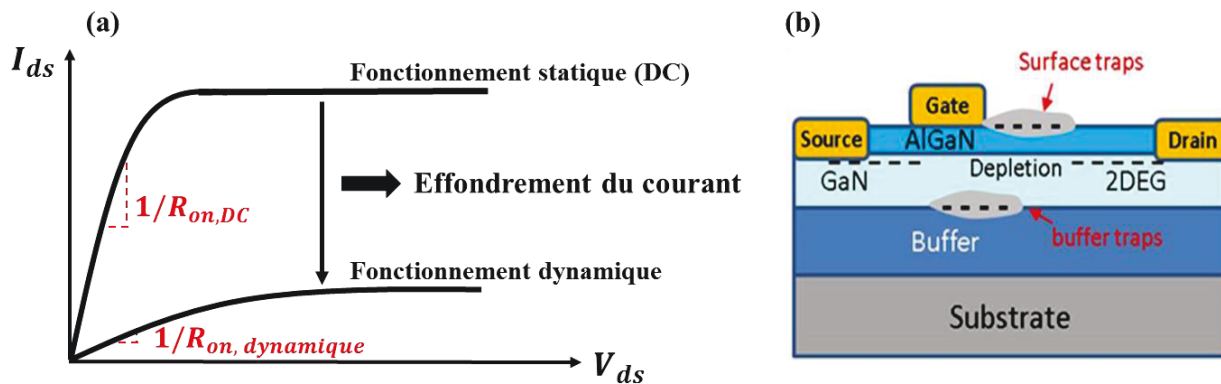


Figure 2.24 – (a) Phénomène d'effondrement du courant (*current collapse*) et augmentation de la résistance dynamique (*dynamic on-resistance*) (b) Illustration des charges piégées dans la structure épitaxiale du HEMT GaN [21].

La dégradation des performances en régime dynamique est principalement attribuée à la présence de pièges profonds dans les couches tampons et au rôle joué par les pièges à la surface de la structure, plus particulièrement dans la région grille-drain du transistor (Figure 2.24b) [21, 152]. L'effet des pièges de surface est expliqué par le concept de la grille virtuelle [155, 158]. À l'état bloqué, le champ électrique est maximal sous la grille côté drain. Dans ces conditions, des électrons sont injectés par effet tunnel depuis la grille, donnant lieu à un courant de fuite. Les états donneurs ionisés en surface capturent ces électrons et sont ainsi neutralisés. Par conséquent, la ZCE sous la grille s'étend latéralement, ce qui peut être vu comme une seconde grille, chargée négativement, qui affaiblit le gaz 2D dans la zone où elle existe. Il a été démontré que ce processus est réversible, et que le temps caractéristique des pièges en surface, pour évacuer les électrons piégés, est de l'ordre de la seconde. Ainsi, lorsque le transistor opère à des fréquences largement supérieures à 1 Hz, la grille virtuelle n'a pas le temps de se décharger, conduisant à un affaiblissement indésirable de la charge du gaz 2D à l'état passant, donc une augmentation de la résistance R_{on} et une diminution du courant I_{ds} . Ce phénomène se renforce à mesure que le courant de fuite qui remplit les états de surface ionisés augmente, c'est-à-dire à mesure que le champ électrique dans la région grille-drain s'accroît ($V_{ds} \uparrow$). L'introduction d'une couche de passivation en surface, généralement à base de SiN, permet de réduire le nombre de pièges [158, 159]. Cependant, il a été mis en évidence que la présence d'une grille virtuelle réduit l'intensité maximale du champ électrique dans la région grille-drain, et contribue ainsi à augmenter V_{br} . La réduction de la densité de pièges amène donc une réduction de V_{br} [107, 150]. Ce dilemme est résolu par l'utilisation des plaques de champ qui permettent à la fois la réduction de l'effet des pièges de surface par un affaiblissement du champ électrique (moins d'électrons étant injectés depuis la grille, la charge de la grille virtuelle reste faible) et le maintien d'un champ de claquage élevé [160, 161]. L'effet des pièges profonds est particulièrement prononcé dans les structures utilisées pour les composants de puissance, car elles nécessitent des couches tampons très résistives, généralement obtenues par un dopage par compensation de type P. Lorsque le champ électrique se propage dans ces couches, il crée une ZCE chargée négativement. À cause de leur faible mobilité dans la couche tampon, les porteurs ne peuvent répondre aux variations rapides de (V_{gs}, V_{ds}). Une seconde charge négative quasi-statique se forme donc sous le canal, contribuant à désertir le gaz 2D de ses porteurs ($R_{on} \uparrow$) [162]. Afin de limiter l'augmentation de la résistance dynamique due aux pièges

profonds, les couches résistives peuvent être éloignées du gaz 2D ou faire l'objet d'un compromis sur leur dopage, ce qui revient à faire un compromis entre $R_{on,dyn}$ et V_{br} [127, 152].

(3) Augmentation de la tension de seuil

Une particularité des hétérostructures AlGaN/GaN réside dans le fait que le gaz 2D est créé par des charges de polarisation. Par conséquent, le transistor HEMT GaN est normalement passant (*normally-on*) et conduit à $V_{gs} = 0$ et $V_{ds} \neq 0$. Typiquement, une tension de seuil V_{th} de -3 à -4 V est obtenue. Ceci n'est pas problématique lorsque le transistor est utilisé pour des applications RF [122]. Cependant, cette caractéristique est rédhibitoire pour les applications de puissance. En effet, dans un convertisseur à l'arrêt, tous les transistors – s'ils sont *normally-on* – se trouvent à l'état passant. Il faut donc polariser négativement les grilles avant le démarrage du convertisseur, afin d'éviter tout court-circuit sur l'alimentation haute tension (typiquement 600 V pour la technologie HEMT GaN). De même, lors de l'arrêt du convertisseur, il faut préalablement couper l'alimentation (V_{OFF}) avant d'annuler la tension de grille des transistors. L'absence de court-circuit dépend ainsi du bon fonctionnement de l'électronique de commande et de contrôle du convertisseur, or aucun système n'est à l'abri d'une défaillance de ces circuits. Un tel convertisseur ne garantit donc pas l'intégrité des utilisateurs et des matériels. En revanche, avec des transistors *normally-off*, il existe une sécurité intrinsèque contre ce type de défaillance, puisque dès que leur alimentation est coupée, les transistors bloquent tout courant. De plus, pour garantir une immunité contre les signaux parasites générés à chaque commutation (dV/dt , di/dt), suivant la tension et la vitesse de commutation, une marge de sécurité est nécessaire sur V_{th} [131, 132]. Ceci est particulièrement vrai pour la technologie HEMT GaN, où le transistor commute entre quelques millivolts et quelques centaines de volts, ou encore entre quelques microampères et quelques dizaines d'ampères, en seulement quelques nanosecondes. Typiquement, pour un transistor HEMT GaN 600 V, une tension de seuil minimale de $+1$ V est requise. Une tension de seuil plus élevée ($V_{th} > 5$ V) serait même préférable, pour un contrôle plus robuste de la grille face aux dérives thermiques, au bruit, etc. [131, 163, 164]. Enfin, une marge de sécurité au niveau de la tension maximale applicable sur la grille $V_{gs,max}$ est également souhaitable afin d'éviter une dégradation de la grille en cas de surtensions accidentelles pendant le fonctionnement de l'interrupteur [165].

Les différentes structures explorées afin de construire un HEMT GaN *normally-off* (à enrichissement, $V_{th} > 0$) sont décrites dans la Figure 2.25 et discutées plus en détail dans [165].

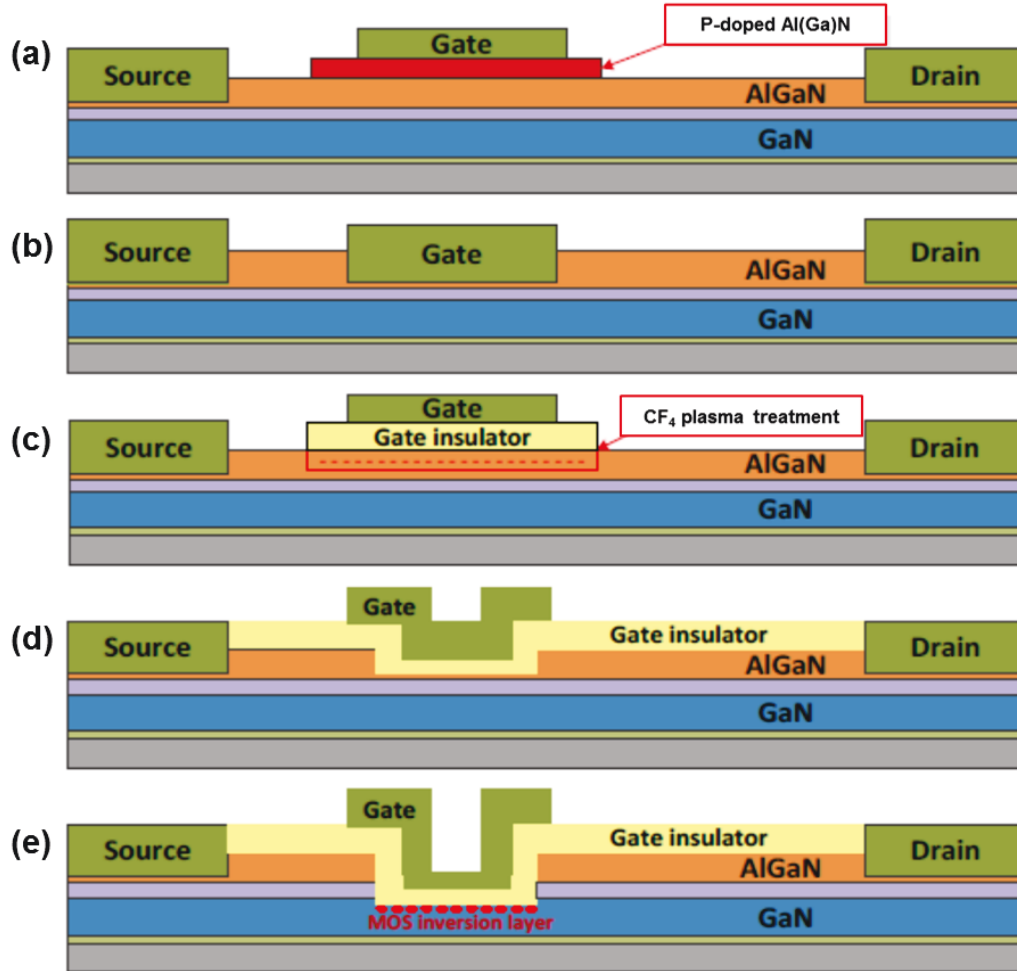


Figure 2.25 – Approches technologiques pour HEMTs GaN *normally-off* : (a) Al(Ga)N dopé P sous la grille (p-GaN HEMT, GIT) (b) fossé de grille (c) traitement plasma sous la grille (d) Fossé de grille et isolant (MIS-HEMT) (e) MOS-HFET hybride [165].

L'idée directrice est de déplacer la bande de conduction dans la région contrôlée par la grille, au-dessus du niveau de Fermi même lorsque le potentiel de grille est nul. Puisque le gaz 2D résulte de la polarisation dans la barrière, la gravure de cette couche permet de réduire le champ de polarisation et donc la densité de charge dans le gaz 2D. À partir d'une certaine épaisseur limite d_{AlGaN} , le gaz 2D n'existe plus sous la grille : le transistor devient *normally-off*[166]. Étant donné qu'une faible variation de l'épaisseur gravée détermine une variation significative de la tension de seuil ($V_{th} \uparrow$ quand $d_{AlGaN} \downarrow$), le contrôle de la vitesse de gravure et de l'uniformité est crucial et motive le développement de procédés de gravure avancés (ex : *Atomic layer etching*, *Digital etching*). Faute d'une dispersion en épaisseur inférieure au

nanomètre, *Marcon et al.* ont conclu qu'une uniformité et une reproductibilité satisfaisante – en termes de tension de seuil – sur substrat 200 mm ne pouvait être atteinte qu'en gravant complètement la barrière AlGaN [167]. En insérant un diélectrique de grille, pour limiter le courant de fuite, la structure ainsi formée est un MIS-HEMT (Figure 2.25d) ou un MOS-HFET hybride (Figure 2.25e). Dans le second cas, le gaz 2D ne pouvant plus se former sous la grille, la conduction est alors assurée par la création d'une couche d'inversion, conduisant à une mobilité des porteurs dans le canal fortement dégradée [168, 169]. Les structures p-GaN HEMT et MOS-HFET sont comparées dans la référence [167]. En particulier, la passivation par un diélectrique de grille demeure particulièrement problématique pour les nitrures III-N [152], ayant récemment fait l'objet d'une thèse au sein du LN2 [3].

Les approches alternatives au fossé de grille reposent sur l'introduction d'une charge négative localisée sous la grille. En effet, l'excès de charges positives engendré par les champs de polarisation présents dans l'hétérostructure est responsable de la formation du gaz 2D. En insérant une charge négative sous la grille, la charge nécessaire pour neutraliser cet excès est réduite et N_s diminue. Par exemple, *Cai et al.* ont montré qu'il était possible de faire disparaître complètement le gaz 2D en introduisant des ions F^- sous la grille par un traitement plasma (Figure 2.25c) [170]. Cependant, la stabilité thermique et électrique des ions fluors dans le GaN est encore un point de controverse [84, 171]. Une seconde approche repose sur l'épitaxie d'une couche (Al)GaN dopée P, conduisant à la formation d'une hétérojonction PN avec la couche AlGaN – non intentionnellement – dopée N (Figure 2.25a) [172]. Le fonctionnement des p-GaN HEMTs ou GITs (*Gate injection transistors*) est par exemple décrit dans la référence [127]. Plusieurs variantes ont été explorées, notamment avec contact de grille ohmique [173-175] ou Schottky [167], ce dernier privilégiant la fiabilité à la performance du transistor.

En conclusion, parmi les différentes structures HEMTs GaN *normally-off* proposées, V_{th} est limité à environ 2 V, avec une tension de grille maximale typique de 6 V [165]. Par conséquent, l'utilisation de ces interrupteurs requiert des précautions particulières, par exemple, la mise en œuvre de circuits de protection contre les surtensions de grille [163, 176], ou l'utilisation d'un montage cascode [177]. Enfin, la transformation du *normally-on* en *normally-offs* s'accompagne généralement d'une dégradation de la mobilité des porteurs sous la grille. Cela conduit les différents groupes travaillant sur le sujet à combiner plusieurs approches afin d'améliorer le compromis entre la tension de seuil et le courant à l'état passant [167, 178].

2.5 Conclusion

À défaut de dresser un panorama complet de cette technologie, nous nous sommes intéressés à l'élaboration d'hétérostructures AlGaIn/GaN sur Si par la technique NH_3 -MBE. En effet, cette technique permet l'épitaxie d'hétérostructures de haute qualité structurale à des températures réduites par rapport à la MOCVD, ce qui est particulièrement intéressant dans la perspective d'une co-intégration CMOS-*first*, l'approche technologique privilégiée dans ce projet (Chapitre 4). L'épitaxie d'hétérostructures AlGaIn/GaN est classiquement réalisée sur Si(111), bien que des résultats comparables en termes de qualité structurale aient été obtenus sur Si(110). En revanche, la croissance sur Si(100) engendre des hétérostructures plus défectueuses, compromettant la co-intégration de HEMTs GaN sur circuits CMOS fabriqués sur le substrat standard de la microélectronique.

Les performances de HEMTs GaN peuvent se dégrader fortement entre les fonctionnements statique et dynamique, à cause de la présence de pièges dans la structure épitaxiale et en surface. Ceci constitue un obstacle à leur utilisation dans le domaine de la RF comme dans celui de la puissance. L'optimisation de la structure épitaxiale (ex : dopage de la couche tampon GaN) et de celle du composant (ex : introduction de plaques de champ) permet d'obtenir des performances plus proches des spécifications visées. Celles-ci sont ajustables par un dessin adapté des couches (ex : composition/épaisseur de la barrière), et du composant (ex : distance grille drain). Ces développements technologiques ont permis la réalisation de composants GaN dont les performances se comparent très favorablement aux technologies existantes, et continuent de s'améliorer conformément aux figures de mérite introduites pour les composants RF et de puissance.

CHAPITRE 3 LA TECHNOLOGIE MOS

3.1 Introduction

Ce chapitre décrit le fonctionnement de dispositifs basés sur la structure MIS, qui détermine en grande partie les performances d'une technologie CMOS. Un autre élément clé de ces dispositifs est la réalisation de jonctions PN, c'est-à-dire le contrôle précis du dopage dans les différentes régions du MOSFET, reposant notamment sur un budget thermique maîtrisé. Plus généralement, le contexte global entourant la co-intégration de la technologie CMOS avec la technologie HEMT GaN sera introduit à travers les grands axes de développement de la micro-électronique : *more Moore* et *more than Moore*. Cela permettra de se familiariser avec la technologie CMOS et ses intrications possibles avec la technologie HEMT GaN au sein de systèmes hétérogènes.

3.2 Structure MIS

3.2.1 Description

L'élément central de la technologie CMOS est la structure Métal – Isolant – Semi-conducteur (MIS), schématisée dans la Figure 3.1. Par commodité pour la suite, le contact supérieur sera appelé « grille ».

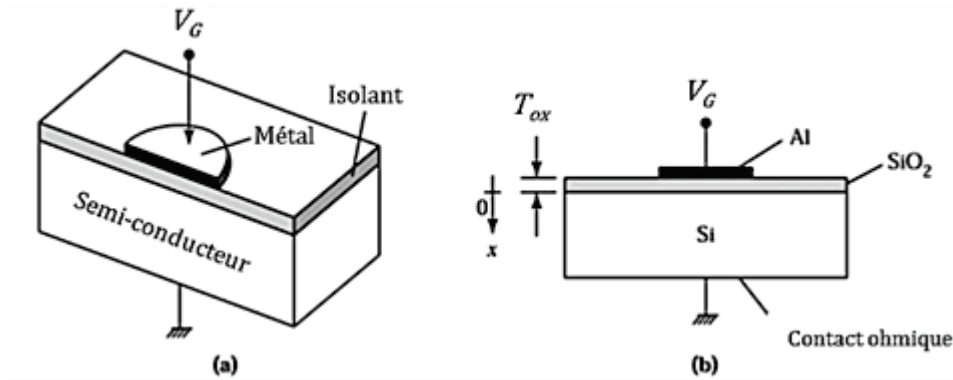


Figure 3.1 – (a) Vue en perspective d'une diode MIS (b) Vue en coupe d'une diode MOS Si-SiO₂ [112].

Le diagramme de bande de la structure MIS idéale pour une tension grille-substrat nulle ($V_G = 0$) est décrit dans la Figure 3.2, avec Φ_m et Φ_s les travaux de sortie du métal et du semi-conducteur respectivement, χ_m et χ_i les affinités électroniques du semi-conducteur et de l'isolant respectivement, ψ_B la différence entre le niveau de Fermi E_F et le niveau de Fermi

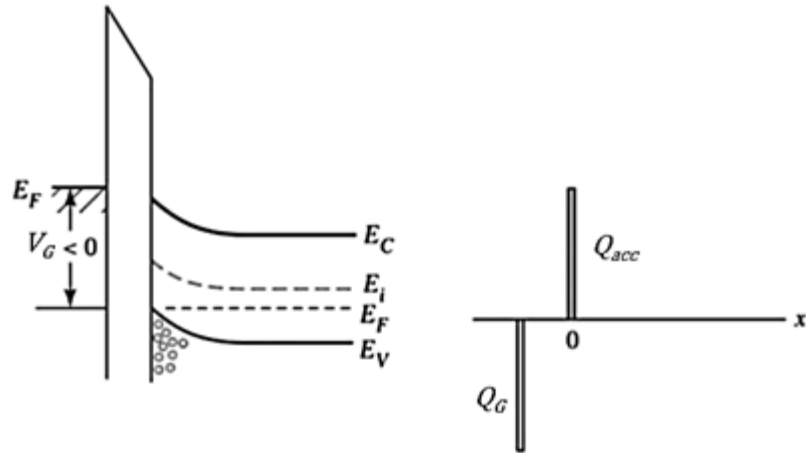


Figure 3.3 – Diagramme de bande de la capacité MIS dans le régime d'accumulation [112].

(2) Régime de déplétion

Si la tension devient positive ($V_G > 0$), le semi-conducteur est progressivement déserté par les trous, il s'y forme une ZCE chargée négativement ($Q_{dep} = -qN_A T_{dep}$) dont l'épaisseur T_{dep} augmente avec V_G . La charge négative des accepteurs ionisés Q_{dep} s'équilibre avec la charge équivalente de signe opposé Q_G sur la grille. Les bandes d'énergie s'inclinent vers le bas du diagramme, le niveau de Fermi se rapproche de la bande de conduction à l'interface semi-conducteur/isolant (Figure 3.4).

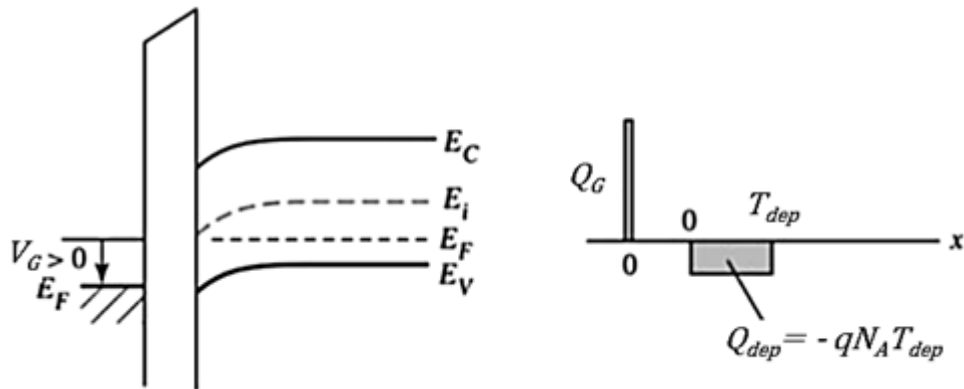


Figure 3.4 – Diagramme de bande dans le régime de déplétion [112].

(3) Régime d'inversion

Si la tension continue à augmenter, le niveau de Fermi intrinsèque E_i croise le niveau de Fermi E_F du semi-conducteur, et la densité d'électrons à l'interface n dépasse la densité de trous p : il y a plus de porteurs minoritaires que de porteurs majoritaires à l'interface semi-conducteur/isolant ($n > p$). L'inversion est dite faible tant que la densité électronique n est

inférieure au dopage du substrat N_A . Au fur et à mesure que la tension augmente, la bande de conduction se rapproche du niveau de Fermi à l'interface semi-conducteur/isolant et la densité d'électrons augmente. Quand $n \geq N_A$, l'inversion est dite forte et la charge totale portée par le semi-conducteur dans cette région correspond désormais à la charge Q_{dep} de la ZCE ajoutée à la charge surfacique Q_{inv} formée par les électrons et appelée couche d'inversion (Figure 3.5).

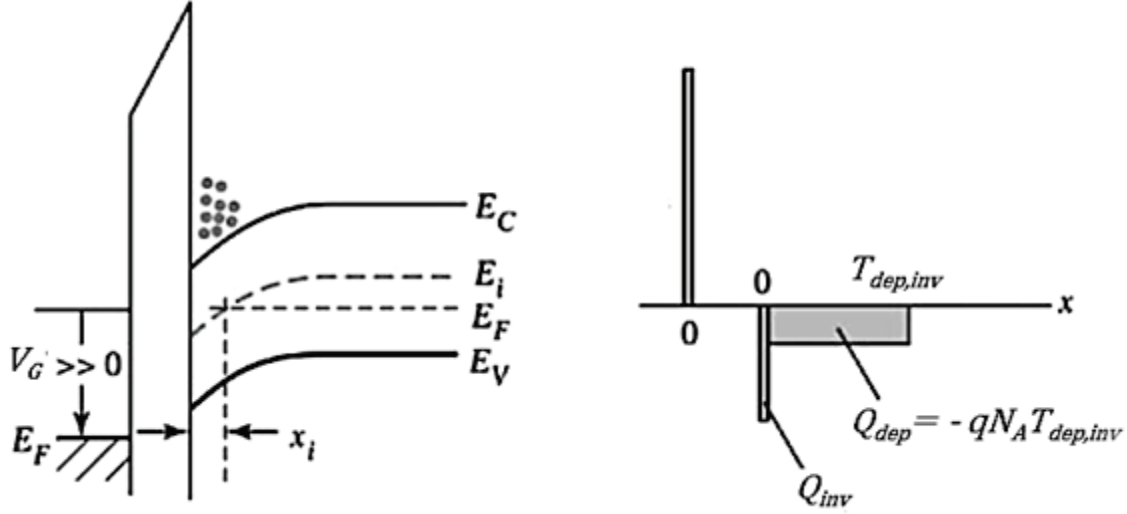


Figure 3.5 – Diagramme de bande en régime d'inversion [112].

Dans ce régime, toute augmentation de la charge Q_G dans le métal peut être équilibrée par une faible augmentation de l'épaisseur de la couche d'inversion. Par conséquent, la profondeur de la ZCE sature à une profondeur $T_{dep,inv}$:

$$Q_{dep} = -qN_A T_{dep,inv} \quad \text{pour } n \geq N_A \quad \text{Équation 3.1}$$

La différence de potentiel entre la grille et le substrat se répartit entre la chute de potentiel dans l'isolant V_i et celle à travers la zone de déplétion correspondant au potentiel de surface ψ_s . La tension de seuil V_{th} correspondant à l'apparition du régime d'inversion forte s'exprime donc :

$$V_{th} = V_i + \psi_{s,inv} \quad \text{Équation 3.2}$$

Le potentiel de surface $\psi_{s,inv}$ nécessaire pour déclencher l'inversion forte vaut [112] :

$$\psi_{s,inv} = 2\psi_B \quad \text{Équation 3.3}$$

La densité d'électrons dans la couche d'inversion étant encore faible à $V_G = V_{th}$, la charge du semi-conducteur est environ égale à Q_{dep} . La chute de tension à travers l'isolant vaut donc :

$$V_i = \frac{|Q_{dep}|}{C_i} = \frac{qN_A T_{dep,inv}}{C_i} \quad \text{Équation 3.4}$$

Sachant que, pour $n = N_A$, la profondeur de la ZCE peut s'exprimer [112] :

$$T_{dep,inv} = \sqrt{\frac{2\varepsilon_s(2\psi_B)}{qN_A}} = 2\sqrt{\frac{\varepsilon_s kT \ln(\frac{N_A}{n_i})}{q^2 N_A}} \quad \text{Équation 3.5}$$

Nous obtenons donc la tension de seuil V_{th} de la capacité MIS en fonction des paramètres physiques ε_s (constante diélectrique du semi-conducteur), C_i (capacité de l'isolant), N_A et ψ_B :

$$V_{th} \cong \frac{\sqrt{2\varepsilon_s q N_A (2\psi_B)}}{C_i} + 2\psi_B \quad \text{Équation 3.6}$$

Avec
$$\psi_B = \frac{kT}{q} \ln\left(\frac{N_A}{n_i}\right)$$

Où n_i est la densité de porteurs intrinsèque et T est la température.

3.2.3 Caractéristique $C(V)$

Les différents régimes de fonctionnement décrits ci-dessus sont mis en évidence lors de la mesure de la capacité C en fonction de la tension appliquée V . Lorsqu'une tension positive est appliquée, il se crée une ZCE de largeur T_{dep} . Une variation de tension dV génère une variation dT_{dep} , c'est-à-dire une variation de la charge contenue dans le semi-conducteur, de Q_{sc} à $Q_{sc} + dQ$. Cette variation de charge en réponse à une différence de tension détermine la capacité de la structure à la tension V :

$$C = \frac{dQ}{dV} \quad \text{Équation 3.7}$$

En pratique, une rampe de tension continue est appliquée afin de moduler la position du niveau de Fermi en surface, associée à un signal alternatif de faible amplitude (≈ 10 mV) permettant de sonder les charges au voisinage du niveau de Fermi (Figure 3.7a).

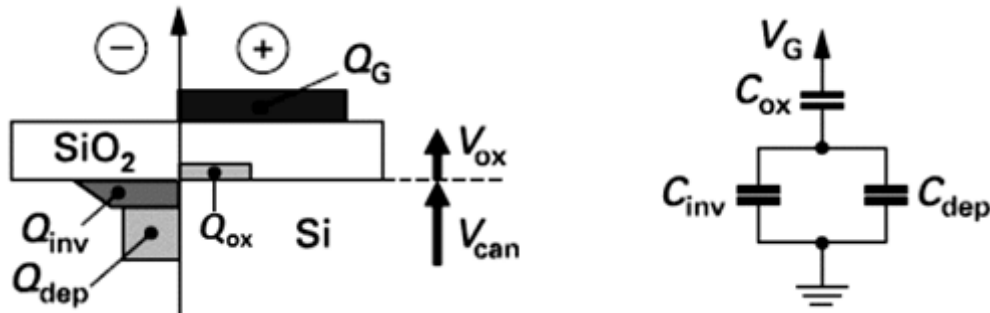


Figure 3.6 – (a) Distribution des charges dans une structure MOS Si-SiO₂ (b) Modèle capacitif de la structure en régime d'inversion [179].

La Figure 3.6 représente la distribution des charges en régime d'inversion forte dans la structure et le modèle capacitif correspondant. En général, la capacité de la structure MOS se compose de la capacité du diélectrique C_{ox} connectée en série avec la capacité du semi-conducteur. Cette dernière est alors équivalente à une connexion en parallèle des capacités d'accumulation C_{acc} , de déplétion C_{dep} et d'inversion C_{inv} . En régime d'accumulation, la capacité de l'isolant (notée C_{ox} sur la Figure 3.6) est en série avec la capacité d'accumulation C_{acc} . Comme $C_{acc} \gg C_{ox}$, la capacité série équivalente est égale à celle du diélectrique de grille (Figure 3.7b). En régime de déplétion, la capacité C_{ox} se trouve en série avec la capacité de déplétion due à la ZCE dans le semi-conducteur :

$$C_{dep} = \epsilon_s / T_{dep} \quad \text{Équation 3.8}$$

$$C = \frac{C_{ox} C_{dep}}{C_{ox} + C_{dep}} \quad \text{Équation 3.9}$$

La capacité de déplétion diminue avec l'augmentation de V_G du fait de l'extension de la ZCE. La capacité équivalente C mesurée atteint ainsi un minimum à $C_{dep} = \epsilon_s / T_{dep,inv}$ au début du régime d'inversion (« inversion faible »).

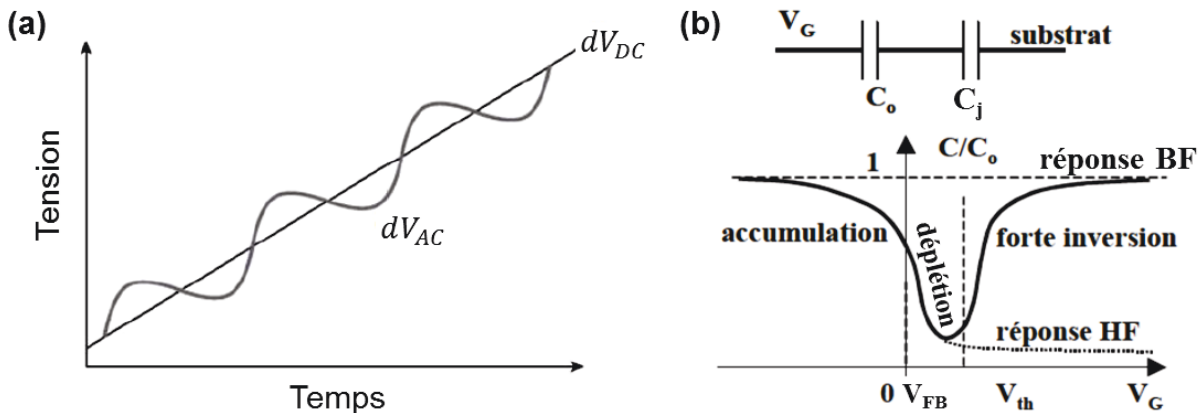


Figure 3.7 – (a) Principe de la mesure $C(V)$ (b) Caractéristique $C(V)$ d'une structure MIS idéale à basse fréquence (BF, < 1 kHz) et à haute fréquence (HF, > 1 kHz) [180].

À partir de $V_G = V_{th}$, la capacité d'accumulation est négligeable du fait de la faible densité de trous, la capacité de déplétion se trouve donc en parallèle avec la capacité d'inversion. Comme $C_{inv} \gg C_{dep}$, la capacité d'inversion domine la capacité du semi-conducteur. De plus, étant donné que $C_{inv} \gg C_{ox}$, la capacité série équivalente de la structure MIS est égale à la capacité du diélectrique C_{ox} (« forte inversion », Figure 3.7b). Ce comportement est obtenu à basse fréquence, dans une gamme fréquentielle où les porteurs minoritaires peuvent répondre

en temps réel au signal appliqué. À haute fréquence, la capacité est limitée par le taux de génération et de recombinaison des porteurs minoritaires. Ainsi, pour une fréquence suffisamment élevée, la capacité mesurée stagne à la valeur minimale atteinte pendant le régime de déplétion, car les porteurs minoritaires n'ont pas le temps de répondre au signal appliqué.

3.2.4 Capacité MOS Si – SiO₂

Dans la technologie CMOS, les capacités MIS sont généralement formées par croissance d'un oxyde de silicium directement à partir du semi-conducteur Si. Pour l'électrode métallique, une couche de silicium polycristallin fortement dopée (poly-Si N⁺ ou P⁺) est typiquement utilisée. Par rapport à la structure MIS idéale décrite précédemment, la différence des travaux de sortie ϕ_{ms} entre le silicium et l'électrode métallique est non nulle dans la plupart des cas [112]. Selon le dopage du silicium en surface et le choix de l'électrode (poly-Si, Al, etc.), ϕ_{ms} peut varier entre -1 et $+1$ V. Ainsi, à l'équilibre, l'alignement des niveaux de Fermi du semi-conducteur et du métal et la continuité du niveau du vide à l'interface entraînent une courbure des bandes d'énergie vers le bas du diagramme : il se forme une ZCE chargée négativement dans le semi-conducteur de type P (Figure 3.8).

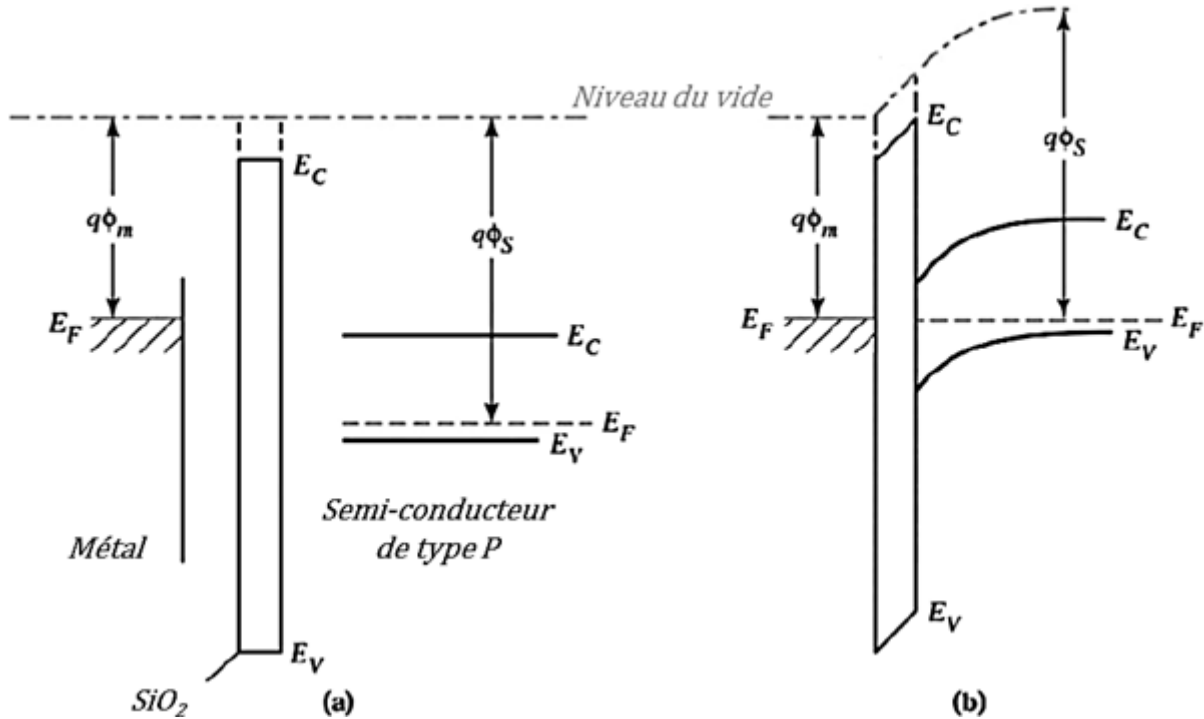


Figure 3.8 – Diagramme de bande pour (a) le métal et le semi-conducteur de type P isolés, séparés par l'isolant (b) la capacité MOS Si – SiO₂ correspondante à l'équilibre thermodynamique [112].

Pour entrer dans le régime de bandes plates décrit par la Figure 3.2, une tension négative doit être appliquée. La tension de bandes plates V_{FB} est donc non nulle et égale à la différence des travaux de sortie :

$$V_{FB} = \Phi_{ms} \quad \text{Équation 3.10}$$

De plus, contrairement à ce qui a été supposé précédemment dans le cas de la structure MIS, la présence de charges dans le SiO_2 et à l'interface avec le silicium engendre un décalage supplémentaire de la tension de bandes plates. Une terminologie commune aux dispositifs MOS a été établie pour décrire les différentes populations de charges présentes dans un oxyde de silicium thermique (Tableau 3.1) [181]. En effet, lors de la croissance d'un oxyde thermique, il se forme une couche de transition SiO_x ($1 < x < 2$) d'environ 10 Å séparant le Si du SiO_2 stoechiométrique [182]. En sondant cette couche, la présence d'atomes Si trivalents et donc de liaisons pendantes, aussi appelés centres P_{b0} ($\text{Si}_3 \equiv \text{Si} \bullet$), a été mise en évidence.

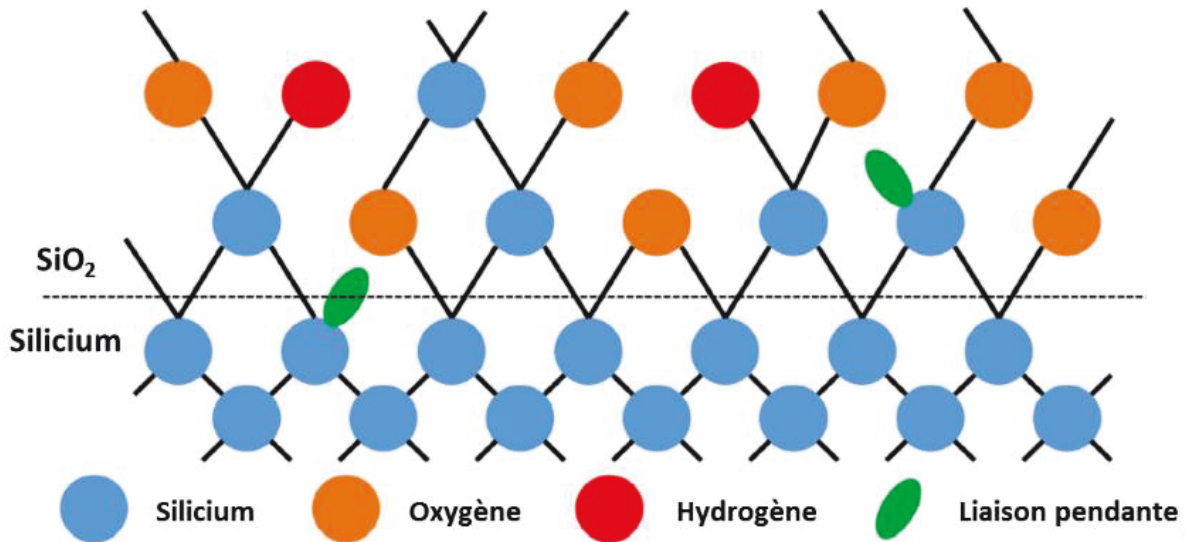


Figure 3.9 – Représentation schématique de l'interface Si/SiO₂. Une partie des liaisons pendantes peut être passivée grâce à un recuit [183].

Ces défauts, représentés schématiquement dans la Figure 3.9, sont présents quelle que soit l'orientation de la surface Si. En revanche, dans le cas d'une surface Si(100), un défaut d'interface supplémentaire est observé, nommé centre P_{b1} et noté $\text{SiO}_2 \equiv \text{Si} \bullet$. Tous ces défauts sont associés aux états d'interface distribués dans la bande interdite du silicium. Leur effet a été expliqué par un mécanisme décrit dans la Figure 3.10.

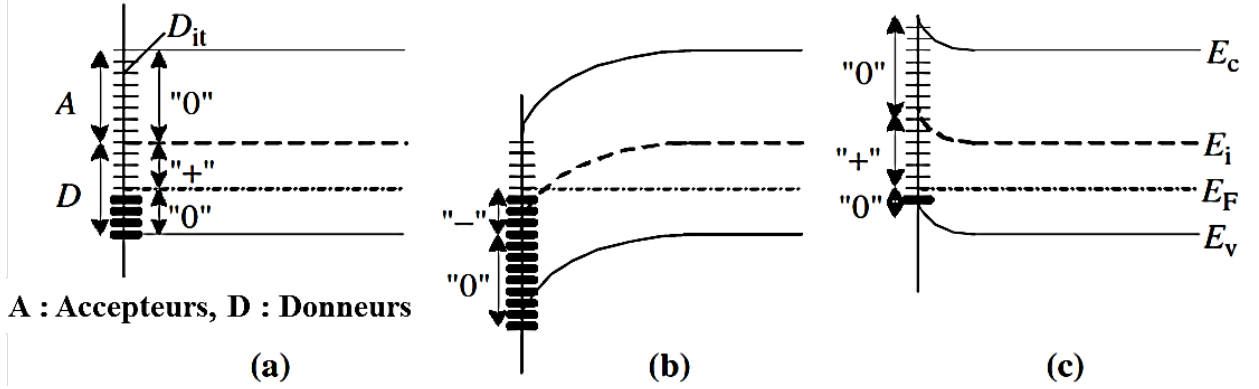


Figure 3.10 – Diagramme de bande du semi-conducteur et interprétation de l'effet des états d'interface quand (a) $V_G = V_{FB}$ (b) $V_G > V_{FB}$ et (c) $V_G < V_{FB}$ [184].

Les états d'interface sont amphotères : situés en-dessous du niveau de Fermi intrinsèque E_i , ils se comportent comme des niveaux donneurs, tandis que ceux situés au-dessus de cette énergie se comportent comme des niveaux accepteurs. Ainsi, pour un substrat Si de type P, à la tension de bandes plates, les états d'interface génèrent une charge positive due aux états donneurs ionisés dont l'énergie est située entre E_F et E_i , tandis que les états donneurs situés en-dessous du niveau de Fermi demeurent occupés par des électrons et restent neutres. De même, les états accepteurs situés au-dessus de E_F sont neutres car occupés à $V = V_{FB}$ (Figure 3.10a). Lorsqu'une tension positive est appliquée, le niveau de Fermi augmente au voisinage de l'interface, les états accepteurs situés dans le haut de la bande interdite entre E_i et E_F sont chargés négativement tandis que tous les niveaux donneurs sont occupés et donc neutres (Figure 3.10b). La charge de l'interface Q_{it} est donc négative. Lorsqu'une tension négative est appliquée, le niveau de Fermi se rapproche de la bande de valence à l'interface, les états donneurs situés dans le bas de la bande interdite entre E_i et E_F sont inoccupés (Figure 3.10c). Dans ce cas, une charge surfacique positive Q_{it} est générée. La densité d'états d'interface D_{it} (exprimée en $\text{cm}^{-2} \cdot \text{eV}^{-1}$) est définie de la façon suivante :

$$D_{it} = \frac{1}{q} \frac{dQ_{it}}{dE} \quad \text{Équation 3.11}$$

Avec Q_{it} la charge nette effective par unité de surface ($\text{C} \cdot \text{cm}^{-2}$). La densité d'états d'interface par unité de surface N_{it} (en cm^{-2}) peut alors être calculée en intégrant $D_{it}(E)$ entre E_C et E_V . Plusieurs méthodes ont été proposées afin de mesurer le profil de la distribution des états d'interface à travers la bande interdite [184, 185]. Pour une capacité MOS Si-SiO₂, les profils sont typiquement en forme de « U », avec un minimum au milieu de la bande interdite [182].

La croissance d'un oxyde thermique SiO_2 conduit typiquement à un minimum de D_{it} de l'ordre de 10^{12} à 10^{13} cm^{-2} , selon l'orientation cristalline du substrat, des conditions de croissance, etc. En comparaison, la densité d'impuretés en surface pour un substrat Si uniformément dopé avec une densité volumique $N_A \approx 10^{15} \text{ cm}^{-3}$ est de l'ordre de $N_A^{2/3} \approx 10^{10} \text{ cm}^{-2}$ [186]. Sachant que la densité de dopants proche de l'interface est un moyen efficace d'ajuster la tension de seuil de la capacité, la présence d'une telle densité d'états d'interface aura forcément un impact significatif sur les caractéristiques électriques de la capacité [112]. En effet, la présence de D_{it} élevées se caractérise par un « étirement » de la courbe $C(V)$ pendant la charge ou la décharge de la capacité [182]. Cependant, dans le cas d'une interface Si/SiO₂, un recuit sous hydrogène permet de passiver une grande partie des liaisons pendantes (Figure 3.9), ce qui réduit D_{it} de deux à trois ordres de grandeur ($< 10^{10} \text{ cm}^{-2}$). Aux états d'interface s'ajoutent les charges piégées dans l'oxyde Q_{ot} , les charges fixes Q_f et les charges mobiles Q_m . Leurs caractéristiques sont résumées dans le Tableau 3.1 et discutées plus en détail dans les références [112, 181, 182, 184]. Ces différentes populations de charges provoquent un décalage de la tension de bandes plates, de sorte que (3.10) devient, pour une capacité MOS Si-SiO₂ réelle :

$$V_{FB} = \phi_{ms} - \frac{Q_f + Q_{ot} + Q_m}{C_{ox}} \quad \text{Équation 3.12}$$

	Charges piégées dans l'oxyde	Charges fixes	Charges mobiles	États d'interface
Notation	Q_{ot}	$Q_f > 0$	$Q_m > 0$	Q_{it}
Origine	Défauts d'origine structurale, chimique, impuretés, etc. → initialement neutres, chargés positivement ou négativement par injection de porteurs pendant une avalanche, par effet tunnel ou sous rayonnement ionisant	Nombreuses origines possibles, similaires avec les états d'interface [187] → Si trivalent, O en excès dans SiO ₂ ...	Contamination vaisselle, équipements, etc. → Na ⁺ , Li ⁺ , K ⁺ ...	Liaisons pendantes Si ₃ ≡Si• ou SiO ₂ ≡Si•
Position	Volume de l'oxyde (répartition aléatoire)	Proche de l'interface Si-SiO ₂ (< 30 – 40 Å)	Mobiles (dépend de la polarisation et de la température)	Interface Si/SiO ₂
Traitement	• Recuit à basse température (T < 500 °C)	• Recuit post-oxydation, sous N ₂ ou Ar (Triangle de Deal) [188]	• Purge HCl des fournaises (oxydation, LPCVD, ...), et introduction de HCl pendant l'oxydation [189, 190] • Passivation par SiO ₂ dopé au phosphore (PSG) [189]	• Recuit post-métallisation à 350 – 450 °C sous hydrogène (<i>forming gas</i>) ou N ₂ en présence d'une électrode Al [187, 191-193]
ΔV_{FB} (ΔV_{TH})	$\Delta V_{ot} = \frac{Q_{ot}}{C_{ox}}$ (positif ou négatif)	$\Delta V_f = \frac{Q_f}{C_{ox}} > 0$ → $\Delta V_{FB} < 0$	$\Delta V_m = \frac{Q_m}{C_{ox}} > 0$	$\Delta V_{TH} > 0$
Conséquences pour le dispositif	• Fiabilité : problèmes de vieillissement, liés aux porteurs chauds [179]	Pas de problème (contrôlable)	• Instabilité des tensions de seuil (phénomène d'hystérésis) → Problème majeur	• Tension de seuil des transistors ↑ de façon incontrôlée • Courants de fuite ↑

Tableau 3.1 – Charges présentes dans une structure MOS Si – SiO₂ non idéale (cas réel).

3.3 Transistor MOSFET Si

La structure classique du nMOSFET est schématisée dans la Figure 3.11. Des ordres de grandeur des caractéristiques géométriques sont reportés dans le Tableau 3.2 pour la technologie CMOS 0,18 μm .

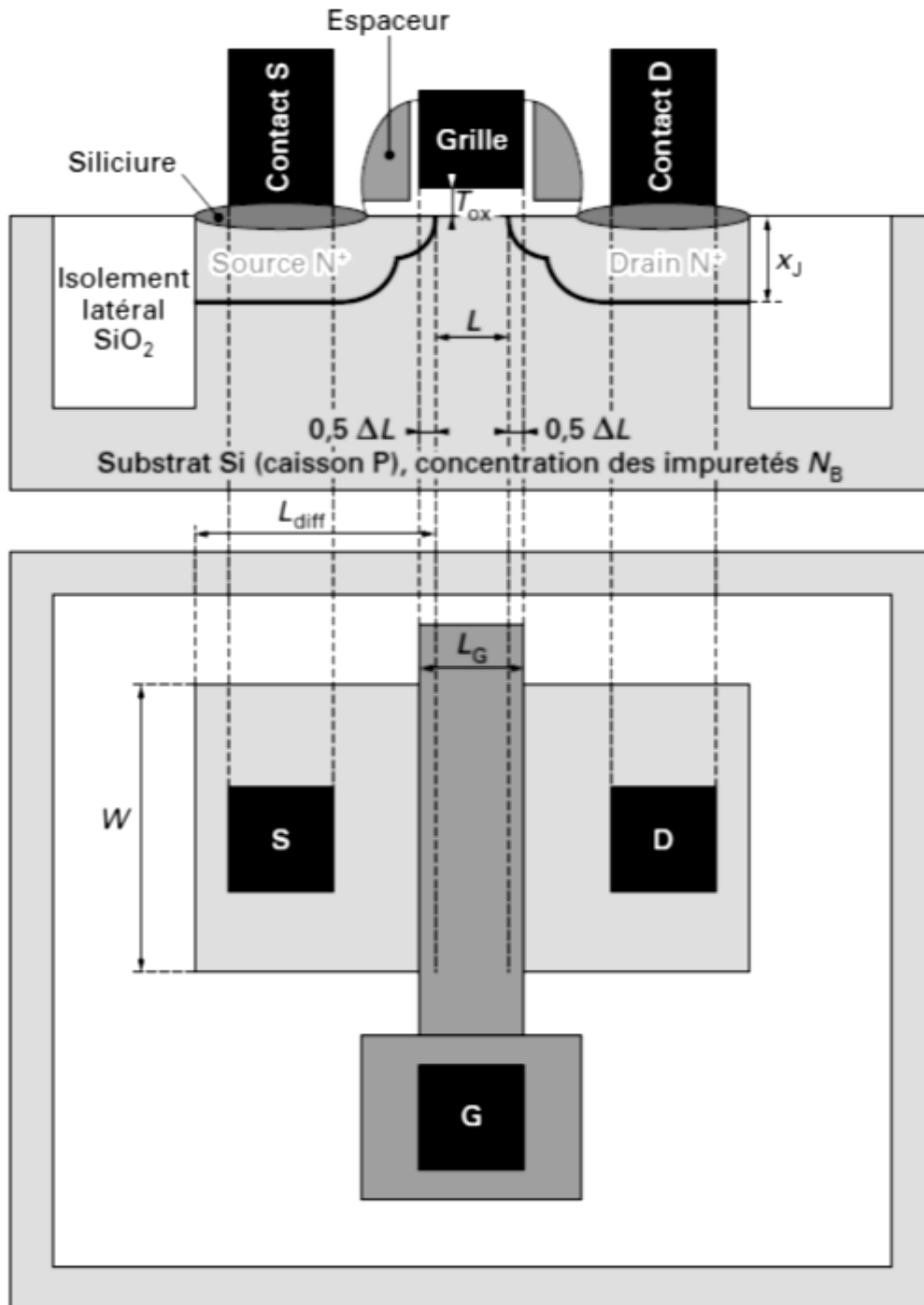


Figure 3.11 – Vue de dessus et vue en coupe d'un transistor NMOS dans une technologie CMOS [179].

3.3.1 Fonctionnement idéal

La structure de grille du MOSFET est une capacité MOS Si-SiO₂ (§3.2). Le transistor est composé de deux diodes à jonction PN (source canal et canal drain) connectées tête-bêche. Ainsi, quel que soit le signe de la tension V_{ds} appliquée, une des deux diodes est systématiquement polarisée en inverse, de sorte que le courant I_{ds} circulant entre les deux électrodes est normalement négligeable. Pour modéliser le fonctionnement idéal du MOSFET, les hypothèses suivantes sont admises : (1) la structure de grille est une capacité MOS idéale, (2) la mobilité des porteurs dans la couche d'inversion est constante, (3) seul le courant de dérive compte, (4) le dopage dans le canal est constant, (5) les courants de fuite sont négligeables, (6) le champ transverse créé par la tension de grille dans le canal est très grand devant le champ longitudinal engendré par la tension de drain.

Dimension	Symbole	Valeur nominale (filière CMOS 0,18 μm)
Longueur de grille	L_G	0,18 μm
Somme des diffusions latérales des jonctions source-drain	ΔL	0,05 μm
Longueur de canal effective	L (L_{eff})	0,13 μm
Longueur des régions source et drain après diffusion	L_{diff}	0,55 μm
Épaisseur de l'oxyde de grille	T_{ox}	4 nm
Profondeur des jonctions source-drain	x_J	0,15 μm
Largeur du transistor	W	0,35 μm
Concentration des impuretés dans le substrat	N_B	$5 \cdot 10^{17} \text{ cm}^{-3}$
Paramètres de fonctionnement typiques du NMOS	Symbole	Valeur nominale (filière CMOS 0,18 μm)
Tension de seuil	V_{th}	0,3 V
Tension d'alimentation	V_{DD}	1,8 V
Pente sous le seuil	SS	80 mV / décade
Courant de drain à la tension de seuil	I_{th}	$\approx 0,1(W/L) \mu\text{A}$

Tableau 3.2 – Dimensions caractéristiques et quelques paramètres de fonctionnement typiques d'un transistor NMOS en technologie CMOS 0,18 μm , adapté de [179].

Dans le cas où une tension V_{gs} négative est appliquée, la capacité de grille se trouve en régime d'accumulation, donc le canal est peuplé par une grande densité de trous en surface. Le

potentiel de canal étant inférieur au potentiel de la source, une barrière de potentiel correspondant au seuil de conduction de la jonction N⁺P entre la source et le canal empêche les porteurs de circuler. Le courant de drain I_{ds} est nul, le transistor est bloqué. À mesure que la tension V_{gs} augmente, la capacité entre dans le régime de déplétion. Il se forme une ZCE d'épaisseur T_{dep} dans le canal. Pour une certaine tension de grille correspondant à la tension de seuil V_{th} de la capacité, le régime d'inversion apparaît (3.6). Une couche d'électrons de densité $n > N_B$ se forme à la surface du semi-conducteur et connecte alors la source au drain. La barrière de potentiel entre la source et le canal ayant disparu, les électrons de la source peuvent dériver dans le canal sous l'effet d'une tension V_{ds} positive. Un fort courant I_{ds} peut alors circuler à travers ce canal surfacique, le transistor est donc passant.

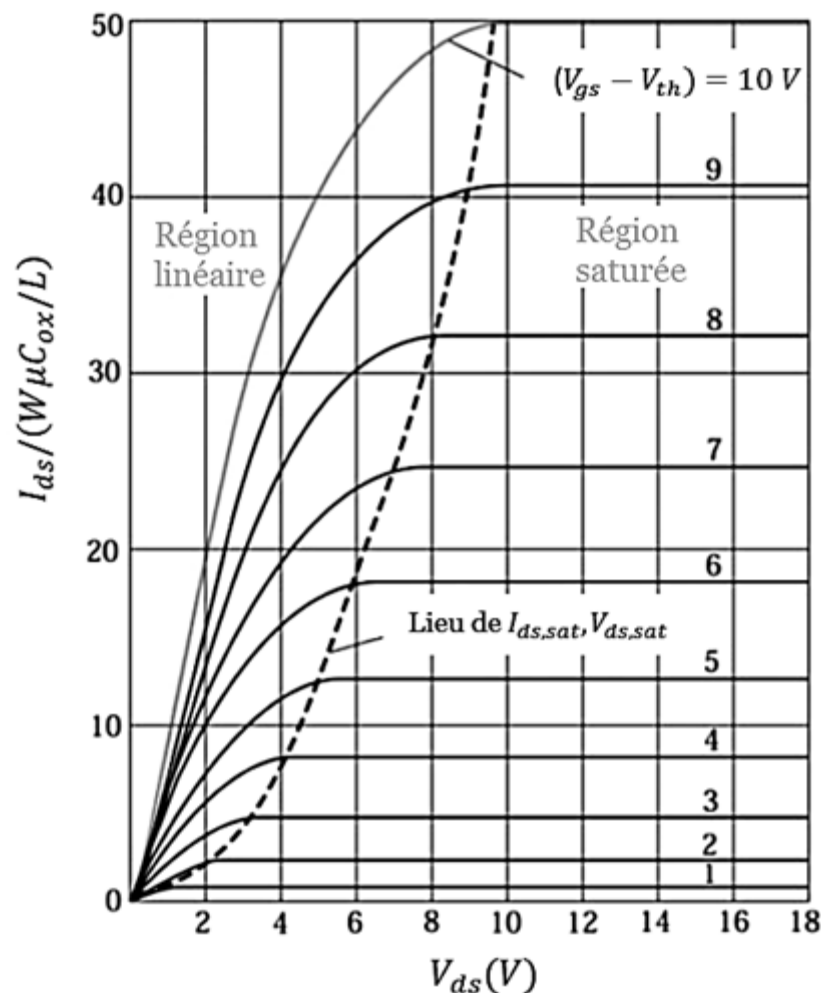


Figure 3.12 – Caractéristique statique de sortie $I_{ds}(V_{ds})$ d'un transistor NMOS, adapté de [112].

La caractéristique de sortie du transistor NMOS à enrichissement se décompose en différentes zones de fonctionnement (Figure 3.12) [112, 179] :

(1) Régime linéaire

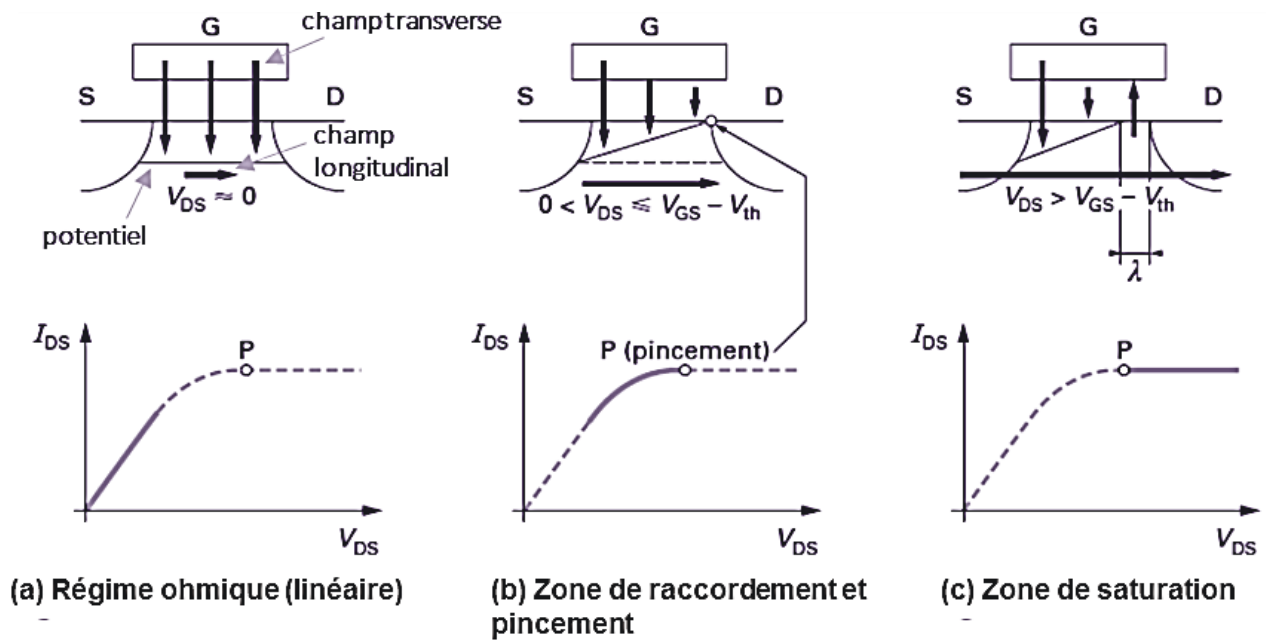
L'ensemble source – canal – drain se comporte comme une résistance N^+NN^+ avec la résistance de la partie N modulable avec la tension de grille V_{gs} . Tant que la tension de drain reste négligeable devant celle de la grille, l'effet de champ est quasiment uniforme le long du canal, et le courant de drain du transistor NMOS idéal varie linéairement (Figure 3.13a) :

$$I_{ds} = \frac{W}{L} \mu C_{ox} (V_{gs} - V_{th}) V_{ds} \quad \text{à } V_{ds} \ll (V_{gs} - V_{th}) \quad \text{Équation 3.13}$$

(2) Régime non linéaire

Il marque le début de la saturation et se traduit par la formation d'un coude aussi appelé zone de raccordement et de pincement (Figure 3.13b). En effet, lorsque la tension de drain n'est plus négligeable devant celle de grille, le potentiel le long du canal se réduit significativement sous la grille côté drain. Il s'ensuit une réduction de la densité de porteurs dans la couche d'inversion côté drain. Pour assurer la continuité du courant, les électrons, moins nombreux, sont accélérés jusqu'à atteindre la saturation. Dans cette zone de fonctionnement, le régime est encore non saturé mais ne varie plus linéairement avec la tension de drain :

$$I_{ds} = \frac{W}{L} \mu C_{ox} \left(V_{gs} - V_{th} - \frac{V_{ds}}{2} \right) V_{ds} \quad \text{à } V_{ds} < (V_{gs} - V_{th}) \quad \text{Équation 3.14}$$



(3) Régime saturé

Lorsque la tension de drain atteint la valeur $(V_{gs} - V_{th})$ notée $V_{ds,sat}$, le champ transversal s'annule à l'extrémité du canal côté drain : la couche d'inversion disparaît en ce point. Le lieu du canal correspondant au potentiel $V_{ds,sat}$ (à la condition de champ transversal nul) est appelé point de pincement. Pour une tension de drain supérieure à $V_{ds,sat}$, le champ transversal côté drain change d'orientation et le point de pincement, délimitant la partie du canal où la couche d'inversion est encore présente, se décale progressivement vers la source (Figure 3.13c). La chute de potentiel est alors absorbée par l'extension de la ZCE canal-drain en surface. Si le dopage du canal n'est pas trop faible, celle-ci s'étend peu : le point de pincement reste proche du drain et la longueur effective du canal L est sensiblement constante. De plus, étant donné que, entre la source et le point de pincement, la densité de porteurs varie peu, la résistance du canal en régime saturé (R_{sat}) ne change quasiment plus avec V_{ds} . Enfin, le potentiel à l'extrémité de la couche d'inversion, au point de pincement, est indépendant de la tension de drain appliquée ($= V_{ds,sat}$). À résistance et différence de potentiel constantes, le courant I_{ds} a tendance à saturer après le pincement à un niveau de courant noté $I_{ds,sat}$. Le transport des électrons depuis le point de pincement à travers la ZCE côté drain est alors assuré par le champ électrique longitudinal engendré par V_{ds} . Au premier ordre, le courant de saturation vaut :

$$I_{ds,sat} = \frac{1}{2} \frac{W}{L} \mu C_{ox} (V_{gs} - V_{th})^2 = \frac{1}{2} \frac{W}{L} \mu C_{ox} V_{ds,sat}^2 \quad \text{à } V_{ds} > (V_{gs} - V_{th}) \quad \text{Équation 3.15}$$

(4) Régime de blocage

Dans la région sous le seuil, le courant est dominé par la diffusion et correspond idéalement au courant inverse d'une des 2 jonctions PN (source canal ou source drain). Le courant I_{ds} est faible mais non nul et varie exponentiellement avec la tension de grille [179] :

$$I_{ds,sub} = I_{th} \exp\left(\frac{V_{gs} - V_{th}}{SS} \ln 10\right) \left[1 - \exp\left(-q \frac{V_{ds}}{kT}\right)\right] \quad \text{à } V_{gs} < V_{th} \quad \text{Équation 3.16}$$

Avec

$$I_{th} = I_{ds}(V_{th})$$

La pente sous le seuil SS s'exprime en mV / décade et indique la variation de tension nécessaire pour diminuer le courant de drain d'une décade en-dessous du seuil de conduction I_{th} . Mathématiquement, SS est donc l'inverse de la pente de la courbe $\log_{10}(I_{ds})$ en fonction de V_{gs} (Figure 3.14).

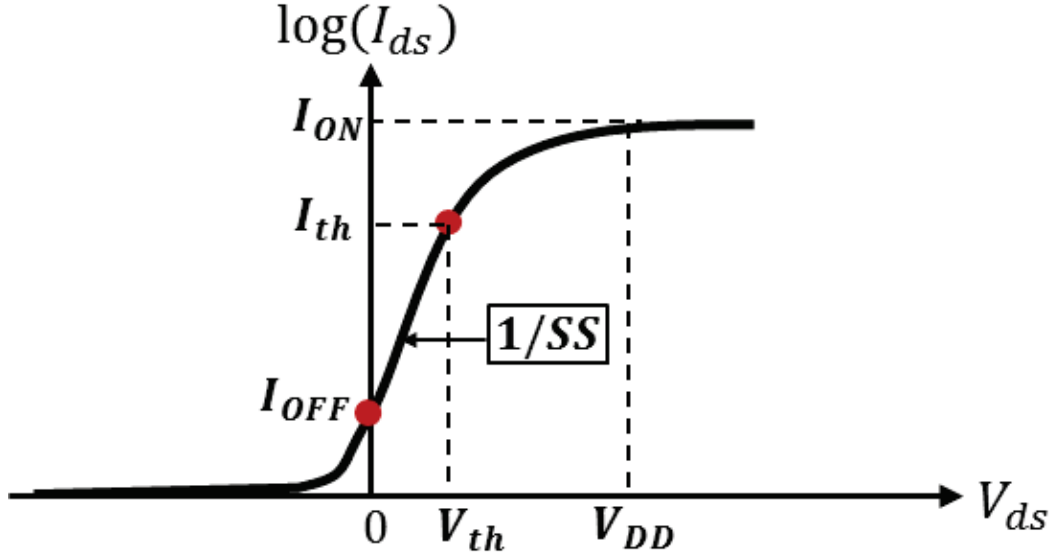


Figure 3.14 – Caractéristique de sortie en échelle logarithmique d'un transistor NMOS [180].

La pente sous le seuil peut être estimée à travers la relation (3.17) [179] :

$$SS = \frac{kT}{q} \left(1 + \frac{C_{dep}}{C_{ox}} + \frac{C_{it}}{C_{ox}} \right) \ln 10 \quad \text{Équation 3.17}$$

Où C_{it} représente la capacité créée par les états d'interface. En négligeant les capacités C_{dep} et C_{it} devant C_{ox} , nous obtenons une pente sous le seuil minimale de 60 mV / décade. La pente S dépend ainsi de la qualité de l'interface Si/SiO₂ (D_{it}), de l'épaisseur d'oxyde (T_{ox}) et du dopage du canal (N_B). Typiquement, des valeurs autour de 80 mV / décade sont obtenues pour une technologie CMOS à l'état de l'art [179]. Cette zone de fonctionnement représente un intérêt majeur pour l'électronique numérique, pour laquelle le MOSFET est utilisé comme interrupteur basse tension et basse puissance dans des circuits logiques et des mémoires de haute densité. En effet, le comportement du transistor dans cette région détermine le courant de fuite I_{OFF} au repos, et donc la consommation dite passive ou statique des circuits. La puissance statique P_{stat} consommée par un transistor MOS, est définie à $V_{gs} = 0$ V comme :

$$P_{stat} = I_{OFF} V_{DD} \quad \text{Équation 3.18}$$

Cette grandeur détermine la consommation minimale du circuit CMOS au repos, c'est-à-dire lorsque tous les transistors sont bloqués. Le courant au repos I_{OFF} est défini pour $V_{gs} = 0$ V et $V_{ds} = V_{DD}$ (tension d'alimentation du circuit). Dans la pratique, I_{OFF} peut être rapidement estimé à travers la relation (3.19) [179] :

$$\log_{10}(I_{OFF}) = \log_{10}(I_{th}) - \frac{V_{th}}{SS} \quad \text{Équation 3.19}$$

Avec
$$I_{th}(\text{Ampère}) \approx \frac{W}{L} 10^{-7}$$

Exemple : $\begin{cases} I_{th} = 1,9 \cdot 10^{-7} A \\ I_{OFF} = 3,5 \cdot 10^{-11} A \end{cases} \rightarrow P_{stat} = 62 \text{ pW par transistor au repos } (V_{gs} = 0 \text{ V})$

L'application numérique ci-dessus s'appuie sur les valeurs reportées dans le Tableau 3.2, et montre qu'un circuit CMOS 0,18 μm typiquement composé de 37 millions de transistors dissipe déjà 2,4 mW au repos. L'influence de SS est décisive, puisque une augmentation de 80 à 100 mV / décade (+ 25 %) multiplie la consommation du circuit au repos par plus d'un facteur 5.

3.3.2 Tension de seuil

Dans le cas idéal, la tension de seuil du transistor coïncide avec celle de la capacité MOS (3.6). En pratique, il faut tenir compte de l'effet des charges dans l'oxyde de grille et de la différence des travaux de sortie du semi-conducteur et du métal (3.12). En outre, si une tension V_{BS} négative est appliquée entre la source et le substrat, la ZCE du canal peut s'étendre davantage d'où un accroissement de la charge Q_{dep} . Par conséquent, la tension de seuil V_{th} du transistor augmente de la façon suivante [112, 179] :

$$V_{th} = V_{FB} + 2\psi_B + \frac{\sqrt{2\varepsilon_s e N_B (2\psi_B + V_{BS})}}{C_{ox}} \quad \text{Équation 3.20}$$

La dispersion des tensions de seuil est extrêmement critique pour la consommation énergétique et les performances des circuits CMOS, comme illustré dans les références [194, 195], et peut avoir différentes origines, par exemple des fluctuations de dopage. Aussi, l'uniformité de V_{th} est typiquement améliorée par un ajustement du dopage dans le canal, appelé ajustement des tensions de seuil. Pour cela, l'implantation ionique est utilisée, car elle permet de contrôler très précisément la dose implantée, ainsi que la position et la profondeur des impuretés. Dans le cas du NMOS à enrichissement, l'implantation superficielle d'une dose de bore D_B engendre alors un décalage de la tension de bandes plates de l'ordre de $+qD_B/C_{ox}$ (3.20).

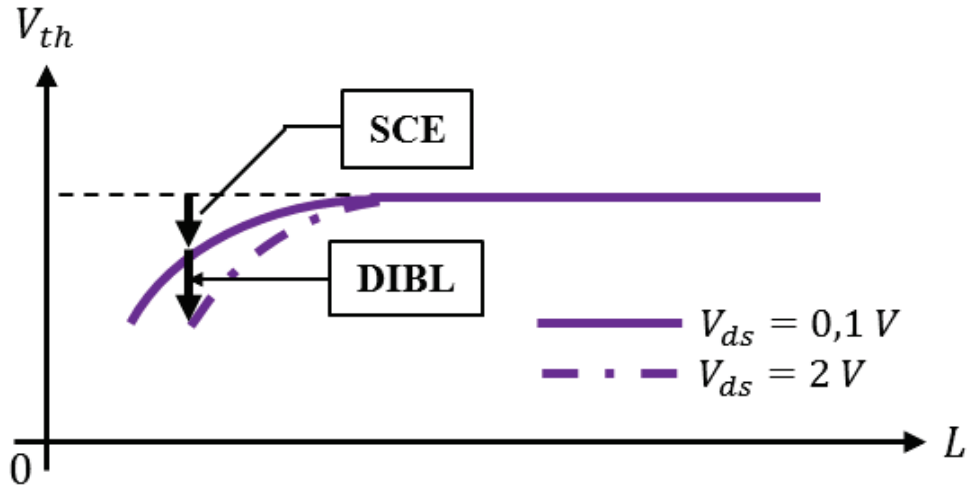


Figure 3.15 – Impact des effets de canal court sur la tension de seuil V_{th} d'un transistor MOS en fonction de la longueur du canal L . Adapté de [179].

Pour les filières CMOS fortement submicroniques, la dispersion des tensions de seuil est plus difficile à éliminer. Par exemple, la réduction de la longueur effective de canal L entraîne l'effet de canal court, noté SCE (*Short channel effect*) et l'effet DIBL (*Drain-induced barrier lowering*). Le SCE se manifeste par une réduction de V_{th} à mesure que la longueur de canal diminue (Figure 3.15). Les différentes origines de la dispersion des caractéristiques pour les technologies CMOS submicroniques sont détaillées dans les références [194, 195].

3.3.3 Inverseur CMOS

La particularité de la technologie CMOS réside dans le fait que la plupart des fonctions logiques sont réalisées à partir de paires de transistors, appelées inverseurs, dans lesquelles un nMOSFET et un pMOSFET sont connectés en série (Figure 3.16). Ces transistors sont dits complémentaires car lorsque l'un conduit, l'autre reste bloqué. Par conséquent, quel que soit l'état dans lequel l'inverseur se trouve, et donc quelle que soit la tension appliquée à ses bornes, la puissance dissipée par celui-ci est normalement négligeable, résultant du courant sous le seuil I_{OFF} des transistors formant la paire (Équation 3.19). La faible consommation des circuits logiques CMOS est donc un des principaux avantages par rapport aux autres technologies d'inverseurs logiques, dans lesquels la puissance statique n'est pas négligeable (ex : inverseur logique NMOS) [195].

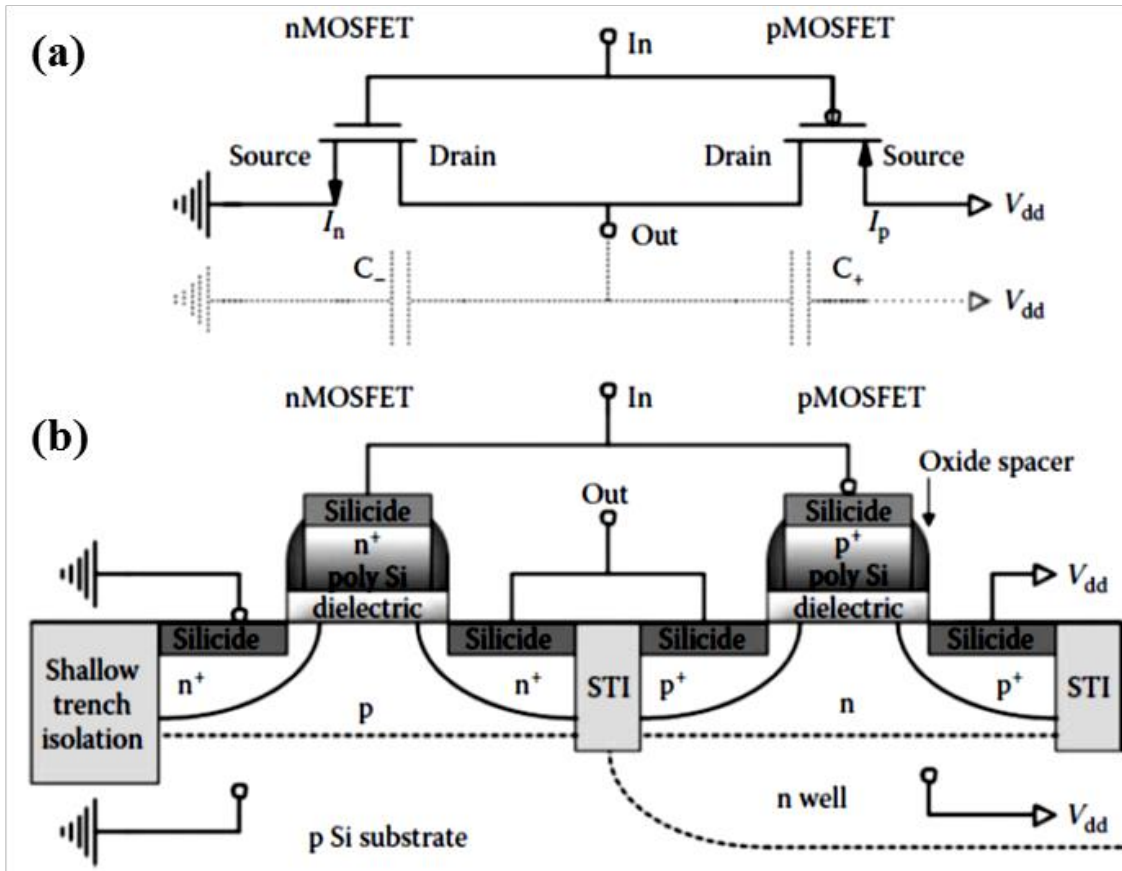


Figure 3.16 – (a) Diagramme du circuit d'un inverseur CMOS (b) Vue en coupe de l'inverseur CMOS en technologie silicium [11].

L'énergie consommée par un inverseur se limite essentiellement à la charge et décharge des grilles pendant la commutation entre les deux états d'entrée. En première approximation, pour un seul transistor MOS, la puissance dynamique (ou active) dissipée est limitée à :

$$P_{dyn} = \frac{C_G V_{DD}^2}{\tau_{int}} \quad \text{Équation 3.21}$$

Avec $C_G = W L_G C_{ox}$ Équation 3.22

Et $f_{max} = 1/\tau_{int} = \left(\frac{C_G V_{DD}}{I_{ON}} \right)^{-1}$ Équation 3.23

Où C_G est la capacité de grille. Le temps τ_{int} et f_{max} représentent respectivement le délai et la fréquence intrinsèques du transistor. La fréquence f_{max} est aussi la fréquence théorique maximale du transistor, car elle ne tient pas compte de l'effet des capacités et résistances parasites du transistor et de celles des interconnexions du circuit CMOS [179, 195]. En pratique, la fréquence réelle de fonctionnement des circuits CMOS est typiquement deux ordres de grandeur inférieure à la fréquence f_{max} du transistor [196].

3.4 Évolution de la technologie CMOS

3.4.1 More Moore

Depuis le premier circuit intégré MOS apparu vers la fin des années 50, le développement de la technologie CMOS s'est concentré sur l'amélioration du ratio performance sur coût. La performance des circuits CMOS est étroitement liée à celle des transistors, par exemple évaluée à travers la figure de mérite suivante :

$$FOM_{P \times \tau} = \frac{1}{P_{dyn,surf} \times \tau_{int}} \quad \text{Équation 3.24}$$

Avec $P_{dyn,surf} = P_{dyn}/WL_G$ Équation 3.25

Le principal levier utilisé pour réduire le délai de réponse du circuit CMOS est la diminution de la longueur de grille L_G des transistors. Pour cela, un ensemble de règles dites « de réduction d'échelle » a été proposé par *Dennard et al*, avec pour objectif l'amélioration des performances des transistors MOS tout en maintenant l'intégrité électrostatique du transistor [197]. La conservation de l'intégrité électrostatique du transistor lors d'une réduction d'échelle implique la conservation des champs électrostatiques internes et le maintien du contrôle des effets aux petites dimensions (SCE, DIBL, etc.). Dans le cas du transistor MOS, elle se traduit par une réduction des dimensions et des épaisseurs des composants ($T_{ox}, T_{dep}(N_B), x_j, W$) concomitante avec la réduction de L_G (Tableau 3.3). La miniaturisation par un facteur $1/s$ augmente la fréquence maximale intrinsèque ($f_{max} \rightarrow f_{max} \times s$) des circuits mais induit également une augmentation de la puissance dissipée ($P_{dyn} \rightarrow P_{dyn} \times s$ donc $P_{dyn,surf} \rightarrow P_{dyn,surf} \times s^3$). Aussi, afin de limiter l'échauffement de la puce avec l'augmentation de la densité de composants ($N_t \rightarrow N_t \times s^2$), la tension d'alimentation et la tension de seuil doivent être réduites d'un même facteur $1/s$, visant une densité de puissance dissipée $P_{dyn,surf}$ constante (3.25). La réduction d'échelle permet donc *in fine* une amélioration de $FOM_{P \times \tau}$ d'un facteur s . L'augmentation de N_t – et donc du nombre de composants par puce – accroît dans le même temps la fonctionnalité des circuits CMOS. L'ajout de nouvelles fonctions a en particulier permis d'améliorer la fiabilité de cette technologie. Enfin, la réduction d'échelle contribue à une réduction importante du coût unitaire des composants, initiant ainsi un cercle vertueux dans lequel les progrès technologiques réalisés entre chaque réduction d'échelle sont soutenus par l'augmentation simultanée des revenus affichés par les fonderies, et *vice-versa* [198, 199].

Paramètres changés	Symbole	Facteur
Longueur de grille	L_G	/ s
Largeur de grille	W	/ s
Épaisseur de l'oxyde de grille	T_{ox}	/ s
Profondeur des jonctions source-drain	x_J	/ s
Concentration des impuretés dans le canal	N_B	x s
Tension d'alimentation	V_{DD}	/ s
Tension de seuil	V_{th}	/ s
Paramètres impactés	Symbole	Facteur
Courant de drain	I_{ds}	/ s
Capacité de grille	C_G	/ s
Délai intrinsèque	T_{int}	/ s
Puissance dynamique dissipée	P_{dyn}	/ s ²
Densité de transistor	N_t	x s ²
Densité de puissance dissipée	$P_{dyn/surf}$	constant

Tableau 3.3 – Théorie de réduction d'échelle [179, 197].

Pendant plus de 40 ans, cette approche a été appliquée sur la base d'un facteur $s \approx \sqrt{2}$, soit le doublement du nombre de transistors par puce à chaque génération, appelée nœud technologique. Cette tendance est connue comme la loi de Moore, énoncée dès 1965 par le cofondateur d'Intel, Gordon Moore, qui anticipe une nouvelle réduction d'échelle tous les deux ans [198]. Pour maintenir un rythme aussi soutenu, un comité d'experts de l'industrie des semi-conducteurs met à jour chaque année une feuille de route identifiant les besoins R&D requis pour la réalisation des nœuds technologiques prévus par la loi de Moore dans les 15 prochaines années⁴. Dans la pratique, cette approche s'est heurtée à de nombreuses limites, d'ordres physique et économique. Par exemple, au début des années 2000, la miniaturisation des circuits CMOS requiert $T_{ox} < 2$ nm. Dans cette gamme d'épaisseur, le courant de fuite par effet tunnel à travers le SiO₂ augmente exponentiellement avec $1/T_{ox}$ [200]. La feuille de route technologique préconise alors l'utilisation de nouveaux isolants de grille présentant une constante diélectrique plus élevée ($\epsilon > 10$). Ainsi, à capacité de grille équivalente, une épaisseur

⁴ International Technology Roadmap for Semiconductors (www.itrs.net)

de diélectrique plus grande peut être déposée, limitant le courant par effet tunnel [196, 201]. Cependant, la théorie de réduction d'échelle ne permet pas d'améliorer simultanément toutes les caractéristiques électriques du transistor, et fait en pratique l'objet de nombreux compromis [196]. Par exemple, la mobilité du canal se dégrade avec la miniaturisation, car N_B augmente. L'introduction de diélectriques *high-k* induit une diminution supplémentaire de la mobilité [202]. La consommation statique se dégrade également, car la pente sous le seuil est au mieux constante, tandis que la tension de seuil diminue ($I_{OFF} \uparrow$). Enfin, si la résistance du canal est continûment réduite par la miniaturisation, ce n'est pas le cas des résistances parasites R_{SD} (car $x_j \downarrow$), qui limitent *in fine* la fréquence de fonctionnement maximale du transistor (car $I_{ON} \downarrow$) [203]. Ces effets sont minimisés par l'utilisation de *boosters*, des nouvelles briques technologiques intégrées dans l'architecture du transistor dans le but de compenser la dégradation des performances induite par la réduction d'échelle : mise en contrainte du canal pour augmenter la mobilité [196, 204], implantation « poches » pour compenser la chute de tension de seuil due aux effets de canal court [201], espaceurs à basse constante diélectrique ($\epsilon < 3$) pour diminuer les capacités parasites de la grille [205], remplacement du poly-Si par un métal pour réduire la résistance de grille R_G et l'effet de déplétion de la grille [179], introduction d'une couche de siliciure pour réduire les résistances d'accès [112], et bien d'autres [196, 203, 206]. Pour les derniers nœuds technologiques (22 nm et en-deçà), un changement complet d'architecture a également été suggéré [207]. Enfin, certains paramètres ne peuvent techniquement plus suivre la théorie de réduction d'échelle, et ce, depuis plusieurs nœuds ; c'est le cas de V_{DD} (ex : pour le nœud 65 nm, $V_{DD} = 1,2$ V contre 0,65 V visé par la loi de Moore), d'où une augmentation de $P_{dyn,surf}$ et donc de la consommation des circuits CMOS [179, 200, 206]. C'est également le cas de V_{th} qui stagne autour de 0,2 – 0,3 V depuis plusieurs nœuds pour limiter les effets de dispersion des paramètres aux petites dimensions et la consommation statique des circuits CMOS. La faible réduction de ces paramètres est en effet liée au fait que la fenêtre de design permettant d'augmenter la vitesse des circuits tout en diminuant P_{stat} et P_{dyn} est de plus en plus réduite à mesure que la miniaturisation se poursuit [196].

La consommation énergétique des circuits CMOS est devenue une préoccupation majeure ces dernières décennies, accentuée par leur utilisation de plus en plus fréquente pour des applications mobiles [198, 206]. Notamment, la puissance statique augmente très rapidement avec la réduction d'échelle et n'est désormais plus négligeable par rapport à la puissance

dynamique. Elle peut en effet atteindre plus de 50 % de la puissance totale dissipée par les circuits CMOS [208, 209]. C'est pourquoi les circuits CMOS se déclinent désormais en plusieurs familles selon que l'application requiert une vitesse élevée (*High performance CMOS*) ou une faible consommation (*Low operating/standby power CMOS*). Enfin, bien que les performances des circuits CMOS continuent à profiter de la miniaturisation, l'analyse des coûts de fabrication montre une augmentation notable de ces derniers, constatée pour le nœud 22 nm, et qui devrait se confirmer pour le nœud 14 nm [210]. Cette inversion de tendance indique clairement un ralentissement de la dynamique *More Moore*, consistant à perpétuer la loi de Moore dans le futur. L'augmentation du coût est déterminée par une grande complexification des procédés, par un accroissement des frais de développement R&D entre chaque nœud et par la lourdeur de l'investissement nécessaire pour mettre en place les nouvelles lignes de fabrication. Désormais, seules les plus grosses fonderies (ex : TSMC, Intel) sont encore disposées à suivre la loi de Moore en-deçà de 16/14 nm [211]. Ces efforts considérables sont motivés par certaines estimations qui portent à 40 % la part des revenus générés en 2025 par les technologies 10/7 nm ou en-deçà, bien que ces dernières n'existent pas à ce jour [212].

3.4.2 More than Moore

Parallèlement à la course à la miniaturisation, les industriels ont cherché à ajouter de plus en plus de nouvelles fonctions aux circuits CMOS, notamment des fonctions non numériques (Figure 3.17). Les principales familles de dispositifs susceptibles de bénéficier de cette intégration sont reportées le long de l'axe horizontal *More than Moore*. La plupart de ces applications peuvent se contenter de performances relativement modestes en ce qui concerne la partie numérique, ce qui permet de les produire dans des lignes CMOS existantes d'ores et déjà amorties. Étant donnée la maturité de la technologie CMOS, ses rendements élevés et sa densité d'intégration, il est économiquement avantageux de réaliser ces fonctions en technologie Si : BiCMOS (HBT SiGe + CMOS Si), RF-CMOS ou encore AMS-CMOS incarnent cette approche dans le domaine des télécommunications par exemple [213, 214]. Dans ces systèmes, les circuits numériques contribuent grandement à l'amélioration des performances (Tableau 3.4).

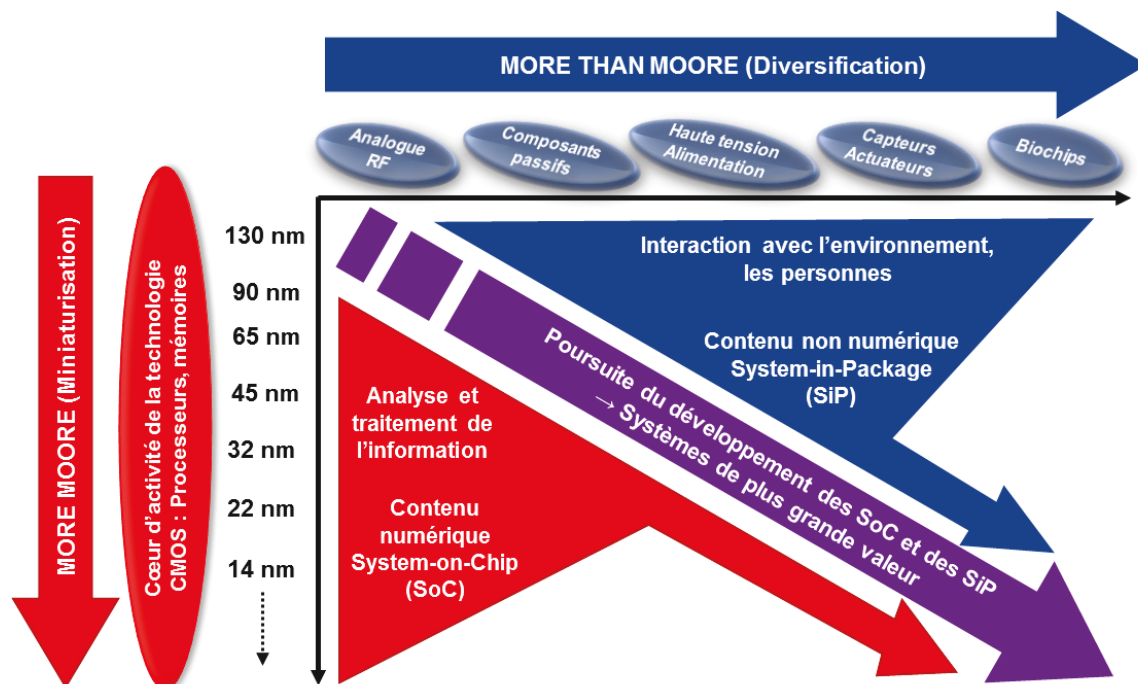


Figure 3.17 – More than Moore versus More Moore [199, 215].

Bloc-fonction	Technologies souhaitées
Amplificateur faible bruit (LNA)	InP HBT (faible bruit) ; GaN HEMT (résistance accrue aux surcharges* → élimination du circuit de protection) ; Si CMOS pour les fonctions de contrôle et reconfiguration.
Filtre de pré-sélection	RF MEMS (filtrage à haut facteur de qualité) ; Si CMOS pour le contrôle.
Filtre accordable	InP HBT (amplificateurs opérationnels à grand gain et grande bande passante) ; Si CMOS pour les fonctions de programmation
Mélangeur	GaN HEMT (excursion en tension élevée) ; RF MEMS à haut facteur de qualité ; Si CMOS pour les fonctions de contrôle
Convertisseur analogique/numérique (ADC)	InP HBT pour la rapidité du circuit <i>sample-and-hold</i> ; Si CMOS pour l'utilisation d'ADC intercalés (<i>ADC interleaving</i>).
Oscillateur	InP HBT ; MEMS à haut facteur de qualité ; Si CMOS.
Convertisseur numérique/analogique DAC	InP HBT pour la commutation de courant à haute fréquence et les dispositifs antiparasites pour circuits logiques numériques ; Si CMOS pour la correction d'erreur statique et dynamique.
Amplificateur de puissance	GaN HEMT pour les densités de courant élevées, la vitesse et la température ; Si CMOS pour les fonctions de contrôle et de linéarisation

Tableau 3.4 – Émetteur / Récepteur RF dans lequel chaque fonction serait réalisé avec la meilleure technologie actuellement disponibles [8, 216, 217].

En revanche, la plupart des fonctions non numériques gagneraient à être réalisées avec une technologie non Si plus performante, notamment la technologie HEMT GaN pour les amplificateurs RF (§2.4.2) [8, 115, 218]. De même, nous avons vu au §2.4.3 que la technologie HEMT GaN pourrait avantageusement remplacer les technologies Si traditionnellement utilisées pour la conversion de puissance [219]. La principale difficulté de cette approche est le caractère *normally-on* ou faiblement *normally-off* de cette technologie, mais peut être contournée par l'utilisation d'un MOSFET Si *normally-off* associé à un HEMT GaN *normally-on* dans un montage cascode (§6.4) [177, 220]. L'intégration de circuits CMOS dans les convertisseurs de puissance permet par exemple d'en optimiser les performances en fonction de leur environnement à l'instant t (ex : photovoltaïque [221, 222]). Aussi, l'intégration de résonateurs MEMS à hautes fréquences avec des circuits de traitement CMOS est un axe de développement envisageable pour des applications de capteur par exemple.

3.5 Fabrication

3.5.1 Le procédé

Plus de 150 étapes technologiques sont nécessaires à la réalisation d'un circuit CMOS complet : oxydations thermiques, implantations ioniques, gravures chimiques et physiques, recuits, etc. Par la suite, nous utilisons à plusieurs reprises les expressions *Front-End* et *Back-End*. Le procédé *Front-End-of-Line* (FEOL) désigne la première partie du procédé CMOS, qui consiste à fabriquer les composants individuels (transistors, capacités, etc.), et comprend la croissance des oxydes thermiques pour l'isolation et la grille, les implantations, les diffusions, etc. Le procédé *Back-End-of-Line* (BEOL) fait référence à la deuxième partie du procédé, consistant à interconnecter les composants entre eux pour former les circuits, et inclut les métallisations, les différents niveaux d'interconnexions, l'encapsulation, etc. Nous trouvons dans la référence [69] par exemple une description de ces différents procédés technologiques, ainsi que quelques spécificités liées aux technologies CMOS submicroniques. Les technologies MOS utilisées dans ce projet sont basées sur des transistors à grille longue ($L_G > 1\mu m$) :

- Procédé NMOS-Si 2 μm [223], développé à l'Université de Sherbrooke (UDS), dans le cadre du cours GEI 718 dispensé en Baccalauréat et en Maîtrise.
- Procédé CMOS-SOI 2 μm [224, 225], développé à l'Université Catholique de Louvain (UCL).

Le premier procédé a été mis en place pour les besoins d'un cours de microfabrication : il a été conçu pour être simple, rapide et économique. En revanche, la reproductibilité, le rendement et les performances n'ont pas été optimisés dans le nouvel environnement de fabrication du 3IT. Le second procédé est nettement plus complexe (7 masques physiques supplémentaires), et a été conçu pour s'intégrer à des dispositifs fabriqués au sein du laboratoire (ex : MEMS [224, 226]). Ces deux procédés sont détaillés dans l'[Annexe B](#) du manuscrit.

3.5.2 Le budget thermique

Le budget thermique est une notion centrale dans le procédé *Front-End*, en raison des températures élevées requises par ces étapes technologiques [227]. Sous l'effet de ces températures, les dopants préalablement introduits dans le silicium vont diffuser dans le réseau cristallin. Le budget thermique est alors défini comme étant le produit du coefficient de diffusion de l'impureté présente dans le substrat Si à la température de procédé par la durée de procédé ($D(T) \times t$). De même, la longueur caractéristique de diffusion l_{diff} est couramment utilisée pour caractériser le budget thermique correspondant au procédé :

$$l_{diff} \sim 2\sqrt{Dt} \quad \text{Équation 3.26}$$

Elle correspond à une chute de la concentration surfacique d'un facteur $1/e$ dans les solutions analytiques des lois de Fick. Le profil de dopage final dans chaque région du circuit CMOS est déterminé par la somme des diffusions provoquées lors de chacune des étapes du procédé. Le budget thermique total ou effectif $(Dt)_{eff}$ peut s'écrire de la façon suivante en l'absence d'interactions entre impuretés [228] :

$$(Dt)_{eff} = \sum D_n t_n \quad \text{Équation 3.27}$$

Avec D_n le coefficient de diffusion de l'impureté considérée dans Si et dans les conditions appropriées (température, atmosphère, etc.), et t_n la durée du traitement thermique. Le coefficient de diffusion suit une loi d'Arrhenius en fonction de la température T :

$$D = D_o \exp\left(-\frac{E_A}{kT}\right) \quad \text{Équation 3.28}$$

Avec k la constante de Boltzmann, E_A l'énergie d'activation et D_o un pré-facteur qui correspond au coefficient de diffusion extrapolé à l'infini. Ces valeurs sont fournies dans le Tableau 3.5

pour les impuretés communément utilisées dans la fabrication des circuits CMOS, et pour des conditions intrinsèques ($N_D < n_i$).

	Unités	B	P	As
D_0	$\text{cm}^2.\text{s}^{-1}$	1,0	4,70	9,17
E_A	eV	3,5	3,68	3,99

Tableau 3.5 – Paramètres de la loi d'Arrhenius dans le silicium monocristallin pour la diffusion d'impuretés couramment utilisées dans la technologie CMOS [228].

3.5.3 Le recuit post-implantation

Dans ce chapitre, nous avons vu que les briques de base de la technologie CMOS sont, d'une part, la réalisation de structures MIS, présentant une interface isolant/semi-conducteur de haute qualité, et d'autre part la fabrication de jonctions PN. Cette dernière suppose de juxtaposer une région dont le dopage est de type P (les impuretés sont des accepteurs) avec une autre dont le dopage est de type N (les impuretés sont des donneurs). Le choix de l'impureté est notamment fonction de la solubilité dans le matériau, c'est-à-dire la concentration maximale de dopants dans le matériau avant formation d'une phase distincte. Deux techniques permettent de réaliser de telles jonctions :

- Le dépôt d'un film contenant l'impureté à diffuser, suivi d'une diffusion thermique ;
- L'implantation ionique, suivie d'un recuit d'activation.

Cependant, la miniaturisation des circuits CMOS a favorisé l'utilisation de l'implantation ionique en raison du meilleur contrôle des dimensions des profils latéralement et en profondeur. En particulier, la conservation de l'intégrité électrostatique des MOSFETs requiert que la profondeur de jonction des zones source et drain (S/D) soit réduite par le même facteur d'échelle que L_g (ITRS 2007 : $x_j \sim 0,5L_g$). De plus, l'implantation ionique permet de contrôler très précisément le nombre d'impuretés introduites dans le semi-conducteur, ce qui est un avantage décisif à mesure que celui-ci diminue du fait de la réduction d'échelle. L'implantation ionique fonctionne de la manière suivante : à partir d'un gaz source (PH_3 , BF_3 ...), des ions sont générés et accélérés vers la surface puis pénètrent dans l'échantillon en subissant un certain nombre de collisions avec les atomes du semi-conducteur sur leur trajectoire. Leur énergie cinétique diminuant, les ions finissent par être stoppés à une profondeur donnée. Ce procédé a deux inconvénients : celui de créer de nombreux défauts tels que des dislocations sur la trajectoire de l'ion implanté, voire même des régions amorphes, et le fait que les ions ne s'arrêtent pas

nécessairement sur un site donné du réseau cristallin. En effet pour que le dopant soit activé, c'est-à-dire pour qu'il libère un électron ou un trou, il doit se trouver en position substitutionnelle. De plus, les défauts engendrés peuvent eux-aussi s'avérer électriquement actifs, et éventuellement provoquer l'apparition de courant de fuite à la jonction PN.

La restauration de la qualité cristalline du silicium ainsi que l'activation des dopants en position substitutionnelle dans le réseau cristallin peuvent être obtenues par un recuit. Ces deux processus sont en effet activés thermiquement, mais avec des énergies d'activation différentes. Pour des transistors à grille longue, il est généralement possible d'achever les deux processus dans le même recuit. Pour des transistors à grille courte, la diffusion thermique des dopants conduit à des profondeurs de jonction trop grandes, qui modifient donc significativement leurs caractéristiques électriques. Les techniques de recuit rapide (RTA) sont intéressantes dans cette optique car elles permettent d'atteindre des températures plus élevées en un temps très court (rampes de montée en température typiquement de $100\text{ }^{\circ}\text{C} / \text{s}$) limitant efficacement le budget thermique (Dt). Les techniques permettant la fabrication de jonctions ultra-superficielles sont discutées dans la référence [203].

3.5.4 Le substrat

Les deux principales méthodes permettant la croissance de lingots monocristallins Si ont été introduites au §2.2.1. Par la suite, la découpe de ces lingots permet d'accéder à différents plans cristallins, parmi lesquels, les plans de bas indices Si(100), Si(110) et Si(111). De plus, nous avons vu que la mobilité des porteurs est déterminée par leur masse effective (1.2), dérivant de la structure de bande et donc de l'arrangement atomique. Or, ces surfaces présentent différentes distributions atomiques (§2.2.3). Par conséquent, la mobilité des porteurs s'en trouve significativement affectée (Figure 3.18) [183].

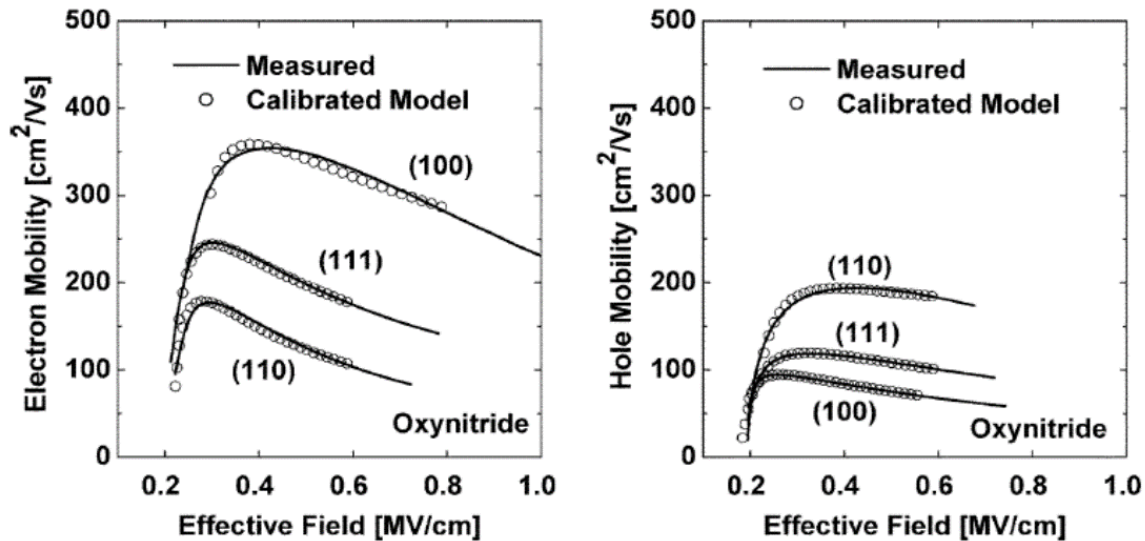


Figure 3.18 – Mobilité des électrons et des trous sur différentes orientations cristallines Si [78].

Dans un circuit CMOS, la mobilité des trous et des électrons importe de façon égale. L'idéal serait donc de fabriquer le PMOS sur une surface Si(110) et le NMOS sur Si(100) [78]. Cependant, la distribution des atomes sur ces surfaces détermine également les propriétés de l'interface entre Si et SiO₂. La plus faible défektivité de l'interface Si(100)/SiO₂ vis-à-vis des autres orientations a rapidement été mise en évidence à travers la mesure de D_{it} [229], confirmée par de nombreuses études [185, 193, 230]. Une faible densité d'états d'interface étant hautement désirable pour la reproductibilité du procédé ([Tableau 3.1](#)) et la performance des MOSFETs ([3.17](#)), les substrats d'orientation Si(100) ont depuis lors été privilégiés pour la fabrication de circuits CMOS. Parallèlement à la technologie CMOS sur substrat massif Si(100), dans les années 80, s'est développée une seconde filière reposant sur l'utilisation d'un substrat silicium-sur-isolant (SOI) qui procure plusieurs avantages, à commencer par un procédé simplifié [225]. Notons par exemple l'absence de caisson N pour le PMOS/SOI grâce à la présence de l'oxyde enterré, nécessaire sur Si massif afin d'isoler le canal du substrat (Figure 3.19). La filière CMOS sur SOI bénéficie de nombreux avantages pour les concepteurs de circuits numériques ([Tableau 3.6](#)), principalement un accroissement de leur vitesse et une réduction de la puissance consommée. La diffusion de cette technologie sur les applications grand public est néanmoins modérée par la disponibilité et le prix des substrats, encore dix fois supérieur à celui des substrats massifs Si, bien que les SOIs permettent en principe de réaliser des économies sur le procédé CMOS et des gains sur leur rendement [69, 225].

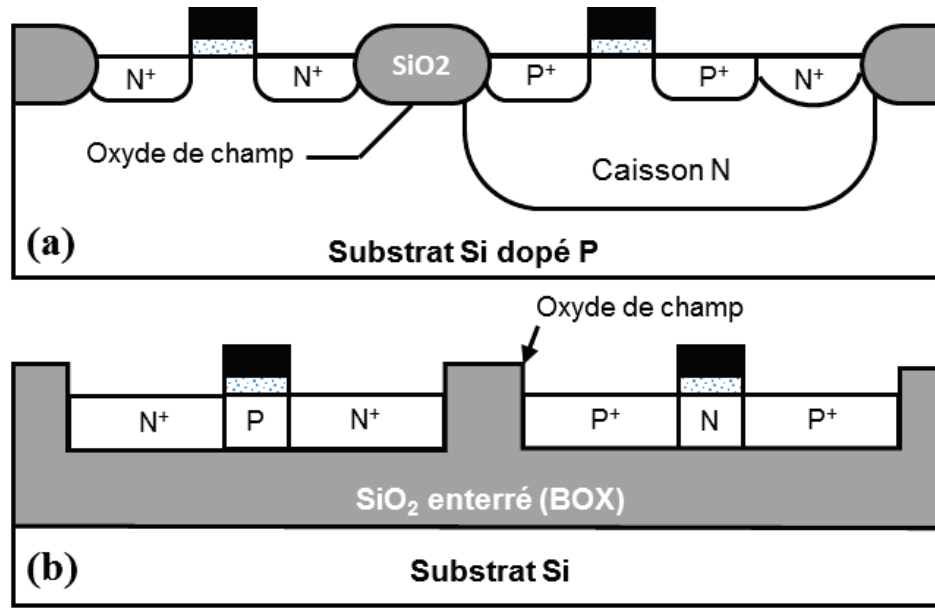


Figure 3.19 – Vue en coupe d'un inverseur CMOS sur (a) substrat massif Si (b) substrat SOI complètement déserté [225].

Propriété des circuits CMOS	FDSOI
Mobilité	0 / +
Body effect	+
Effets de canal court (SCE, DIBL)	- / 0 / +
Capacités de source et drain	+
Dégradation liée aux porteurs chauds	+
Pente sous le seuil	+
Insensibilité aux radiations (SEU / Soft error hardness / Gamma dot)	+
Opération à haute température	+

Tableau 3.6 – Comparaison entre les propriétés de circuits CMOS fabriqués sur SOI complètement déserté et sur substrat Si massif (+ / 0 / – indique que la propriété est améliorée / similaire / dégradée), d'après [225].

La filière CMOS sur SOI adresse également des marchés de niche où les circuits sont exposés à un environnement sévère (ex : spatial) : les composants MOS sur SOI résistent mieux à certaines radiations et peuvent fonctionner normalement jusque 300 °C. De plus, la présence du diélectrique enterré se prête plus facilement à l'intégration de composants de puissance Si (ex : LDMOS) pour la réalisation de convertisseurs de puissance intelligents par exemple (*smart-power circuits*) [225].

3.6 Intégration hétérogène GaN – Si

Il existe typiquement deux façons d'aborder l'intégration de circuits HEMT GaN avec des circuits CMOS Si : (1) Deux puces sont fabriquées dans des lignes de productions distinctes CMOS et III-V puis assemblées dans un même boîtier (Figure 3.20a) (2) Deux circuits sont réalisés sur un même substrat, idéalement sur une ligne de production commune (Figure 3.20b).

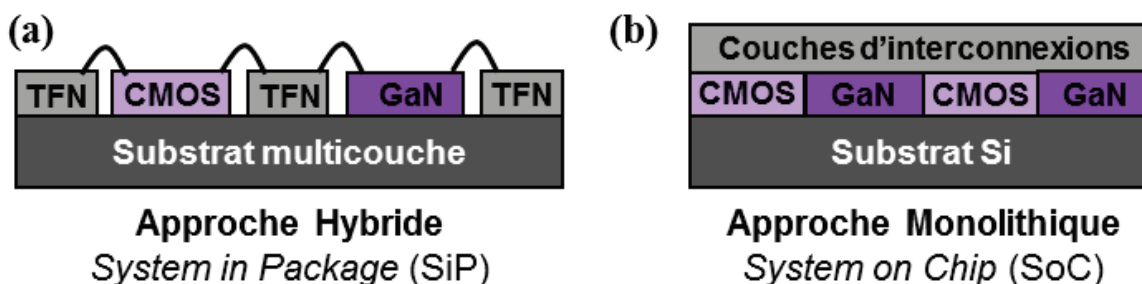


Figure 3.20 – Systèmes hétérogènes GaN – Si construits (a) par assemblage de plusieurs puces et (b) de façon monolithique [11].

Dans une intégration hybride, les différentes puces sont typiquement interconnectées par des fils métalliques (*wire bonding*) (Figure 3.20a) [231]. Cependant, cela peut nécessiter des précautions particulières dans le cas d'un interrupteur cascode GaN par exemple, en raison des inductances parasites introduites par les fils, dégradant l'efficacité et la stabilité du composant pour des fréquences de commutation élevées [232]. De plus, des cycles thermiques répétés peuvent éventuellement mettre à mal l'intégrité physique des fils [163]. Pour anticiper ces difficultés, des architectures adaptées ont été proposées [233, 234]. Notons toutefois que pour des convertisseurs fonctionnant à 100 kHz, un boîtier standard TO-247 semble convenir à l'encapsulation d'interrupteurs HEMT GaN cascode 600 V [235]. Plus généralement, les références [231, 236] décrivent les principales technologies d'interconnexions et d'encapsulation utilisées pour assembler des SiPs. Dernièrement, de nouvelles technologies d'assemblage ont été proposées afin d'intégrer différentes puces à l'échelle du composant, afin d'augmenter la densité d'interconnexions hétérogènes en vue de la réalisation de circuits RF/AMS haute performance [237-240].

L'intégration hybride offre certainement la possibilité d'arriver plus rapidement à un produit commercialisable, pouvant intégrer une plus grande diversité de technologies (Tableau 3.4) pour un investissement initial⁵ sur la R&D généralement inférieur à ce qui serait

⁵ Ce que l'on a appelé plus bas *Non-recurring engineering (NRE) costs* (Tableau 3.6).

nécessaire pour une version SoC du même produit (Tableau 3.7). Cependant, comme illustré ci-dessus par l'interrupteur cascode, les performances sont alors limitées par les contraintes liées au *packaging*. De même, les performances en vitesse et en largeur de bande des SiPs RF/AMS sont fortement limitées par la longueur des interconnexions entre les différentes puces et par la variabilité accrue des puces et des interconnexions expérimentée dans cette approche [8]. La réduction de la longueur des interconnexions et l'utilisation des technologies d'interconnexions des circuits Si permettraient donc de réduire drastiquement leur impact. En outre, nous avons vu précédemment que la présence de circuits numériques de forte densité, favorisée par l'approche SoC, accroît les performances des circuits RF/AMS et des convertisseurs de puissance [241], pour créer à terme des systèmes intelligents, capables de s'adapter aux variations de leur environnement ou encore aux dérives induites par le vieillissement des composants [242]. De plus, étant donné leur prix plus élevés, les SiPs restent souvent confinés à des marchés de niche, où la performance prime sur le coût des systèmes. Pour la technologie HEMT GaN, il est envisageable de produire des circuits III-N sur substrat Si 200 mm dans des lignes de production CMOS déjà existantes [6, 243], réduisant drastiquement le coût de production de potentiels SoCs intégrant HEMT GaN et CMOS. Un *ratio* performance sur coût suffisamment compétitif permettrait alors une migration des marchés de niches vers les marchés de masse et une diffusion à grande échelle de ces systèmes. En conclusion, le Tableau 3.7 synthétise quelques critères de choix entre SiPs et SoCs. Quelle que soit l'approche ou les technologies considérées, l'intégration pose un certain nombre de défis techniques en termes de fabrication et de conception des systèmes (ex : gestion thermique), discutés dans les références [8, 236, 244]. Pour la co-intégration de transistors HEMTs GaN et de circuits CMOS, nous pouvons d'ores et déjà identifier plusieurs difficultés liées à la fabrication. En premier lieu, le budget thermique introduit des problématiques multiples dépendantes de la méthodologie choisie : contamination, contraintes thermoélastiques, dégradation des interfaces, modification des dopages et des dimensions des zones actives des CMOS, etc. En second lieu, nous sommes confrontés à un problème de substrat, car l'état de l'art de la technologie HEMT GaN est obtenu sur Si(111), tandis que le substrat de fabrication privilégié de la technologie CMOS est Si(100). Ce problème peut être contourné par les techniques de report de couche [245-250] : par exemple, une couche mince Si(100) peut être reportée sur une hétérostructure AlGaN/GaN. Une alternative est le recours au SOI, qui peut présenter une orientation différente entre le substrat

porteur et le film mince Si séparés par la couche d'oxyde enterré [241, 251-253]. Une autre alternative est l'utilisation de substrats Si(110) massifs, qui constitue un meilleur compromis que Si(111) entre mobilité des porteurs et densité d'états d'interface des MOSFETs Si d'une part [78], et gain sur la qualité cristalline des structures HEMTs GaN d'autre part [72]. La problématique thermique peut être résolue par l'utilisation de procédés à basse température pour l'épitanie en présence de CMOS (approche *CMOS-first*) [251, 252, 254] ou par l'utilisation d'un procédé CMOS à suffisamment faible budget thermique en présence d'une structure épitanie le HEMT GaN (approche *CMOS-last*) [241, 255-258].

Considérations économiques		
Indicateur	SiP	SoC
Coût NRE relatif	x 1	x 4 - 10
Temps d'accès au marché	3 - 6 mois	6 - 24 mois
Coût unitaire relatif	x 1	x 0,2 - 0,8
Considérations techniques		
SiP	SoC	
Avantages		
Combiner des technologies ayant des procédés Front-End différents (ex : Si, GaN)	Rendement accru lorsque la technologie a atteint sa maturité	
Combiner des composants issus de différentes générations	Miniaturisation du système	
Réutilisation de composants couramment utilisés	Performance augmentée	
Modification du système après conception / fabrication (ex : changement d'un composant)	Si le rendement est bon : réduction des coûts de production avec l'augmentation du volume	
Temps d'accès au marché raccourci	Les logiciels CAD automatisent le dessin des interconnexions	
Rendement accru pour les assemblages simples	Densité des interconnexions accrue	
Meilleure isolation du bruit et des perturbations de type <i>cross-talk</i>	Fiabilité augmentée	
La conception des puces individuelles peut être revue à moindre frais	Logistique simplifiée	
Inconvénients		
Assemblage (Complexité)	Pas ou peu de possibilité de changer le système	
Approvisionnement et logistique (Complexité)	Un seul fournisseur par système	
Densité de puissance très élevée pour les puces superposées	Performances limitées par la technologie de la puce sélectionnée	
Outils de conception possiblement à adapter ou à revoir	Coûts de développement (NRE) élevés	

Tableau 3.7 – Approche hybride versus approche monolithique [236].

3.7 Conclusion

Ce projet s'inscrit dans l'approche *More than Moore*, illustrée à travers la co-intégration de composants GaN RF et de puissance sur CMOS Si, bien que d'autres applications soient envisageables (ex : capteurs [259], *Lab-on-Chip*). Dans cette perspective, l'orientation du substrat et la gestion du budget thermique constituent deux problèmes majeurs. Plusieurs routes technologiques permettant de minimiser ces difficultés sont suggérées : l'utilisation d'un SOI, le report de couches III-N sur Si et l'utilisation de procédés MOS et/ou HEMT présentant un budget thermique réduit.

Une dégradation de l'interface Si/SiO₂ au cours de la co-intégration pourra être mise en évidence à travers l'évolution de la pente sous le seuil ou encore à travers une dérive des tensions de seuil des transistors. En particulier, les budgets thermiques appliqués pendant la fabrication des hétérostructures sont susceptibles de modifier les dimensions des MOSFETs notamment la longueur de grille effective. À terme, une accentuation des effets de canal court (et ainsi de la dispersion des tensions de seuil) peut être observée, ce qui serait préjudiciable pour la consommation et les performances de futurs circuits CMOS co-intégrés. Enfin, les caractéristiques de la technologie CMOS sont étroitement liées au substrat utilisé (mobilités des porteurs, densité d'états d'interface, etc.). Dans ce projet, des substrats massifs Si(110) et des SOIs modifiés seront mis en œuvre pour la fabrication de transistors à grille longue.

CHAPITRE 4 BUDGET THERMIQUE

4.1 Introduction

Un des principaux défis dans l'établissement du procédé FEOL d'une technologie CMOS est le contrôle précis des caractéristiques (dimensions, dopage) des régions actives, c'est-à-dire de la diffusion, afin d'obtenir les caractéristiques électriques souhaitées. C'est pourquoi le budget thermique est une préoccupation majeure dans tout processus de co-intégration [69]. Aussi, dans un premier temps, une méthodologie d'intégration doit être définie, sur la base des connaissances et des savoir-faire présents au sein des laboratoires impliqués, et sur la base des travaux déjà publiés par d'autres équipes de recherche travaillant sur cette thématique. Cela nous amènera au développement d'un procédé de croissance par NH_3 -MBE adapté, en vue de l'intégration en présence de dispositifs MOS. Ce développement sera suivi d'une étude de l'impact de ces procédés de croissance sur le fonctionnement de MOSFETs Si.

4.2 Méthodologie

4.2.1 Rôle des laboratoires impliqués

Depuis plusieurs années, le CRHEA possède une expertise dans la réalisation d'hétérostructures $\text{AlGaIn}/\text{GaIn}$ sur Si par la technique de croissance NH_3 -MBE [96]. Cette expertise est valorisée par des performances intéressantes obtenues sur des transistors HEMTs GaIn issus de ces procédés, à la fois en RF et en puissance [94, 260, 261]. Le présent projet requiert également un savoir-faire en matière de microfabrication, pour la préparation de plateformes Si compatibles CMOS sur lesquelles les hétérostructures seront fabriquées : réalisation de masques diélectriques, gravures, recuits, etc. Pour ces étapes, nous nous sommes appuyés sur la centrale technologique du 3IT à laquelle le LN2 a accès. Comme mentionné précédemment, le LN2 a développé un procédé NMOS à visée pédagogique (§3.5.1), que nous utiliserons lors d'une première phase de validation de la méthodologie d'intégration choisie. Enfin, l'implication de l'ELEN (UCL) nous a permis d'avoir accès à un procédé CMOS/SOI plus stable, offrant des possibilités supplémentaires en termes d'applications pour des circuits GaIn sur CMOS (§3.5.4).

4.2.2 Travaux antérieurs

En 2013, la co-intégration GaN sur CMOS est une thématique relativement nouvelle au sein de ces laboratoires, bien que le CRHEA ait commencé à s'y intéresser dès 2004 à travers la croissance de nitrures sur substrat Si(100) massif (§2.2.3), tout comme d'autres laboratoires de croissance dans cette période [80, 262]. Cependant, les difficultés rencontrées lors de ces études ont conduit à l'utilisation de substrats (100) désorientés (*off-axis*), non compatibles CMOS. Comme mentionné précédemment, le problème de l'orientation est contourné par l'utilisation de SOIs ou encore par les techniques de report de couches minces [245, 263]. De plus, même en disposant d'un procédé permettant de faire croître facilement des hétérostructures AlGaIn/GaN sur Si(100) nominal, plusieurs difficultés liées à la dégradation des zones CMOS Si et HEMTs GaN pendant leurs étapes de procédé respectives subsistent (Tableau 4.1).

Approche CMOS-last [241, 255-258]	Approche CMOS-first [251, 252, 254]
Dégradation de la surface Si pendant la croissance → <i>Épitaxie sélective + couches de protection ?</i>	Dégradation de l'interface MOS Si – SiO ₂ pendant la croissance des nitrures → <i>Traitement de l'interface post-croissance ?</i>
Contamination des zones CMOS Si vers les zones HEMT GaN pendant la croissance (ex : par les couches de protection, le substrat) → <i>Barrières de diffusion entre les zones ? Réduire le budget thermique de la croissance ?</i>	
Délamination des nitrures sur les zones CMOS Si → <i>Limiter l'épaisseur de l'hétérostructure ? Augmenter la sélectivité de la croissance ? Réduire la température de croissance ?</i>	
Dégradation de la surface GaN pendant le procédé CMOS → <i>Couches de protection sur les hétérostructures + réduction du budget thermique du procédé CMOS ?</i>	Contamination de l'environnement de croissance vers les zones CMOS ? → <i>Couches de protection encapsulant les zones CMOS ?</i>
...	Dégradation du fonctionnement des MOSFETs due à la diffusion des dopants dans les zones CMOS pendant la croissance → <i>Réduire le budget thermique de la croissance ?</i>

Tableau 4.1 – Difficultés soulevées dans les travaux publiés depuis 2009 concernant la co-intégration par l'épitaxie de composants HEMTs GaN sur CMOS Si.

La technique NH_3 -MBE a été appliquée à la co-intégration de composants GaN et MOS par *Chyurlia et al* dans une approche CMOS-*last*, et sur l'orientation (111) (Tableau 4.1). Cette approche est justifiée par le fait que des températures élevées ($> 900^\circ\text{C}$) sont requises pour la croissance d'hétérostructures AlGaN/GaN par NH_3 -MBE ou par MOCVD, tandis que le budget thermique des procédés CMOS est constamment diminué, pour des raisons de miniaturisation (§3.4.1) [203]. Ceci est un avantage pour les industriels disposant de technologies CMOS avancées, donc à plus faible budget thermique, car les surfaces GaN sont en principe relativement stables en-deçà de 900°C , et peuvent être stabilisées jusqu'à 950°C par une couche d'encapsulation adéquate [256]. Cependant, le recours à la technique de croissance privilégiée par l'industrie, la MOCVD, plutôt qu'aux techniques MBE, est plus vraisemblable pour cette approche (§2.2). De plus, des précautions supplémentaires sont nécessaires quant à l'introduction de matériaux III-N dans la ligne de production CMOS [83].

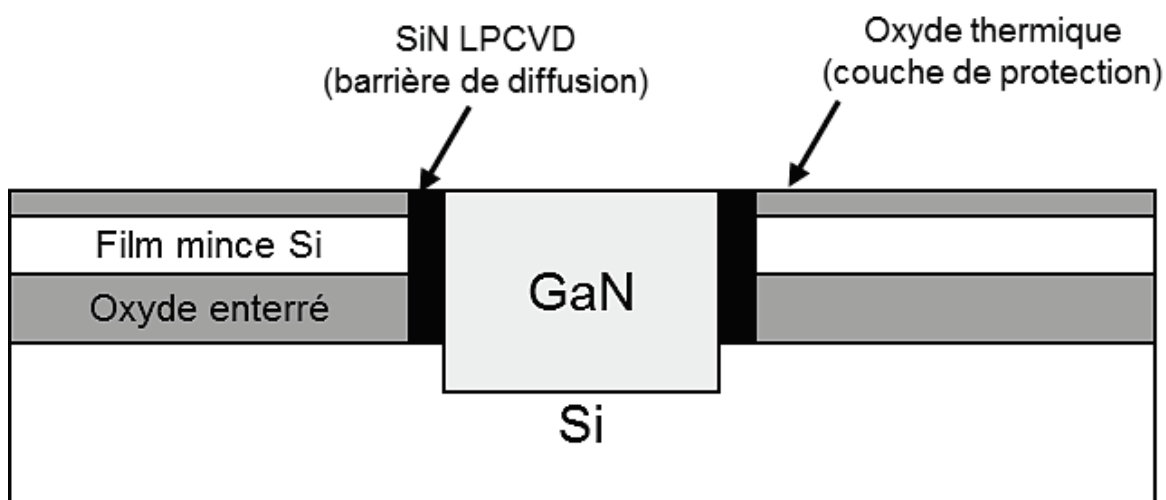


Figure 4.1 – Exemple de plateforme pour la co-intégration CMOS-*last* de HEMTs GaN et de circuits CMOS sur substrat SOI (étudiée par IBM) [258].

L'industriel IBM développe une approche similaire sur SOI 200 mm (Figure 4.1) [258]. La principale difficulté réside alors dans la prévention de la contamination entre les zones CMOS et les zones HEMTs GaN, étant donné que la diffusion est fortement améliorée au-delà de 950°C , alors que la température de croissance pour une hétérostructure AlGaN/GaN fabriquée par MOCVD est typiquement supérieure à 1000°C . Soulignons que les restrictions en matière de contamination sont d'autant plus drastiques que la technologie CMOS mise en œuvre est avancée [228]. En revanche, la croissance GaN par MOCVD offre une sélectivité

importante⁶, qui permet de prévenir la courbure du substrat⁷ et la délamination des nitrures déposés sur la couche de protection, d'autant plus que les zones HEMT GaN sont minoritaires par rapport aux circuits CMOS, représentant environ 90 % de la surface. Au contraire, *Chyurlia et al* observent une délamination spontanée des nitrures avec la couche de protection après refroidissement, car la sélectivité en MBE est inexistante pour ces hétérostructures, et les zones HEMTs GaN sont relativement étendues sur leurs échantillons [255]. Le procédé de retrait des nitrures sur les zones CMOS – reposant sur une immersion dans HF – s'apparente alors à un soulèvement (*lift-off*) comme celui utilisé pour la métallisation de contacts avec une résine (Annexe A). À travers ces travaux, nous notons que le fait de travailler avec des températures de croissance élevées génère de nombreuses incertitudes, en termes de contamination, et complique le processus d'intégration avec la nécessité d'introduire des barrières de diffusion multiples puis de réaliser des études statistiques afin de vérifier l'absence de contamination sur l'ensemble du substrat. Les fonderies CMOS sont donc réticentes à introduire de tels substrats dans leurs lignes de production. C'est pourquoi l'industriel *Raytheon* mise sur le développement d'une approche CMOS-*first*, dans laquelle les premières étapes critiques de la fabrication des CMOS sont faites sur un substrat vierge, c'est-à-dire non contaminé et non courbé. Les efforts se reportent alors essentiellement sur le budget thermique de la croissance des hétérostructures AlGaIn/GaN, qui a donc lieu entre le FEOL et le BEOL du CMOS. Grâce à la technique PAMBE, un budget thermique d'environ 6,5 heures à 750 °C sous plasma N₂ a été mis au point, et s'avère efficace pour limiter les phénomènes de diffusion indésirables (extension des zones S/D, contaminations de la couche tampon, etc.) [60, 251, 264]. De plus, en dépit d'une épitaxie non sélective, la délamination des nitrures sur les couches de protection n'est pas observée, ce qui facilite leur retrait de façon contrôlée et pourrait être un autre bénéfice de la réduction des températures de croissance. Enfin, une simple couche SiO₂ déposée par PECVD est utilisée pour la protection des dispositifs CMOS, ce qui ne semble pas poser de problème ni pour les MOSFETs Si ni pour les propriétés d'isolation des couches GaN.

⁶Dans cette référence (Figure 4.1), une couche de 50 nm d'épaisseur est déposée sur le masque (SiO₂) pour une hétérostructure AlGaIn/GaN épitaxiée sur Si de 1,5 µm d'épaisseur.

⁷ Dans cette référence (Figure 4.1), la flèche est limitée à 90 µm pour une plaque CMOS/SOI 65 nm présentant un diamètre de 200 mm et une épaisseur totale d'environ 750 µm.

4.2.3 Description du projet

En tant que laboratoires de recherche, extérieurs à l'industrie CMOS, nous pensons en effet qu'il sera difficile de convaincre un industriel d'intégrer ses circuits sur une plateforme GaN. De plus, comme mentionné ci-dessus, l'approche a déjà été explorée par la technique NH_3 -MBE, et la tendance actuelle consiste à privilégier la MOCVD dans ce cas. En revanche, dans l'approche CMOS-*first*, l'utilisation de la MOCVD est exclue en raison de son budget thermique élevé, modifiant significativement les régions actives dopées constituant le CMOS [251]. Par ailleurs, il semble que la technique NH_3 -MBE soit plus à même de produire des couches tampons isolantes, sans ajout d'impuretés compensatrices (ex : C, Fe, etc.) par rapport à la PAMBE. Pour ces différentes raisons, nous proposons la co-intégration CMOS-*first* de HEMTs GaN réalisés par NH_3 -MBE. Dans cette perspective, le budget thermique lié à la croissance des hétérostructures AlGaIn/GaN doit être minimisé, tout en conservant des caractéristiques électriques satisfaisantes sur les HEMTs GaN issus de ces hétérostructures. Ce développement, qui n'avait pas été réalisé dans le cadre des travaux antérieurs, est en réalité nécessaire quelle que soit l'approche envisagée (Tableau 4.1). Même si certains auteurs avancent que la densité d'états d'interface ne fait plus vraiment partie des principaux facteurs limitant – notamment pour la fiabilité – des circuits CMOS fortement submicroniques [78], dans un souci de convaincre plus facilement les industriels, et parce que la co-intégration ne concerne pas nécessairement ces technologies, nous privilégions un substrat SOI dont une des deux orientations est (100). Cependant, en raison de la plus faible disponibilité et du coût plus élevé de ces substrats, nous avons dans un premier temps travaillé sur Si(110), qui représente un meilleur compromis que (111) par rapport à (100) en termes de mobilité des porteurs (§3.5.4), et pourrait donc convenir pour certaines applications à bas coût (ex : électronique de puissance) [265]. Dans ce scénario, le principal inconvénient vu par un industriel est la nécessité de reconfigurer la ligne de production, car pour de nombreux procédés, les paramètres (vitesses d'oxydation ou de gravure, énergies d'implantation, etc.) sont dépendants de l'orientation [69]. Par conséquent, dans le scénario d'intégration sur Si(110), les coûts de développement (NRE) sont susceptibles d'être significativement accrus vis-à-vis de l'approche de co-intégration sur SOI (§3.6). Le budget thermique de la croissance NH_3 -MBE étant défini, il sera nécessaire de vérifier, d'une part l'absence de dégradation des caractéristiques électriques des MOSFETs Si

(§4.4) et, d'autre part l'impact des couches de protection sur les dispositifs fabriqués (délamination, contamination, dégradation de la surface, etc.) (§5.3).

4.3 Croissance NH_3 – MBE

4.3.1 Cadre de l'étude

Le dessin classique d'une hétérostructure AlGaN/GaN fabriquée au CRHEA par NH_3 -MBE est représenté dans la Figure 4.2, et comporte les différentes couches décrites au §2.2.4. L'approche choisie pour la gestion des contraintes et l'épaississement de la couche tampon GaN est identique à celle décrite dans la Figure 2.8e. La température de croissance standard des couches (AlGaN , GaN) est de 800°C , tandis que la température de croissance pour l' AlN est typiquement plus élevée pour pallier la mobilité de surface réduite des ad-atomes Al . La température standard de croissance de l' AlN est donc de 920°C , ce qui est proche de la température maximale permise par notre four de croissance. Récemment, un nouveau four à base de graphite a été mis au point par Riber, permettant éventuellement d'optimiser la qualité cristalline de l' AlN à travers l'utilisation de températures de croissance plus élevées. Les vitesses de croissance utilisées dans ces conditions sont typiquement de 100 et 600 nm / heure pour AlN et GaN respectivement.

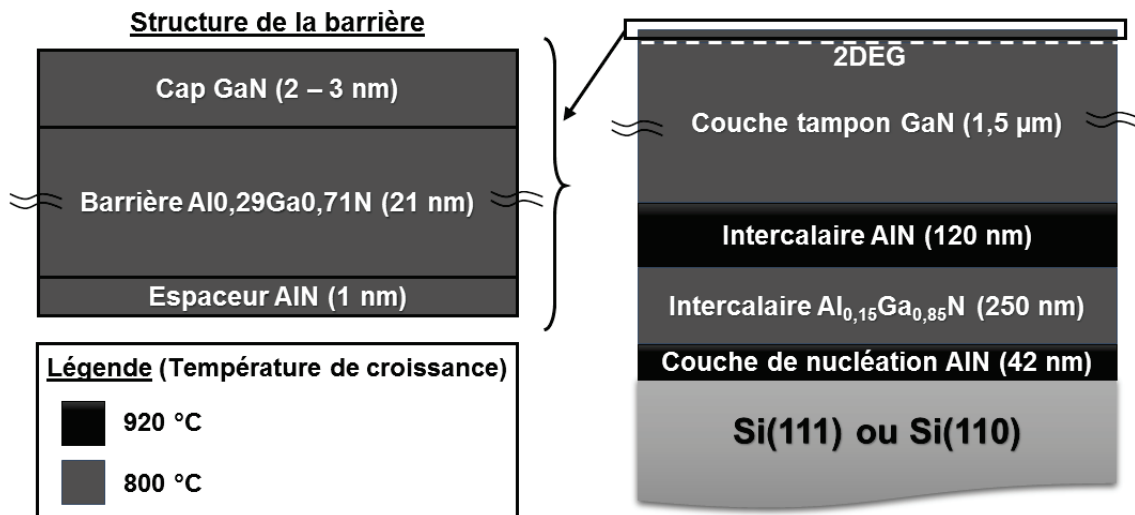


Figure 4.2 – Structure « épaisse » HEMT GaN standard.

Le budget thermique (Dt) de la structure décrite ci-dessus correspond donc à environ 1h40min à 920°C et 3h à 800°C . Comme D dépend exponentiellement de la température, nous pouvons nous attendre à ce que le budget thermique total soit largement dominé par la croissance

de l'AlN. De fait, la croissance de GaN, bien que deux fois plus longue, représente moins de 4 % du budget thermique total dans ce procédé quel que soit le dopant considéré (§3.5.2). Par exemple, une réduction de la température de croissance de l'AlN de 920 à 830 °C réduit systématiquement le budget thermique de plus d'un ordre de grandeur. Une diminution significative de la profondeur des profils et donc de la profondeur de jonction x_j est alors attendue. Notons que les budgets thermiques sont similaires pour le bore et le phosphore, mais réduits d'environ un ordre de grandeur pour l'arsenic, en raison d'une énergie d'activation plus élevée ([Tableau 3.5](#)). L'arsenic est en effet privilégié dans les technologies CMOS requérant des régions dopées N peu profondes [228], car il diffuse plus lentement et possède une solubilité élevée dans le Si. Il n'y a malheureusement pas d'équivalent pour le dopage de type P, puisque le bore est le seul dopant possédant une solubilité suffisamment grande dans le Si.

La stratégie proposée dans cette étude est de conserver une hétérostructure AlGaIn/GaN fonctionnelle, présentant une structure standard (Figure 4.2), tout en réduisant la température de croissance de l'AlN. Cette hétérostructure sera appelée « structure épaisse », par opposition avec les hétérostructures submicroniques ou « structures minces » qui seront aussi fabriquées dans le cadre de cette étude (Figure 4.3).



Figure 4.3 – Structure « mince » HEMT GaN (la structure cap / barrière / espaceur étant identique à celle de la structure épaisse, cf. Figure 4.2).

En effet, plus rapides et moins coûteuses à produire, les hétérostructures submicroniques peuvent également être nécessaires pour d'autres types d'application (ex : MEMS) [85, 266-268]. L'impact de la réduction de la température de croissance de l'AlN sur les caractéristiques électriques des hétérostructures sera étudié, de manière à déterminer les compromis possibles en termes de budget thermique en vue de la co-intégration avec des circuits CMOS. Le Tableau 4.2 décrit l'ensemble des hétérostructures fabriquées dans le cadre de cette étude.

Échantillons	A	B	C	D	E	F
	mince	mince	épaisse	épaisse	épaisse	épaisse
Température de croissances (°C)						
GaN, AlGaN	800	800	800	800	800	800
AlN	920	830	920	830	830	800
Épaisseurs (nm)						
Couche de nucléation	200	200	42	42	42	42
Intercalaire AlN	aucun	aucun	120	120	200	200
Intercalaire AlGaN	aucun	aucun	250	250	250	250
Couche tampon GaN	500	500	1500	1500	1500	1500

Tableau 4.2 – Croissance par NH₃-MBE : échantillons de l'étude.

4.3.2 Évolution des propriétés structurales

La qualité cristalline des couches minces hétéro-épitaxiées est principalement mesurée à travers des expériences de diffraction des rayons X (DRX), notamment des balayages ω (*rocking curve* ou ω -scan) sur des raies symétriques ($00l$) et asymétriques ($h0l$) [49, 269]. Comme l'incidence du faisceau est plus rasante lors de la mesure de raies asymétriques, il est attendu que les couches les plus superficielles contribuent majoritairement à l'intensité du signal diffracté. Les balayages ω génèrent des pics dont la largeur à mi-hauteur (LMH) est de l'ordre du centième de degré (36 secondes d'arc) pour un matériau monocristallin de très haute qualité, mais plutôt de l'ordre du dixième de degré (360 secondes d'arc) pour une couche III-N hétéro-épitaxiée. Les relations entre LMHs et qualité cristalline (§1.8-1.9) sont explicitées dans le Tableau 4.3. Des études précédentes ont ainsi montré que les principaux défauts rencontrés dans ces matériaux sont les dislocations traversantes de type a (coin) et de type (a+c) (mixtes), et que leur densité diminue significativement avec l'épaisseur de couche [45, 270].

Raie symétrique ($00l$)	Raie asymétrique ($h0l$)
GaN (002) / AlN (002)	GaN (302) / AlN (101), AlN (103)
Mesurées en condition symétrique	Mesurées en condition symétrique oblique
Informations sur la mosaïcité	
Tilt moyen	Contributions du twist (>70 %) et du tilt (< 30%)
Défauts influant la largeur à mi-hauteur des pics	
<ul style="list-style-type: none"> Dislocations vis <u>traversantes</u> (type c) Dislocations mixtes <u>traversantes</u> (type a+c) Dislocations ayant une composante dans le plan (boucles, dislocations inclinées) et une composante du vecteur de Burgers de type coin hors plan 	Toutes les dislocations

Tableau 4.3 – DRX : liens entre les largeurs à mi-hauteur de balayages ω (*rocking curves*) et la qualité cristalline de couches III-N hétéro-épitaxiées.

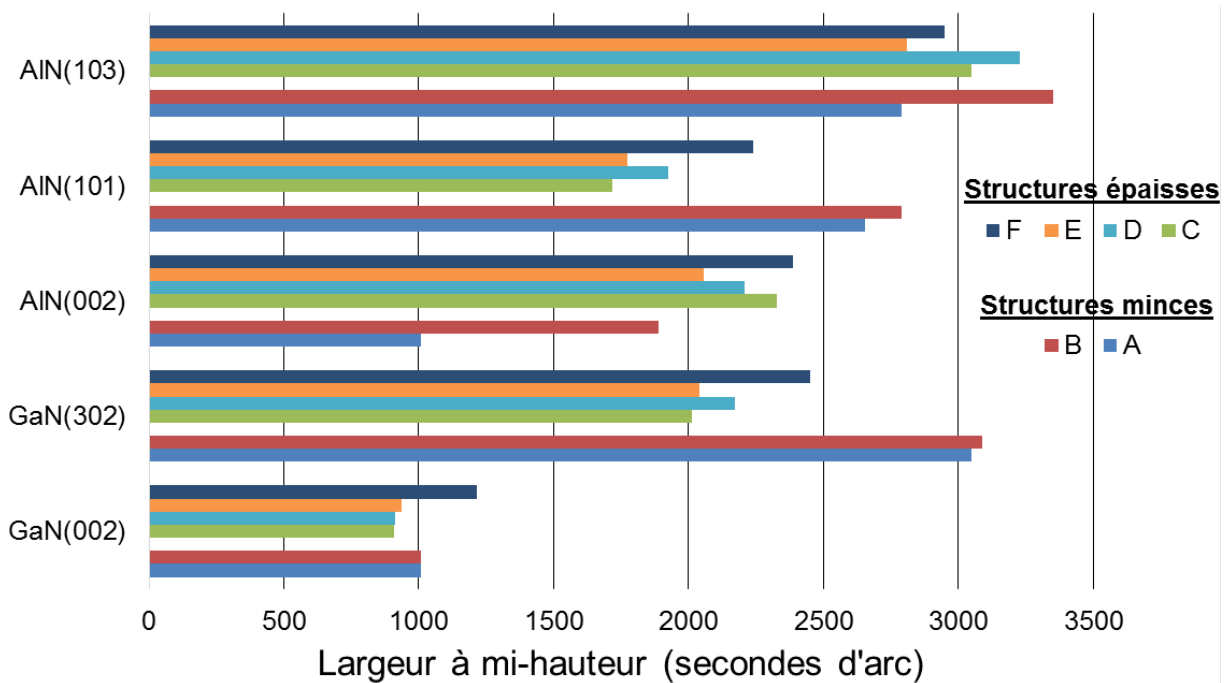


Figure 4.4 – DRX : Largeur à mi-hauteur de balayages ω [271].

Les LMHs correspondant aux échantillons du Tableau 4.2 sont présentées dans la Figure 4.4. La réduction de la température de croissance de l'AlN se matérialise par une forte augmentation de la LMH mesurée sur la raie (002) de l'AlN ($LMH_{AlN(002)}$) entre les plaques A et B, de 1008 à 1890 secondes d'arc. Cette augmentation conséquente (+ 90 %) contraste avec l'élargissement plus modéré des pics mesurés sur les raies asymétriques AlN(101) et AlN(103), à hauteur de 5 et 20 % respectivement. Cela pourrait être dû à la différence de configuration entre la mesure sur les raies symétriques et asymétriques (Tableau 4.3). En effet, en raison d'une incidence plus rasante du faisceau de photons X pour ces dernières, il est possible que la contribution de la partie supérieure de la couche de nucléation, c'est-à-dire la zone la moins défectueuse, domine plus largement le signal diffracté. Dans l'ensemble, ces variations indiquent une dégradation certaine de la qualité cristalline de la couche de nucléation. En revanche, sur ces deux mêmes échantillons, nous remarquons que les LMHs relatives à la couche tampon GaN présentent un écart inférieur à 2 %. Ainsi, il semble que la qualité cristalline de la couche tampon GaN ne soit pas significativement altérée par la dégradation observée sur la couche AlN sous-jacente. À ce stade, la raison pour laquelle, à basse température, une plus grande proportion de dislocations traversantes est éliminée entre la couche de nucléation AlN et la couche tampon GaN n'est pas claire. Une approche qui permettrait peut-être de remonter à l'origine de cette amélioration serait la mise en œuvre d'une étude statistique de la

microstructure de la couche GaN par microscopie électronique en transmission (la couche AlN étant trop défectueuse pour permettre de distinguer les mécanismes de filtrage des défauts). Cette étude n'a pas pu être menée en raison de l'indisponibilité de notre microscope (MET).

En résumé, pour ces structures minces, il est possible de réduire la température de croissance jusqu'à 830 °C tout en conservant une qualité cristalline standard dans la couche tampon GaN, au vu des pics de diffraction mesurés. De plus, à partir des $LMH_{GaN(302)}$, nous pouvons estimer de façon empirique une densité de dislocations traversantes (DDT) de l'ordre de $1,5 - 2,0 \cdot 10^{10} \text{ cm}^{-2}$ [272]. Enfin, au regard des rugosités RMS, estimées à partir d'images AFM $5 \times 5 \mu\text{m}^2$, la morphologie de surface ne semble pas être affectée par la réduction de la température de croissance de l'AlN (Figure 4.5).

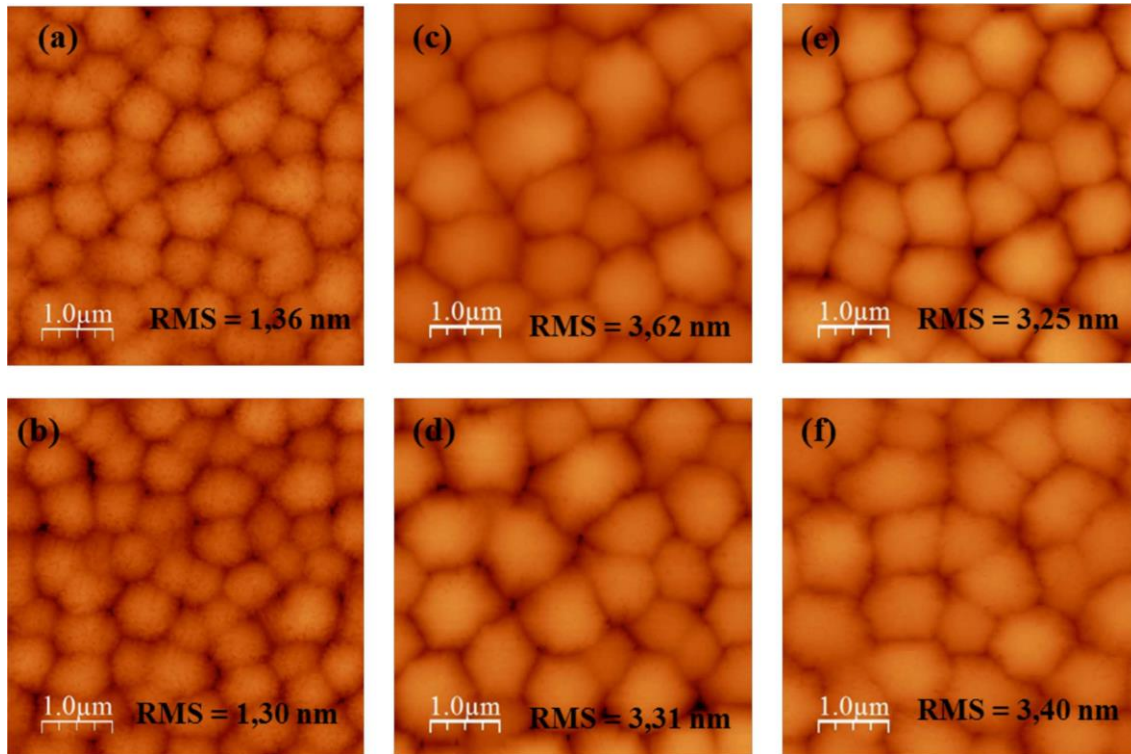


Figure 4.5 – AFM : Images $5 \times 5 \mu\text{m}^2$ de la surface des échantillons A (a) à F (f) obtenues en mode *tapping* [271].

Dans un deuxième temps, l'effet de l'épaississement de la couche tampon de 0,5 à 1,5 μm , permis par l'introduction des couches intercalaires AlN/AlGaIn, se matérialise par l'amélioration des LMHs entre les échantillons A et C, réduites d'environ 35 %, confirmant les observations d'autres auteurs sur des hétérostructures similaires [45]. Dans le même temps, nous observons entre ces deux échantillons une augmentation significative de la rugosité RMS, qui peut être expliquée par le mécanisme de rugosité cinétique décrit dans la référence [270]. L'effet

de la réduction de la température de croissance de l'AlN sur les structures épaisses est observé en comparant les échantillons C et D. En particulier, les LMHs des raies asymétriques de l'AlN subissent un élargissement de 6 à 12 % (Figure 4.4). De façon similaire aux structures minces, nous interprétons ce résultat comme une dégradation de la qualité cristalline, notamment de l'intercalaire AlN, en raison de l'incidence plus rasante pour ces raies. Cependant, contrairement aux structures minces, cette dégradation se retrouve également dans la LMH de la raie GaN(302) de l'échantillon D, élargie d'environ 150 secondes d'arc, soit 8 % par rapport à l'échantillon C. Autrement dit, la dégradation de la qualité cristalline de l'intercalaire AlN affecte notablement la qualité cristalline de la couche tampon GaN. Notons toutefois que, en dépit de cette dégradation, la qualité cristalline de la couche tampon demeure meilleure sur l'échantillon D que sur les structures minces A et B.

Dans un troisième temps, dans la continuité des résultats obtenus sur les structures minces, nous avons exploré la possibilité de réaliser des structures épaisses à 830 °C ou moins, sans dégradation de la qualité cristalline de la couche tampon. Dans cette perspective, l'intercalaire AlN a été épaissi, de 120 nm sur les échantillons C et D, à 200 nm sur l'échantillon E. L'effet de cet épaississement sur $LMH_{GaN(302)}$ est bien visible, puisque celle-ci est réduite de 2171 secondes d'arc sur D, à 2041 secondes sur E, c'est-à-dire à une largeur comparable à celle obtenue lorsque l'AlN est épitaxié à 920 °C ($LMH_{GaN(302)} = 2012$ secondes sur l'échantillon C). Ainsi, la qualité cristalline de la couche tampon GaN semble être conservée en dépit de la dégradation observée sur l'intercalaire AlN suite à la réduction de la température de croissance. D'après les valeurs $LMH_{GaN(302)}$ mesurées sur les échantillons C et E, nous pouvons estimer de façon empirique une DDT voisine de 6.10^9 cm^{-2} , soit environ 3 fois moins que sur les structures minces A et B [272]. De plus, la rugosité RMS de la surface des échantillons C à E, comprise entre 3,2 et 3,6 nm, ne nous permet pas de mettre en évidence une modification de la morphologie de surface liée à la réduction de la température de croissance de l'AlN.

Enfin, nous avons exploré la possibilité de réduire davantage la température de croissance de l'AlN, grâce à la couche intercalaire AlN plus épaisse (200 nm). L'échantillon F a été fabriqué dans cette optique, avec une température de croissance réduite à 800 °C pour l'AlN. Dans ce cas, nous observons un élargissement conséquent des pics de diffraction à la fois

pour l'AlN et pour le GaN (Figure 4.4). Plus particulièrement, les LMHs symétriques et asymétriques relatives à la couche tampon GaN augmentent de 20 à 30 %.

En conclusion, au regard des propriétés structurales, évaluées par DRX, il semble que la température de 830 °C constitue la limite basse pour la croissance de l'AlN dans le cadre de la fabrication d'hétérostructures AlGaIn/GaN par NH₃-MBE.

4.3.3 Évolution des propriétés électriques

De nombreuses études se sont intéressées au lien entre la qualité cristalline des hétérostructures AlGaIn/GaN et les caractéristiques électriques de transistors HEMTs GaN issus de ces hétérostructures. En particulier, la présence de dislocations traversantes est susceptible de dégrader les propriétés de transport du 2DEG, telles que la mobilité électronique, ou encore les courants de fuite des dispositifs [45, 266]. C'est pourquoi nous avons étudié ces propriétés sur les différentes hétérostructures réalisées, à travers notamment la fabrication de transistors (Figure 4.6b), dont le procédé de fabrication est décrit dans l'Annexe A.

	Symbole	Unités	A	B
Mesures C-V (bille de mercure)				
Tension de pincement	V_P	V	-3,6	-3,4
Densité du 2DEG	N_s	$\times 10^{12} \text{ cm}^{-2}$	7,3	6,7
Dopage résiduel	N_D	$\times 10^{14} \text{ cm}^{-3}$	11	7
Mesures d'Effet Hall				
Résistance de feuille	R_{sh}	Ω / \square	706	695
Densité du 2DEG	N_s	$\times 10^{12} \text{ cm}^{-2}$	7,2	7,3
Mobilité électronique	μ	$\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$	1235	1254
Mesures TLM				
Résistance de contact	R_C	$\Omega \cdot \text{mm}$	0,60	0,66
Résistance de feuille	R_{sh}	Ω / \square	728	664
Mesures I(V) sur des transistors ($L_G = 3 \mu\text{m}$, $L_{SD} = 12 \mu\text{m}$, $W = 0,15 \text{ mm}$)				
Courant de saturation ($V_{GS} = 0 \text{ V}$)	I_{DSS}	A/mm	0,19	0,20
Fuites de grille ($V_{GS} = -7 \text{ V}$, $V_{DS} = 15 \text{ V}$)	$I_{GS,OFF}$	$\mu\text{A/mm}$	2,8	1,5
Fuites de drain ($V_{GS} = -7 \text{ V}$, $V_{DS} = 15 \text{ V}$)	$I_{DS,OFF}$	$\mu\text{A/mm}$	50	1,2
Transconductance	$g_{m,max}$	mS/mm	87	84
Tension de claquage ($V_{GS} = -7 \text{ V}$)	V_{BR}	V	110	181

Tableau 4.4 – Caractérisation électrique des structures minces [271].

Les résultats des caractérisations électriques effectuées sur les structures minces sont synthétisés dans le Tableau 4.4. Tout d'abord, nous constatons que, quelle que soit la méthode (effet Hall, $C(V)$), nous obtenons une densité N_s autour de $7.10^{12} \text{ cm}^{-2}$ pour les deux échantillons. De même, des mobilités électroniques relativement proches, de 1235 et $1254 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$, sont extraites sur les échantillons A et B respectivement. Par conséquent, une résistance de feuille d'environ $700 \Omega / \square$ est mesurée sur les deux échantillons, dans la norme pour ce type de structures. Pour comparaison, il est aussi possible de se référer à l'échantillon PTC 700, fabriqué avec le même procédé que l'échantillon A, mais dans le cadre de la thèse de P. Leclaire [266]. Enfin, la mesure $C(V)$ indique une densité résiduelle de donneurs réduite d'environ 35 % sur l'échantillon B, à $7.10^{14} \text{ cm}^{-3}$, la densité de donneurs résiduelle sur la référence PTC700 étant de $8.10^{14} \text{ cm}^{-3}$.

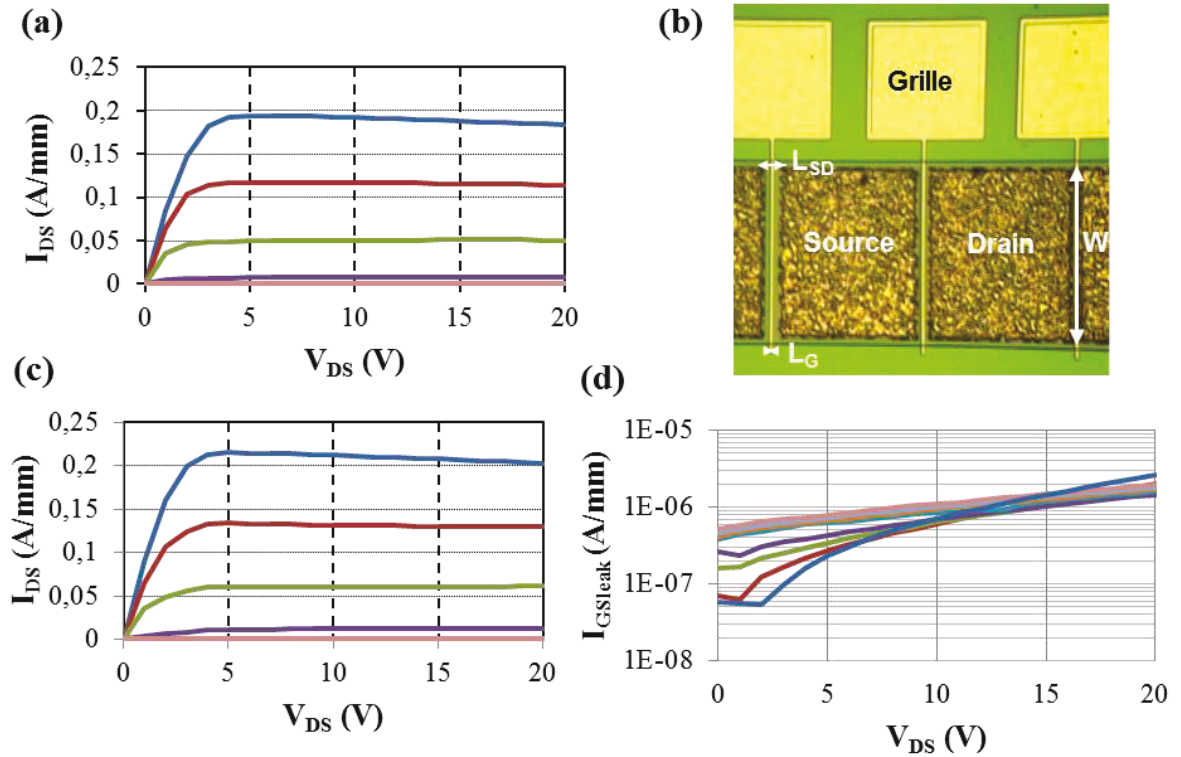


Figure 4.6 – Structures minces : caractéristiques de sortie de HEMTs GaN (V_{GS} de -7 à 0 V , $\Delta V = 1 \text{ V}$), de dimensions $L_G = 3 \mu\text{m}$, $L_{SD} = 12 \mu\text{m}$, $W = 0,15 \text{ mm}$, mesurées sur (a) A et (c,d) B. Microscope optique : (b) Vue de dessus des composants tests.

La Figure 4.6 présente les caractéristiques de sortie statiques de transistors HEMTs GaN réalisés sur A et B, comportant des grilles de longueur $L_G = 3 \mu\text{m}$ définies dans un espacement S/D de $12 \mu\text{m}$. Les résistances de contact ont été reportées dans le Tableau 4.4, entre $0,6$ et $0,7 \Omega \cdot \text{mm}$. Les tensions de pincement mesurées sont comprises entre -3 et -4 V ,

conformément aux tensions extraites à partir des mesures $C(V)$. Nous obtenons des caractéristiques de sortie normales pour ce type de composant, et apparemment très similaires (tension de coude, courant de saturation, etc.). De plus, ces caractéristiques sont très proches de celles obtenues sur PTC 700 avec des composants de dimensions comparables [266]. Les transistors A et B se différencient notamment par leurs caractéristiques sous le seuil, le transistor B présentant un courant de fuite inférieur d'un facteur 2 sur la grille et d'au moins un facteur 40 sur le drain, conduisant à des rapports I_{ON}/I_{OFF} de 4.10^3 et 2.10^5 pour A et B respectivement. Ce résultat est cohérent avec les tensions de claquage sensiblement plus élevées (jusqu'à 71 V supplémentaires) mesurées sur les transistors de l'échantillon B en pincement profond ($V_{GS} = -7$ V), ce qui suggère une meilleure résistivité des couches tampons pour cet échantillon (Figure 4.10).

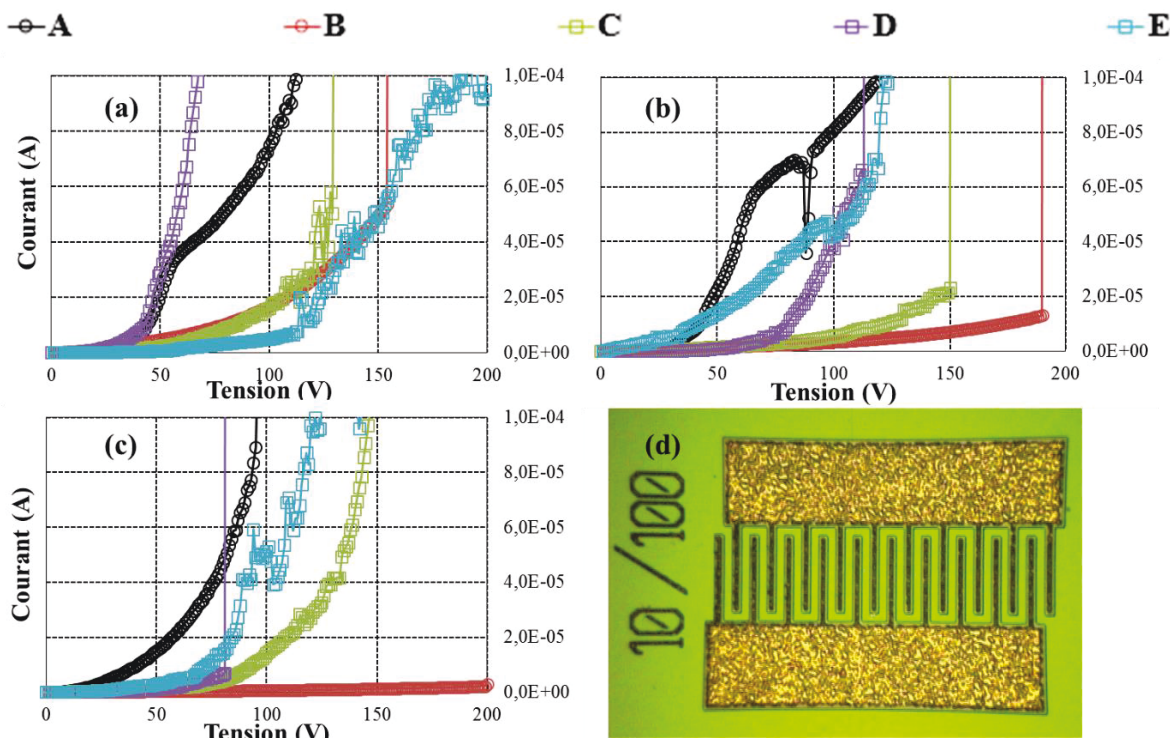


Figure 4.7 – Courbes $I(V)$ mesurées sur des peignes inter-digités présentant un espacement de (a) 5 (b) 10 et (c) 20 μm . Microscope optique : (d) vue de dessus d'une structure test présentant des doigts de $10 \times 100 \mu\text{m}$ séparés par un espacement de 10 μm .

Ceci est confirmé par les mesures d'isolation sur des peignes inter-digités présentant différents espacements (Figure 4.7). En effet, à mesure que l'espacement entre les doigts augmente, le champ électrique se propage davantage dans les couches situées en profondeur [266]. Quel que soit l'espacement, pour des tensions élevées, un claquage vertical

peut être observé lorsque le champ électrique atteint l'interface AlN/Si, claquage caractérisé par une brusque augmentation du courant. Nous remarquons ainsi que le courant de fuite à travers les couches tampons augmente rapidement dans le cas de l'échantillon A, quel que soit l'espacement (Figure 4.7). Aussi, un courant de fuite équivalent à 1 mA / mm est atteint bien avant que le champ électrique n'ait sondé l'interface AlN/Si. Au contraire, un courant plus faible est mesuré sur les couches tampons de l'échantillon B, permettant d'observer un claquage vertical de la structure, via le substrat Si. De plus, le courant diminue à mesure que l'espacement augmente, de l'ordre de 20 $\mu\text{A} / \text{mm}$ à 200 V pour l'espacement maximum, ce qui confirme la bonne qualité électrique des couches situées en profondeur, en l'occurrence la couche de nucléation AlN, en dépit de sa qualité structurale dégradée mise en évidence par DRX (§4.3.2).

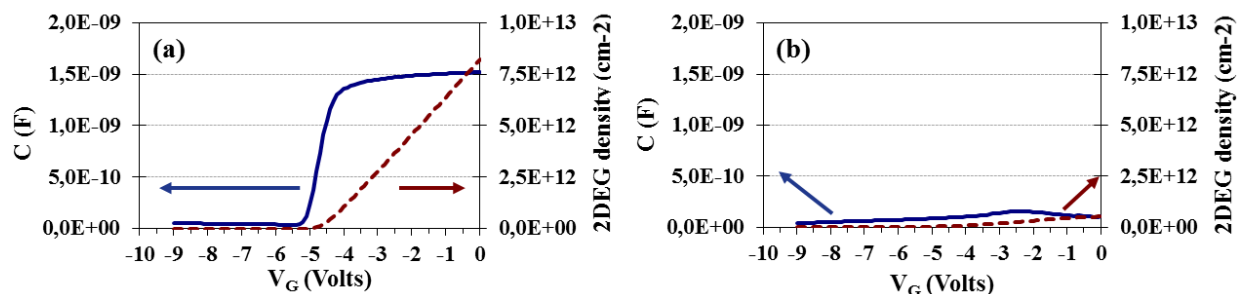


Figure 4.8 – Structures épaisses : mesure $C(V)$ à la bille de mercure effectuées à 10 kHz sur (a) C et (b) F [271].

Ces améliorations coïncident avec une diminution de plus d'un ordre de grandeur de la concentration en Si dans la couche AlN, suite à la réduction de la température de croissance, constatée par l'analyse SIMS des structures minces de cette étude (Figure 5.14). Par conséquent, il est probable que cette réduction de température limite efficacement la diffusion/ségrégation du silicium du substrat vers la couche AlN pendant la croissance, améliorant significativement la résistivité de celle-ci. Dans la littérature, une telle corrélation entre température de croissance et résistivité de la couche tampon a déjà été observée sur des structures réalisées par PAMBE, technique permettant de fabriquer des hétérostructures à relativement basse température (§2.2.4) [264].

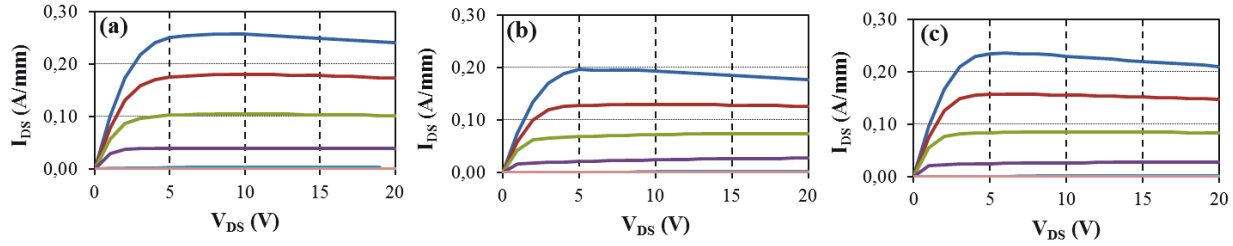


Figure 4.9 – Structures épaisses : caractéristique de sortie de HEMTs GaN (V_{GS} de -7 à 0 V, $\Delta V = 1$ V), de dimensions $L_G = 3 \mu\text{m}$, $L_{SD} = 12 \mu\text{m}$, $W = 0,15$ mm, mesurées sur (a) C (b) D et (c) E [271].

Les résultats des caractérisations électriques réalisées sur les structures épaisses sont présentés dans le Tableau 4.5. L'échantillon F a été écarté de cette campagne de caractérisation en raison de l'absence de signature claire de la présence d'un gaz 2D lors de la mesure $C(V)$ (Figure 4.8), ce qui est cohérent avec la dégradation importante de la qualité cristalline des couches, indiquée par les expériences DRX. En revanche, les échantillons D et E présentent des caractéristiques $C(V)$ similaires à celles de l'échantillon C, notamment un pincement abrupt, la capacité diminuant d'environ un facteur 16 en $0,7$ V. La Figure 4.9 présente les caractéristiques de sortie statiques de HEMTs GaN réalisés sur C, D et E, dont les dimensions sont identiques à celles des transistors fabriqués sur les structures minces. L'effet de l'épaississement est visible à travers le courant de saturation du transistor C à $0,26$ A / mm, amélioré de 37% par rapport à celui du transistor A (Tableaux 4.4 et 4.5), ce qui pourrait être attribué à une meilleure qualité cristalline de la couche tampon GaN sur les structures épaisses (Figure 4.4), notamment une diminution de la DDT proche du gaz 2D ($\mu \uparrow$) et une diminution des résistances d'accès (Figure 2.17) grâce à l'augmentation de la densité du 2DEG ($N_s \uparrow$) [266]. Les tensions de pincement varient entre $-4,2$ et $-4,8$ V, contre $-3,4$ et $-3,6$ V sur les structures minces, ce qui est cohérent avec l'augmentation de N_s , avec un maximum de $8,9 \cdot 10^{12} \text{ cm}^{-2}$ mesuré sur l'échantillon E (Tableau 4.5). Contrairement aux structures minces, les mesures TLMs et d'effet Hall n'ont pas abouti, à cause de la présence de fissures et de microparticules métalliques que nous attribuons à un dysfonctionnement de la cellule d'aluminium pour les 3 échantillons de cette série. Cela est sans incidence, puisque nous savons que, selon le dessin de la barrière (composition, épaisseur), des densités N_s comprises entre 8 et $10 \cdot 10^{12} \text{ cm}^{-2}$ sont obtenues sur des structures épaisses standards (échantillon C), associées à des mobilités de l'ordre de $1800 - 2000 \text{ cm}^2 \cdot (\text{V} \cdot \text{s})^{-1}$, c'est-à-dire une résistance de feuille variant typiquement entre 350 et

450 Ω / \square [72]. Or, l'ensemble des structures épaisses réalisées à basse température dans le Chapitre 5 présente des performances comparables à ces valeurs (Tableau 5.6).

	Symbole	Unités	C	D	E
Mesures C-V (bille de mercure)					
Tension de pincement	V_P	V	-4,6	-4,2	-4,8
Densité du 2DEG	N_s	$\times 10^{12} \text{ cm}^{-2}$	8,2	7,8	8,9
Dopage résiduel	N_D	$\times 10^{14} \text{ cm}^{-3}$	1,5	1,6	6,1
Mesures I(V) sur des transistors ($L_G = 3 \mu\text{m}$, $L_{SD} = 12 \mu\text{m}$, $W = 0,15 \text{ mm}$)					
Courant de saturation ($V_{GS} = 0 \text{ V}$)	I_{DSS}	A/mm	0,26	0,21	0,24
Fuites de grille ($V_{GS} = -7 \text{ V}$, $V_{DS} = 15 \text{ V}$)	$I_{GS,OFF}$	$\mu\text{A/mm}$	13	9,1	3,4
Fuites de drain ($V_{GS} = -7 \text{ V}$, $V_{DS} = 15 \text{ V}$)	$I_{DS,OFF}$	$\mu\text{A/mm}$	7,6	1,4	1,1
Transconductance	$g_{m,max}$	mS/mm	71	60	81
Tension de claquage ($V_{GS} = -7 \text{ V}$)	V_{BR}	V	> 200	70	> 200

Tableau 4.5 – Caractérisation électrique des structures épaisses [271].

Considérant la durée de croissance allongée des structures épaisses (2 heures supplémentaires), nous pourrions nous attendre à une présence plus importante des donneurs résiduels dans la couche tampon des échantillons C, D et E. Dans ce cas, nous observerions notamment une dégradation des courants de fuite, ainsi qu'une diminution des tensions de claquage. Cependant, sur le transistor C, une tension V_{BR} supérieure à 200 V peut être mesurée (Tableau 4.5), contre 110 V précédemment sur l'échantillon A (Tableau 4.4). De plus, le courant de fuite sur le drain est réduit de 50 à 8 $\mu\text{A} / \text{mm}$ entre ces deux échantillons, améliorant le rapport I_{ON}/I_{OFF} de 4.10^3 à 3.10^4 . Ce résultat signifie que les couches intercalaires placées entre le substrat Si et la couche tampon GaN limitent efficacement la diffusion/ségrégation du silicium à travers la structure, confirmant des observations antérieures sur des hétérostructures similaires [273]. Les performances statiques des HEMTs GaN semblent être affectées par la qualité cristalline de la couche tampon GaN. En effet, la plus grande valeur de $LMH_{GaN(302)}$, mesurée sur l'échantillon D (Figure 4.4), correspond à une chute de 20 % du courant de saturation par rapport au transistor C. De plus, l'amélioration de la qualité cristalline constatée sur l'échantillon E coïncide avec une hausse du courant de saturation de 0,19 A / mm mesuré sur le transistor D à 0,24 A / mm sur E, ce qui est relativement proche de la valeur obtenue sur le transistor C ($I_{DSS} = 0,26 \text{ A} / \text{mm}$). Notons que la densité du 2DEG des hétérostructures AlGaIn/GaN suit une évolution similaire à celle du courant de saturation des HEMTs GaN (Tableau 4.5).

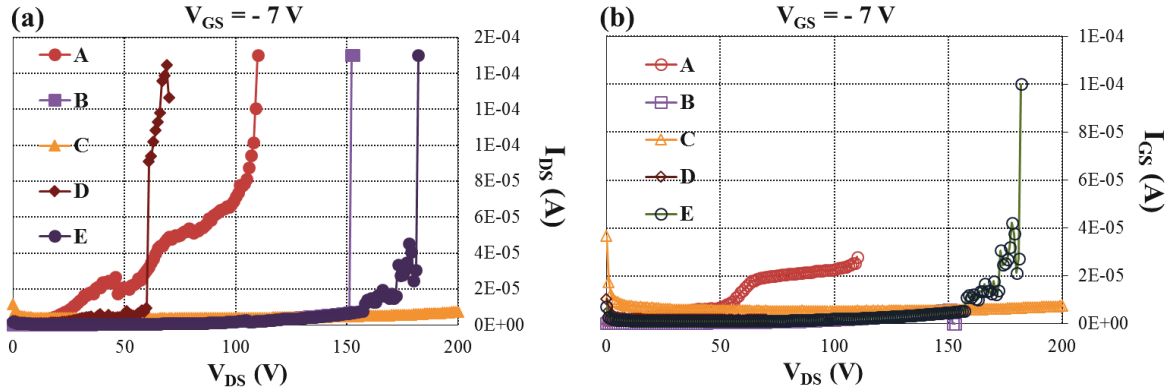


Figure 4.10 – Courbes (a) $I_{DS}(V_{DS})$ et (b) $I_{GS}(V_{DS})$ conduisant au claquage d'un transistor, en configuration latérale.

Pour l'ensemble des structures épaisses, nous mesurons une densité de donneurs résiduels bien en-dessous de $1.10^{15} \text{ cm}^{-3}$, à des niveaux habituels pour ce type d'hétérostructures [72]. Cependant, l'échantillon E se distingue par des courants de fuite réduits (à $V_{GS} = -7 \text{ V}$ et $V_{DS} = 15 \text{ V}$) par rapport à l'échantillon C : le courant de grille décroît d'un facteur 4 environ tandis que le courant de drain diminue d'un facteur 7, conduisant à un rapport I_{ON}/I_{OFF} de 2.10^5 sur E contre 3.10^4 sur C (Tableau 4.5). Toutefois, cette amélioration est nettement moins marquée que dans le cas des structures minces, en particulier pour le courant de fuite sur le drain (Tableau 4.4). De plus, les mesures d'isolation ne permettent pas de relier celle-ci à une meilleure qualité électrique des couches tampons. En effet, le courant de fuite, initialement meilleur sur l'échantillon E pour un espacement de $5 \mu\text{m}$ entre les doigts des peignes, se dégrade progressivement avec l'augmentation de l'espacement et de la tension appliquée, par rapport à celui de l'échantillon C (Figure 4.7). La présence des défauts précédemment évoqués sur ces échantillons est peut-être responsable de ce comportement. La Figure 4.10 montre la caractéristique conduisant au claquage d'un transistor sur les échantillons de cette étude. Avant la dégradation des courants de grille et de drain conduisant au claquage latéral du transistor E, donc entre 0 et 100 V, le courant de fuite est significativement réduit, d'environ un ordre de grandeur par rapport à celui de l'échantillon C, ce qui suggère une bonne résistivité des couches tampons. Aussi, il est possible que, dans le cas de l'échantillon E, la tension de claquage soit davantage limitée par la qualité structurale (notamment la DDT) dans la structure que par la résistivité des couches tampons. Par conséquent, l'incorporation limitée de Si dans la couche de nucléation AlN de l'échantillon E pourrait être masquée par la présence de zones de transition plus défectueuse au niveau des interfaces introduites par les intercalaires

(GaN – AlN et AlN – AlGaN). Cela va dans le sens des mesures d'isolation (Figure 4.7) et de claquage (Figure 4.10) effectuées sur l'échantillon D, qui présente une qualité cristalline sensiblement dégradée par rapport à C ([Figure 4.4](#)). Par ailleurs, il avait déjà été remarqué au cours de la thèse de P. Leclaire que la fabrication de structures avec intercalaires (PTC 705, PTC 721) est plus complexe, et peut conduire à des courants de fuite accrus et à des claquages prématurés lorsque le procédé n'est pas optimisé.

4.3.4 Conclusions de l'étude

La température de croissance de l'AlN par NH_3 -MBE a été réduite de 920 °C (cas standard) à 800 °C (température de croissance de GaN), tandis que celles des couches de GaN et d'AlGaN n'ont pas été modifiées. L'effet de cette réduction sur la qualité cristalline des couches constituant les hétérostructures AlGaN/GaN a été étudié pour des structures minces d'une épaisseur d'environ 0,7 μm , et pour des structures épaisses – incluant un intercalaire AlGaN/AlN – d'environ 2 μm d'épaisseur. Pour les deux types de structures étudiées, nous sommes parvenus à conserver une qualité cristalline de la couche tampon GaN quasi-standard jusqu'à 830 °C, moyennant un épaississement de l'intercalaire AlN de 120 à 200 nm dans le cas des structures épaisses. À 800 °C, nous observons cependant une dégradation conséquente de l'ensemble des couches constituant l'hétérostructure, fixant la limite basse pour la croissance d'AlN autour de 830°C.

Les caractérisations structurales ont été complétées par des caractérisations électriques, à travers notamment la fabrication de transistors HEMTs GaN sur les différents échantillons. Au premier abord, les propriétés de transport du 2DEG ne semblent pas dégradées par les modifications du procédé de croissance. Nous obtenons des caractéristiques de sortie et de transfert normales sur les échantillons dont la température de croissance de l'AlN a été réduite à 830 °C, similaires à celles obtenues sur des transistors issus d'un procédé de croissance standard. Certaines caractéristiques électriques se trouvent significativement améliorées suite à la modification du procédé, telles que les courants de fuite et les tensions de claquage des structures minces, ce qui est certainement dû à une diffusion/ségrégation limitée du silicium du substrat vers les couches tampons, suite à la réduction de la température de croissance. En ce qui concerne les structures épaisses, l'effet de la réduction de température et de l'épaississement de l'intercalaire AlN sur la tenue à haute tension (courants de fuite, mécanismes de claquage) reste à approfondir.

Ainsi, le budget thermique de la croissance d'hétérostructures AlGaIn/GaN a été significativement réduit, d'environ un ordre de grandeur par rapport aux procédés standards utilisés au laboratoire (Tableau 4.6). De plus, les HEMTs GaN fabriqués par les procédés à basse température sont fonctionnels en vue de leur intégration avec des circuits CMOS.

Budget thermique (Dt)	Unités	HT mince	BT mince	HT épaisse	BT épaisse
Longueur de diffusion (x)					
$(Dt)_{Total}$	$\times 10^{-12} \text{ cm}^2$	12	0,9	10	1,1
$l_{diff,Total}$	nm	70	19	64	21

Tableau 4.6 – Budget thermique et longueur de diffusion caractéristique ($x \sim 2\sqrt{Dt}$) relatifs à la diffusion du bore dans Si, selon l'application d'un procédé basse température (BT, $T_{AlN} = 830$ °C) ou haute température (HT, $T_{AlN} = 920$ °C) et le type de structures (mince ou épaisse). Ces valeurs sont estimées à partir des données et équations fournies dans [§3.5.2](#).

4.4 Recuits sous ammoniac

4.4.1 Cadre de l'étude

Au premier ordre, les budgets thermiques des procédés à basse température (BT) pour les structures mince et épaisse sont très similaires (Tableau 4.6). En effet, le budget thermique ajouté lors de la croissance de structures épaisses correspond à la croissance de GaN à 800 °C pendant 2 heures supplémentaires. Étant données les énergies d'activation, la diffusion est relativement limitée à cette température. De plus, les budgets thermiques relatifs au bore et au phosphore ne divergent pas significativement en principe car les énergies d'activation sont suffisamment proches (Tableau 4.7) [228]. Au contraire, l'arsenic se distingue de ces impuretés par une diffusion nettement plus lente, en raison d'une énergie d'activation plus élevée, se traduisant par un coefficient D réduit d'un ordre de grandeur environ par rapport à B et P.

Budget thermique (Dt)	Unités	B	P	As
Longueur de diffusion (x)				
$(Dt)_{Total}$	$\times 10^{-12} \text{ cm}^2$	1,1	0,80	0,06
$l_{diff,Total}$	nm	21	18	5

Tableau 4.7 – Comparaison des budgets thermiques et longueurs de diffusion de différents dopants pendant la croissance de structures HEMTs GaN épaisses à basse température.

Dans un premier temps, nous étudierons l'évolution des profils de dopant par simulation. En effet, jusqu'à présent, et dans les différentes solutions analytiques présentées dans la

littérature, nous considérons des coefficients de diffusion D indépendants du temps et de la position. Dans un procédé réel, D n'est pas constant au cours du temps, même si la température ne varie pas, et peut dépendre de la concentration, de phénomènes anormaux liés à l'implantation ionique (ex : *Transient enhanced diffusion*) et de bien d'autres effets [228]. Par conséquent, dans le cas où D n'est pas constant, l'unique moyen de calculer précisément l'évolution des profils de dopants pendant un recuit est la simulation numérique. Toutefois, les outils de simulation présentent également certaines limites, surtout lorsqu'il s'agit de modéliser des procédés inhabituels dans l'industrie ou la recherche (ex : recuit d'interface Si/SiO₂ sous NH₃, dans un réacteur MBE) [274]. Nous savons par exemple que, dans le cas d'un recuit sous atmosphère oxydante, la diffusion des dopants est fortement améliorée à l'interface Si/SiO₂ (*Oxidation enhanced diffusion*), phénomène notamment utilisé dans le procédé CMOS/SOI de l'UCL (Tableau 4.8) [69, 228]. Dans les années 80 – 90, des effets similaires ont été identifiés lors du recuit de telles interfaces sous NH₃, dans le cadre de la fabrication de diélectriques de grille en oxynitrides (*Oxynitridation enhanced diffusion*) [275]. Ces études ont également démontré que ce mode de fabrication des oxynitrides pouvait introduire des instabilités de l'interface SiO_xN_y/Si, dépendantes des paramètres de nitruration. C'est pourquoi, dans un deuxième temps, nous étudierons expérimentalement l'impact du recuit sous NH₃ sur des dispositifs NMOS, en termes de diffusion et de dégradation de l'interface Si/SiO₂.

4.4.2 Simulation

Préalablement à cette étude expérimentale, quelques simulations avaient été effectuées à l'UCL grâce à un modèle de composant (NMOS/SOI) réalisé sur Silvaco (Figure 4.11), afin d'évaluer la stabilité de cette technologie avant et après un recuit à haute température (900 °C) pendant 180 minutes dans une atmosphère inerte. Ce budget thermique est quasi équivalent à celui d'une croissance HT (Tableau 4.6). D'après ces premières simulations (Figure 4.11), les concentrations de dopants dans les différentes régions actives du composant (arsenic pour les régions S/D de type N, bore pour le canal de type P) sont relativement stables, ce qui se traduit au niveau de la caractéristique de transfert par une tension de seuil V_{TH} et un rapport I_{ON}/I_{OFF} dans les spécifications du procédé après le recuit.

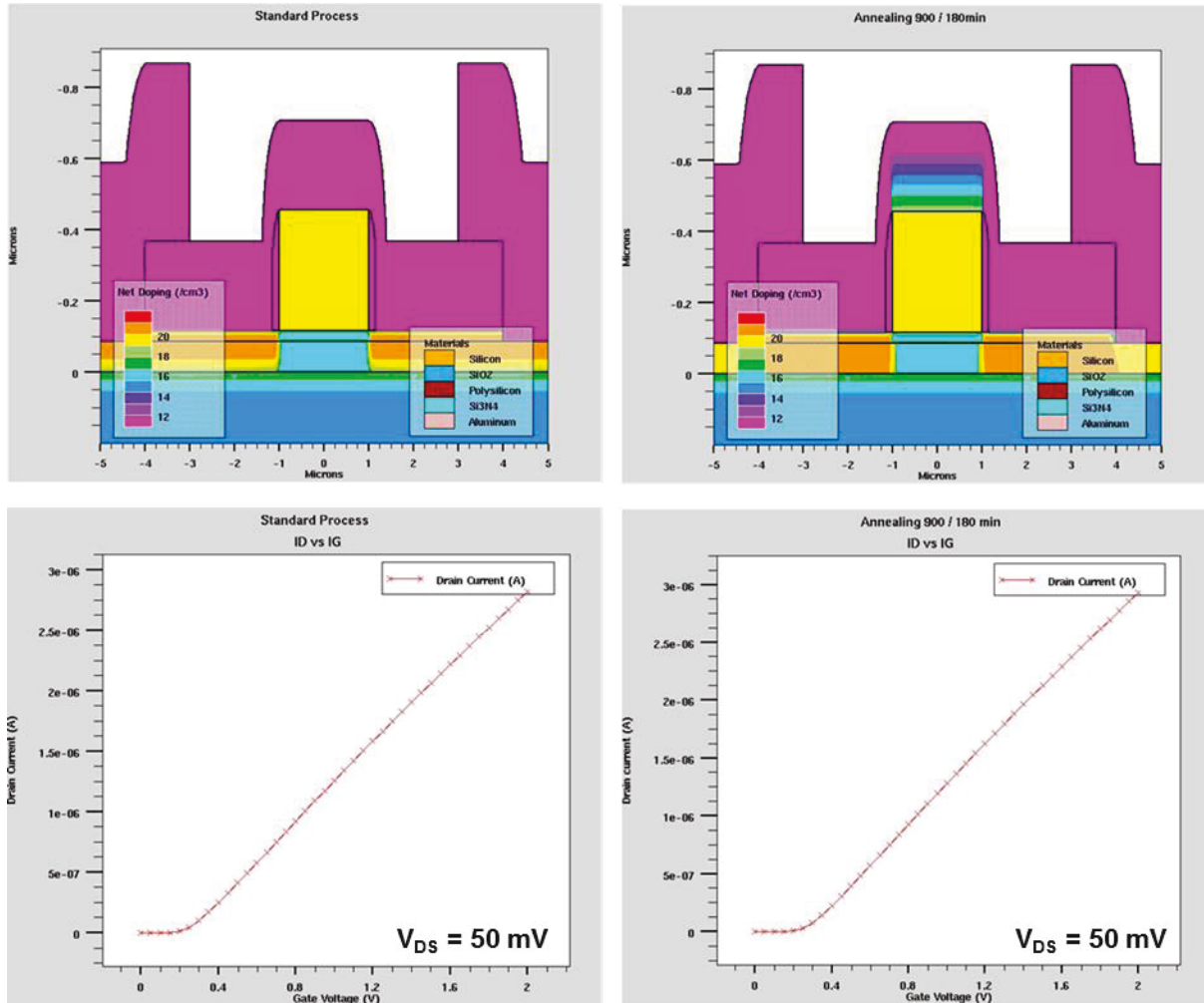


Figure 4.11 – Simulations de procédés avec Silvaco (ATHENA) puis simulations électriques (ATLAS) de l'effet d'un recuit haute température sur les caractéristiques électriques d'un NMOS/SOI.

Dans cette étude, nous souhaitons évaluer le bénéfice d'un budget thermique réduit lors de la croissance des hétérostructures, à travers l'évolution des profils de concentration dans les zones S/D des CMOS, qui serviront de base à la discussion des résultats expérimentaux. Les simulations seront effectuées grâce au simulateur de procédés 2D Athena disponible dans Silvaco. Comme mentionné ci-dessus, le bore diffuse en général plus rapidement que le phosphore, même lorsque l'espèce BF_2 est implantée, précisément dans le but de limiter l'élargissement des zones S/D de PMOS [251]. À travers l'évolution des profils de bore, nous évaluons donc la situation la plus critique en termes de budget thermique. Les différents budgets considérés dans cette étude sont résumés dans le Tableau 4.8, sur la base des procédés de croissance et des procédés MOS mis en œuvre dans le projet. Notons que, pour Athena, il n'y a

en principe aucune différence entre un recuit sous NH_3 et un recuit sous atmosphère inerte (N_2 , Ar) [274], contrairement aux résultats expérimentaux reportés dans la littérature [276].

Dénomination	950 °C	920 °C	850 °C	800 °C
Recuit de diffusion NMOS	30' (N_2)			
Recuit de diffusion CMOS			20' (O_2) 170' (Ar)	
Structure mince BT			120' (NH_3)	60' (NH_3)
Structure mince HT		120' (NH_3)		60' (NH_3)
Structure épaisse BT		120' (NH_3)		180' (NH_3)
Structure épaisse HT		100' (NH_3)		180' (NH_3)

Tableau 4.8 – Budgets thermiques considérés dans l'étude.

Pour ces simulations, nous nous sommes basés sur une température basse de croissance de 850 °C pour l'AlN, et non sur la température limite fixée à 830 °C dans l'étude précédente. Ce choix sera réitéré pour les recuits expérimentaux et vise à évaluer la possibilité de fabriquer les hétérostructures à 850 °C sans dérive notable des CMOS. En effet, au vu de la dégradation possible de la qualité cristalline des hétérostructures dans cette gamme de température (800 – 830 °C), une marge de sécurité sur la température de croissance serait appréciable. De plus, nous pensons que la réduction de budget thermique devrait être suffisante avec cette température de croissance, au regard des températures utilisées pour la diffusion des zones S/D dans les procédés NMOS et CMOS considérés pour le projet (Tableau 4.8), et compte tenu des simulations réalisées à l'UCL (Figure 4.11). La Figure 4.12 décrit le profil des dopants après application de différents budgets thermiques reportés dans le Tableau 4.8. En comparant les structures mince et épaisse d'un même procédé (HT ou BT), il est clair que le budget thermique lié à la croissance de GaN et AlGaIn à 800 °C n'induit qu'une très faible diffusion, les concentrations en surface étant identiques et le décalage en profondeur – de l'ordre de 10 nm – négligeable devant les dimensions des MOSFETs considérés dans le projet ($L_g > 1 \mu\text{m}$). Il n'est donc pas nécessaire de distinguer les profils des structures épaisses et des structures minces, conformément aux budgets reportés dans le [Tableau 4.7](#). De plus, la Figure 4.12 met d'ores et déjà en évidence l'effet de la réduction de température du procédé de croissance : le décalage des profils en profondeur est de l'ordre de 200 nm pour le bore et de l'ordre de 100 nm pour l'arsenic entre les procédés HT et BT. Pour le MOSFET, cela signifie que la réduction de la longueur effective de la grille et l'augmentation de la profondeur de jonction due à la diffusion sera nettement moins prononcée avec le procédé BT. Enfin, nous constatons que la profondeur

des régions S/D est 2 à 3 fois inférieure dans le cas de l'arsenic par rapport au cas du bore, comme nous pouvions nous y attendre à partir des coefficients de diffusion.

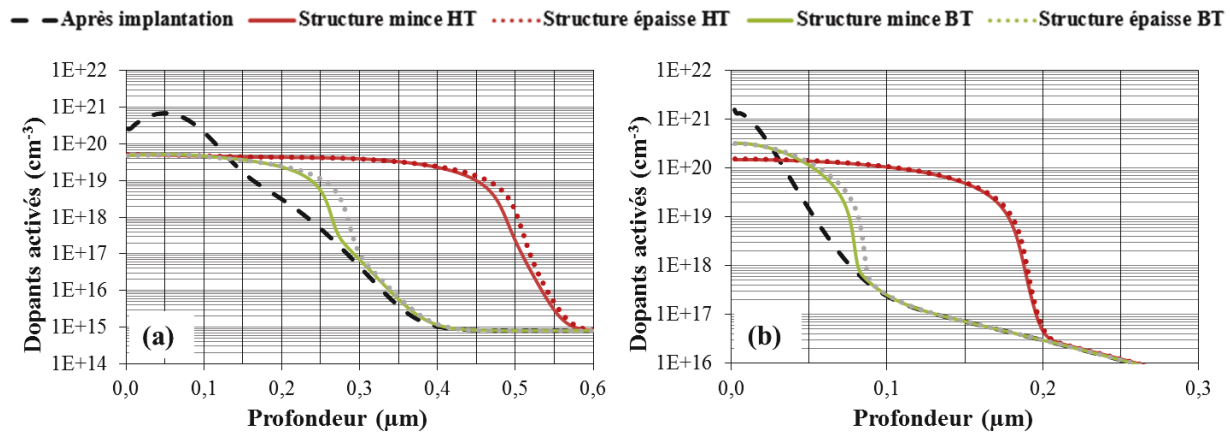


Figure 4.12 – Profils de concentration après implantation (a) de bore et (b) d'arsenic et évolution de ces profils suite à l'application de différents budgets thermiques.

Dans le cas où le budget thermique de la croissance s'ajoute au recuit de diffusion des régions S/D des CMOS (Figure 4.13), nous notons une diminution de 20 % de la concentration de surface en arsenic après la croissance BT, contre environ 50 % après une croissance HT, avec un décalage en profondeur des profils de l'ordre de 25 nm et de 75 nm respectivement. Concernant les concentrations de bore, une diminution de l'ordre de 30 % est calculée en surface pour les deux procédés, mais l'extension des profils en profondeur est limitée à un peu plus de 50 nm à basse température, contre presque 200 nm après une croissance HT. Ces résultats suggèrent que la réduction de la longueur de grille effective des MOSFETs sera limitée suite à la croissance BT, à un maximum d'environ 100 – 150 nm dans le cas de p-MOSFETs.

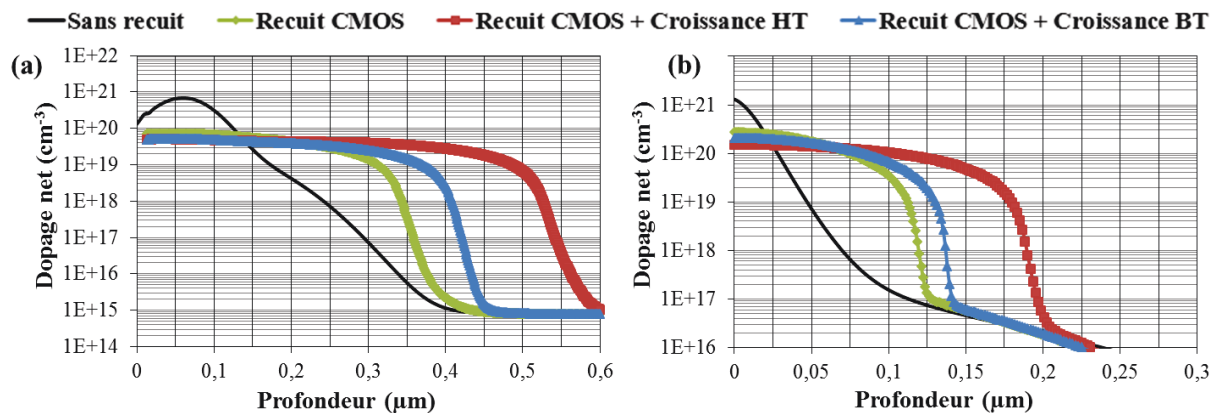


Figure 4.13 – Modification des profils de concentration (a) du bore et (b) de l'arsenic après recuit de diffusion CMOS et application d'un procédé de croissance BT ou HT.

Enfin, selon le dessin des composants MOS, il peut être intéressant de limiter davantage la diffusion thermique. Dans ce cas, nous montrons par simulation qu'il est possible d'utiliser le budget thermique de la croissance pour l'activation des dopants (Figure 4.14). Les concentrations de dopants en surface sont de 70 % pour le bore et 115 % pour l'arsenic par rapport à la valeur nominale obtenue avec le recuit CMOS standard, tandis que la profondeur des profils est légèrement réduite. Le budget thermique de la croissance peut être complété par un recuit rapide à plus haute température dans l'optique de réduire les résistances de source et de drain par l'activation d'un plus grand nombre de dopants ($I_{ON} \uparrow$). De plus, une température élevée permet d'éliminer un maximum de défauts engendrés par l'implantation, ce qui peut aider à réduire les courants de fuite aux jonctions PN ($I_{OFF} \downarrow$). Ce second recuit permet ainsi d'optimiser le ratio I_{ON}/I_{OFF} des MOSFETs, tout en minimisant la diffusion thermique grâce à un temps de recuit très court.

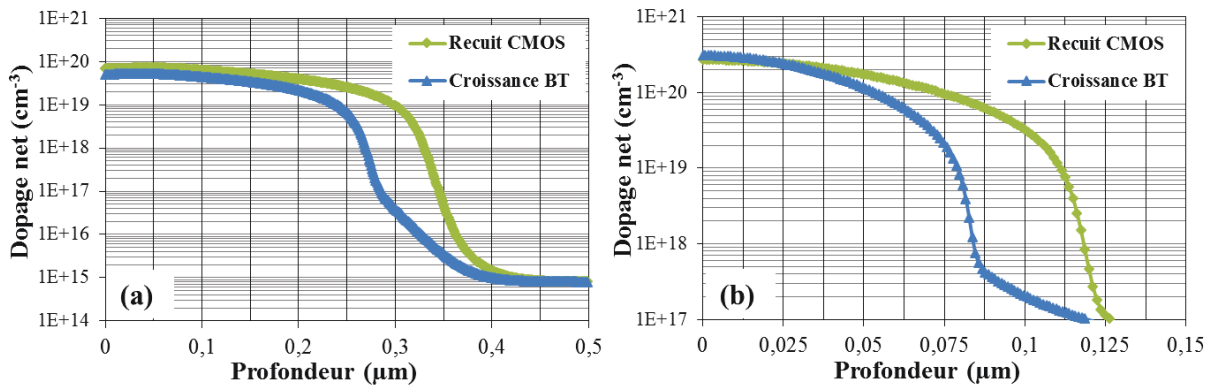


Figure 4.14 – Utilisation du budget thermique de la croissance pour l'activation des dopants dans les régions S/D de (a) p-MOSFETs (bore) et (b) n-MOSFETs (arsenic).

4.4.3 Expérience

L'isolant de grille de prédilection de la technologie CMOS a longtemps été l'oxyde natif, SiO₂, formé par oxydation thermique de la surface Si (§3.2.4). Pour des raisons de miniaturisation (§3.4.1), l'épaisseur de cet oxyde de grille a été continûment réduite, conduisant à l'augmentation des courants de fuite par effet tunnel ($I_{OFF} \uparrow$). De plus, de très fines couches SiO₂ ne constituent plus une barrière suffisante contre la diffusion des dopants – présents dans le silicium polycristallin de la grille – vers le substrat [228]. Au regard de ces problématiques, l'utilisation d'un oxynitride de grille (noté SiO_xN_y) est souhaitable, car, à capacité de grille constante, il est possible d'augmenter l'épaisseur de diélectrique ($\epsilon_{SiO_2} < \epsilon_{SiO_xN_y} < \epsilon_{Si_3N_4}$) tout en bénéficiant d'une meilleure barrière de diffusion entre le silicium polycristallin fortement

dopé et le canal plus faiblement dopé [275]. Aussi, l'interface $\text{SiO}_x\text{N}_y/\text{Si}$ s'avère plus résistante aux radiations et moins sensible au vieillissement induit par les porteurs chauds.

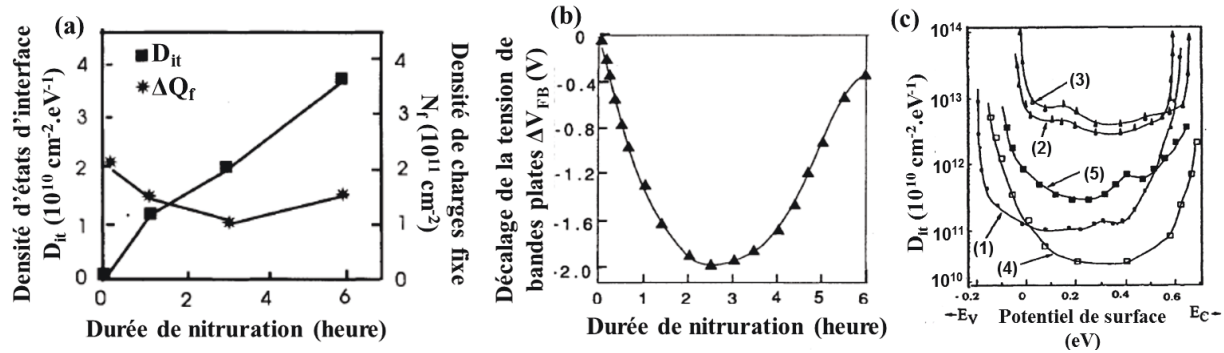


Figure 4.15 – (a) Dégradations induites par la nitruration de films SiO_2 ($d_{ox} = 15 \text{ nm}$) lors de recuits sous NH_3 (à 1050°C , $P_{\text{NH}_3} = 0,1 \text{ mbar}$) (b) Impact de la durée de nitruration sur V_{FB} et (c) Mesures D_{it} sur (1) un film SiO_2 de qualité médiocre avant et (2), (3) après nitruration ; (4) un film SiO_2 de bonne qualité avant et (5) après nitruration [275].

Dans un premier temps, les oxynitrides ont été préparés par des recuits à haute température sous NH_3 . En réalité, les études montrent que la composition des films ainsi obtenus varie à travers la couche, des régions riches en azote se formant principalement en surface et à l'interface Si/SiO_2 , même pour de faibles temps de recuit. De plus, l'atmosphère contenant de l'hydrogène, celui-ci diffuse facilement à travers l'oxyde, et peut être emprisonné entre les deux régions riches en azote. La présence d'hydrogène dans l'oxyde de grille peut modifier la charge de l'oxyde créant par la suite des instabilités dans le fonctionnement des MOSFETs (Figure 4.15) [228, 275]. Par exemple, une augmentation de la densité de charges fixes (positives) dans l'oxyde de grille se traduit par un décalage de la tension de seuil des NMOS vers les tensions négatives, tandis que l'augmentation de la densité d'états d'interface, associés à la capture d'électrons, provoque un décalage vers les tensions positives (Tableau 3.1). De plus, l'amplitude de ces décalages est étroitement liée aux conditions de nitruration, mais également à la qualité initiale de l'interface Si/SiO_2 (Figure 4.15c) [275]. C'est pourquoi, pour la fabrication d'oxynitrides de grille CMOS, des atmosphères telles que N_2O ou NO ont été privilégiées, c'est-à-dire des procédés de nitruration sans hydrogène. Des approches alternatives consistent à retirer la couche SiO_xN_y superficielle, de sorte que l'hydrogène puisse s'échapper après nitruration, ou encore à combiner l'implantation d'azote avec une oxydation thermique°[277].

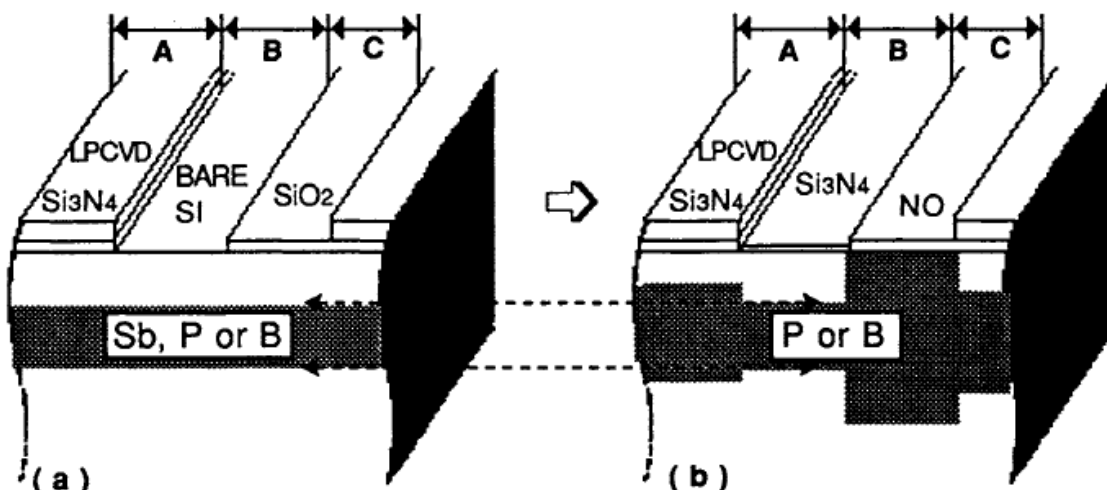


Figure 4.16 – Effet de la nitruration thermique sur la diffusion de dopants (a) structure de test avant nitruration (b) après recuit haute température sous NH_3 [275, 276].

De plus, au cours de ces développements, il a été mis en évidence que la diffusion sous NH_3 des dopants traditionnels dans le Si semble être significativement améliorée en présence d'une interface Si/SiO₂ (Figure 4.16). Le mécanisme est similaire à celui observé lors d'oxydations thermiques (OED) et repose sur l'injection d'interstitiels Si générés à l'interface Si/SiO_xN_y au cours de la nitruration [275, 276]. Or, la diffusion d'impuretés dans le Si telles que le bore et le phosphore est associée à la migration de ces défauts ponctuels [228]. Par conséquent, il est vraisemblable que l'extension des zones S/D soit plus prononcée par rapport aux simulations effectuées sous atmosphère inerte (§4.4.2).

Échantillon	Orientation	Recuit	Référence
J261HB	(100)*	Structure mince BT	J261HA
J261GB	(100)*	Structure épaisse BT	J261GA
J261HB	(100)*	Structure épaisse HT	J261HA
J652HB	(110)**	Structure épaisse BT	J652HA
G2	SOI	Structure épaisse BT	G1

* Substrat 3 pouces / Poli simple face / type P (bore) / 1 - 10 Ω .cm

** Substrat 3 pouces / Poli double face / type P (bore) / 2 - 10 Ω .cm

Tableau 4.9 – Échantillons de l'étude.

Pour cette étude, nous avons fabriqué des transistors NMOS sur substrats Si massifs d'orientation (100) et (110) (Tableau 4.9). Dans la perspective de la co-intégration sur SOI, une des plaques CMOS/SOI fournies par l'UCL a également été dédiée à un test de recuit sous NH_3 .

Le dopage initial des substrats Si massifs (de type P, Bore, 1 – 10 ohm.cm) a été estimé par mesures $C(V)$ à la bille de mercure à $3,5$ et $6.10^{15} \text{ cm}^{-3}$ pour le Si(100) et le Si(110) respectivement. Le dopage des zones S/D des NMOS est effectué par implantation de phosphore, tandis que l'ajustement des tensions de seuil dans le canal nécessite une implantation de bore. Après le recuit de diffusion du procédé NMOS, les transistors sont encapsulés dans une couche de SiO_2 déposée par PECVD (Figure 4.17a). Les substrats sont ensuite découpés en deux parties, une demi-plaque étant destinée à un test de recuit sous NH_3 , l'autre servant de référence. En effet, la stabilité et l'uniformité du procédé NMOS mis en œuvre n'étant pas éprouvées, nous avons préféré conserver une référence par plaque plutôt qu'une référence par lot, bien que le traitement de demi-substrat soit plus délicat à mettre en œuvre dans le réacteur MBE. Concernant l'échantillon G2, nous n'avons pas eu la possibilité de découper l'échantillon, la manipulation de demi-plaques se révélant critique pour la suite du procédé CMOS/SOI. Nous devons par conséquent miser sur la reproductibilité de ce procédé au sein d'un même lot afin de tirer des conclusions sur l'éventuelle dérive des dispositifs.

La procédure de recuit est schématisée dans la Figure 4.17b. Les différentes étapes de croissance ont été regroupées en fonction de leur température, de sorte que le recuit soit réduit à 2 plateaux et 3 rampes de température. Les budgets thermiques appliqués correspondent aux procédés de croissance BT pour la limite basse, mais est quelque peu inférieur à celui du procédé de croissance HT pour la limite haute ([Tableau 4.8](#)). En effet, en raison de son indisponibilité lors des expériences de recuit, nous n'avons pas pu utiliser le réacteur de croissance habituel ([Figure 2.2](#)). La température étant limitée à 900°C sur le présent réacteur, le budget thermique maximal est réduit à 7.10^{-12} cm^2 – correspondant à 120 minutes à 900°C puis 180 minutes à 800°C – contre 10 à 12.10^{-12} cm^2 dans le cas d'une croissance HT ([Tableau 4.6](#)). Ce budget reste cependant 6 à 7 fois plus important que celui des procédés BT. Avec cette méthodologie, nous encadrons la dérive possible des MOSFETs due à l'utilisation de températures de croissance élevées ($\geq 900^\circ\text{C}$) tout en vérifiant l'absence de diffusion significative à 800°C . Suite au recuit, les trous de contacts sont réalisés dans le SiO_2 PECVD.

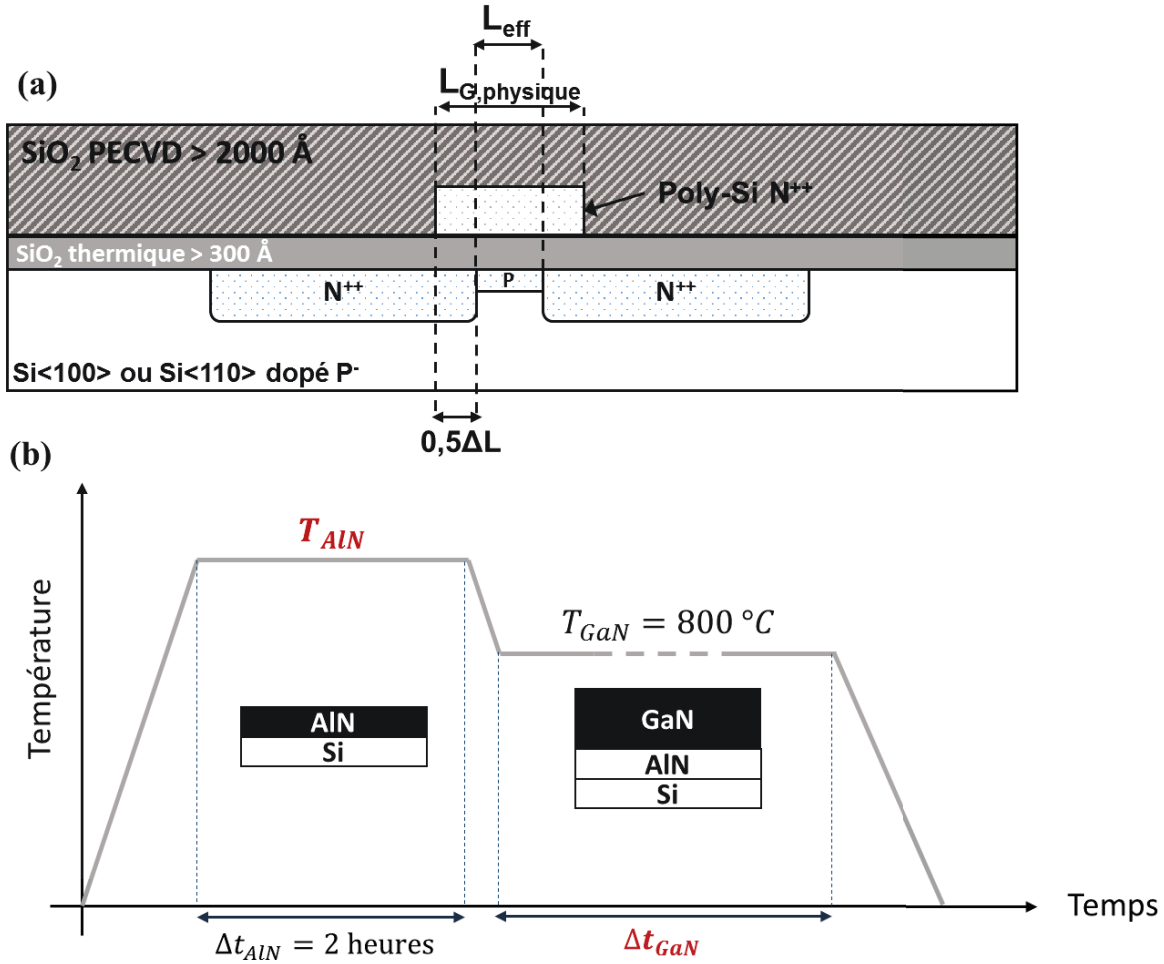


Figure 4.17 – (a) Structure test de l'étude. (b) Procédure de recuit sous NH_3 .

Un nettoyage Piranha ($\text{H}_2\text{SO}_4 : \text{H}_2\text{O}_2$) suivi d'une attaque chimique (HF 1 %) permet de préparer la surface avant la métallisation Al, de sorte qu'une résistance de contact relativement basse soit obtenue, même avant le recuit d'alliage. Ce dernier est généralement appliqué afin d'obtenir un bon contact électrique entre le silicium et le métal, à travers la dissolution de la couche d'oxyde natif entre Al et Si et la formation d'un alliage Al : Si [69]. La fonction de ce recuit est également de passiver les états d'interface [189]. Cependant, étant donné que l'objectif de cette étude est d'évaluer la dégradation des échantillons pendant la croissance, dans un premier temps, le recuit d'alliage n'a pas été appliqué aux échantillons de l'étude.

La tension de seuil V_{th} des MOSFETs a été déterminée à partir de la pente maximale (Figure 4.18a) tandis que la longueur de grille effective $L_{\text{eff}} = L_g - \Delta L$ (Figure 4.17a) et la résistance source drain R_{SD} ont été extraites par la méthode décrite dans la Figure 4.18b. Si L_g est la longueur définie sur le dessin du masque (indice *layout*), le paramètre ΔL correspond à la

réduction de la longueur de la grille due à la fabrication du masque, à la lithographie des grilles, à l'implantation ionique, à la diffusion, etc. Les tensions de seuil mesurées sur les échantillons référence varient entre 0,30 et 0,35 V pour les grilles les plus longues fabriquées sur Si(100), et oscillent autour de 0,70 V pour les transistors sur Si(110) (Figure 4.19). En-deçà de 4 μm , l'effet de canal court (SCE) commence à se manifester en raison de la diminution de la longueur de grille effective. Les grilles les plus courtes sont mesurées sur J261FA : L_{eff} est de l'ordre de 0,5 μm pour $L_g = 2 \mu\text{m}$. Comme mentionné au §3.3.2, le SCE amplifie considérablement la dispersion des tensions de seuil.

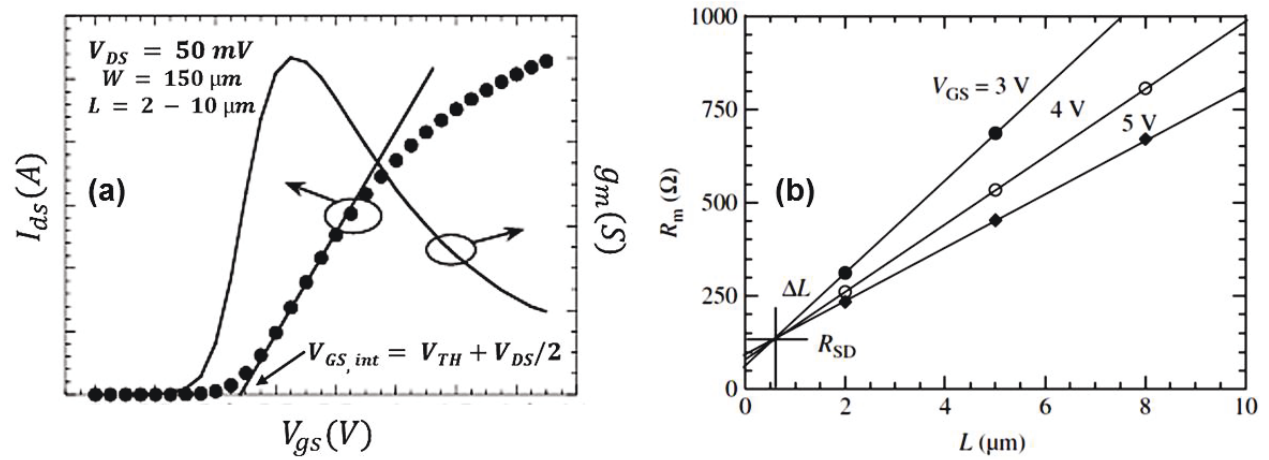


Figure 4.18 – (a) Méthode de la pente maximale pour l'extraction de V_{th} (b) Méthode TLM pour l'extraction des paramètres ΔL et R_{SD} [184, 278, 279].

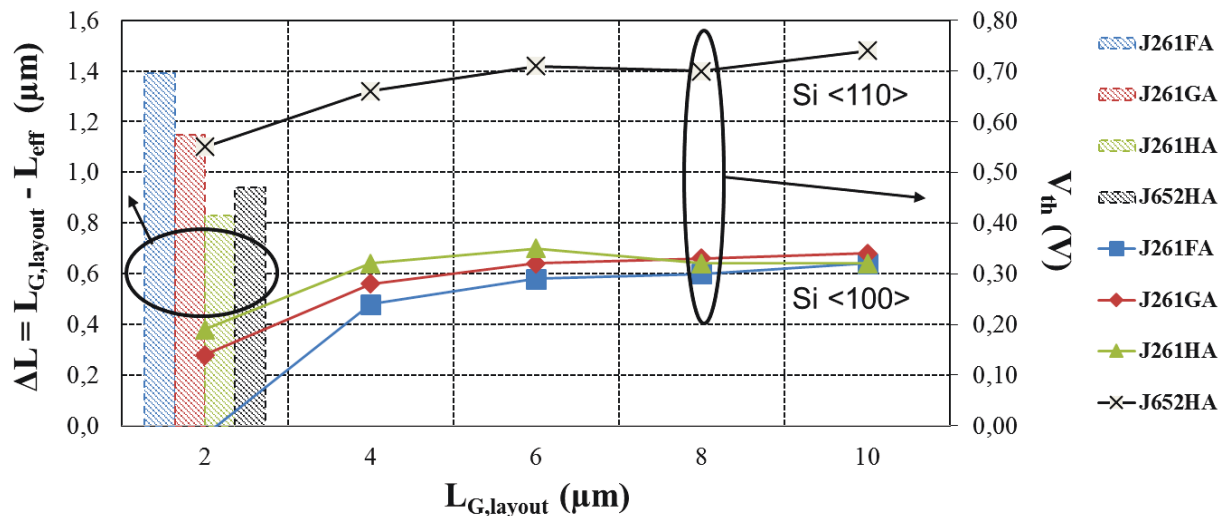


Figure 4.19 – Évolution de V_{th} et de la diminution de longueur de grille effective ΔL en fonction de la longueur de grille sur le dessin du masque $L_{G,layout}$.

Ainsi, nous observons un décalage d'environ $+0,4$ V entre les tensions de seuil mesurées sur Si(100) et celles extraites sur Si(110). D'après la relation (3.20), en tenant compte des variations d'épaisseur d'oxyde et de dopage constatées entre les deux substrats, nous obtenons un décalage d'environ 120 mV. Cependant, une densité D_{it} accrue aux interfaces SiO₂/Si(110), en raison de leur plus grande déféctuosité, peut expliquer le décalage de V_{th} plus important relevé entre les deux types de substrat. Ceci est observé expérimentalement par *Miura et al*, entre différentes orientations présentant une interface SiO₂/Si plus ou moins imparfaite par rapport à la référence SiO₂/Si(100) [229].

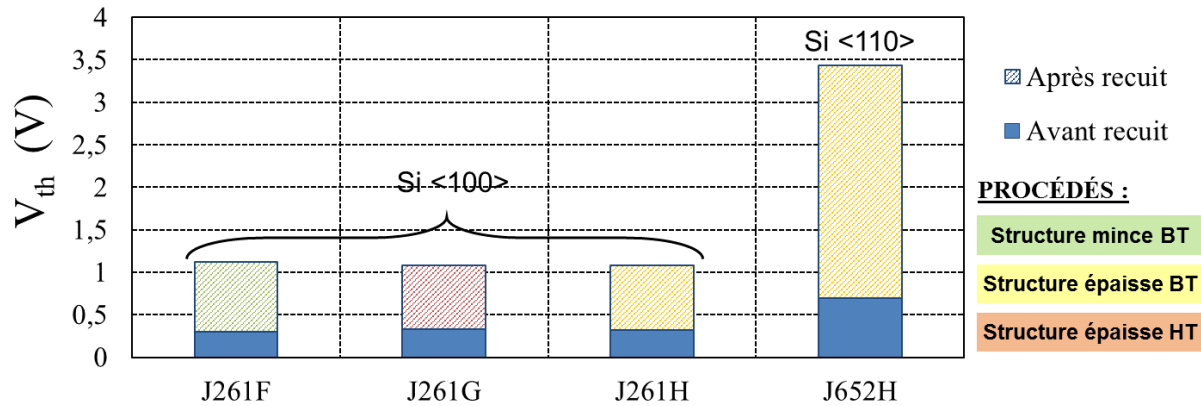


Figure 4.20 – Évolution de V_{th} en fonction du budget thermique.

La Figure 4.20 reporte l'évolution de la tension de seuil de transistors à grille longue ($L_g = 8 \mu\text{m}$) avant et après recuit sous NH₃. Une dérive des tensions de seuil d'environ $+0,8$ V est mesurée sur l'ensemble des échantillons Si(100). Le fait que ce décalage soit positif et constant quel que soit le budget thermique indique plutôt une augmentation de la densité d'états d'interface qu'un effet lié à la diffusion, comme par exemple une diminution du dopage de type P (bore) dans le canal. De plus, l'amplification de ΔV_{th} sur l'échantillon Si(110), dont l'interface SiO₂/Si est initialement plus déféctueuse, renforce cette hypothèse (Figure 4.20). Afin de confirmer ce résultat, nous avons appliqué un recuit d'alliage (450 °C, 30 minutes, 20 % H₂ + 80 % N₂) à l'échantillon J261FB, dans le but de passiver les états d'interface. Suite à ce traitement, la tension de seuil des MOSFETs recuits sous NH₃ est comparable à celle des transistors n'ayant vu aucun recuit NH₃ (Tableau 4.10). La faible variation de V_{th} avant et après recuit sous NH₃, une fois les états d'interface passivés, suggère que la diffusion du bore dans le canal est limitée à 850 °C (§3.3).

Échantillon	Tension de seuil V_{th} (V)	
	4 μm	10 μm
J261FA (référence)	0,24	0,32
J261FB (recuit sous NH_3)	0,97	1,15
J261FB passivé	0,22	0,30

Tableau 4.10 – Effet du recuit d'alliage sur un échantillon recuit sous NH_3 .

Un second paramètre directement affecté par D_{it} est la pente sous le seuil SS des MOSFETs (3.17). De façon générale, nous constatons que le décalage des tensions de seuil est bien corrélé avec l'augmentation de la pente sous le seuil, et donc avec l'augmentation de la capacité relative aux états d'interface C_{it} (Figure 4.21). Cependant, J261G (Structure épaisse HT) se distingue des autres plaques Si(100) par une augmentation de SS plus modérée, bien que ΔV_{th} soit similaire pour tous les échantillons (Figure 4.20). Cette moindre dégradation de la pente sous le seuil est certainement due au budget thermique 7 fois supérieur vu par l'échantillon, provoquant une diminution du dopage dans le canal. En effet, SS est proportionnel à la capacité C_{dep} , elle-même proportionnelle à $\sqrt{N_B}$ (3.5, 3.8). Il semble cependant que l'effet de la réduction du dopage dans le canal sur les tensions de seuil de J261GB soit masqué par la grande densité d'états d'interface présente sur cet échantillon. Inversement, le faible ΔS mesuré entre J261F (Structure mince BT) et J261H (Structure épaisse BT) après recuit sous NH_3 suggère que la capacité C_{dep} évolue peu entre les deux recuits, donc que la diffusion du bore dans le canal à 800 °C est relativement limitée.

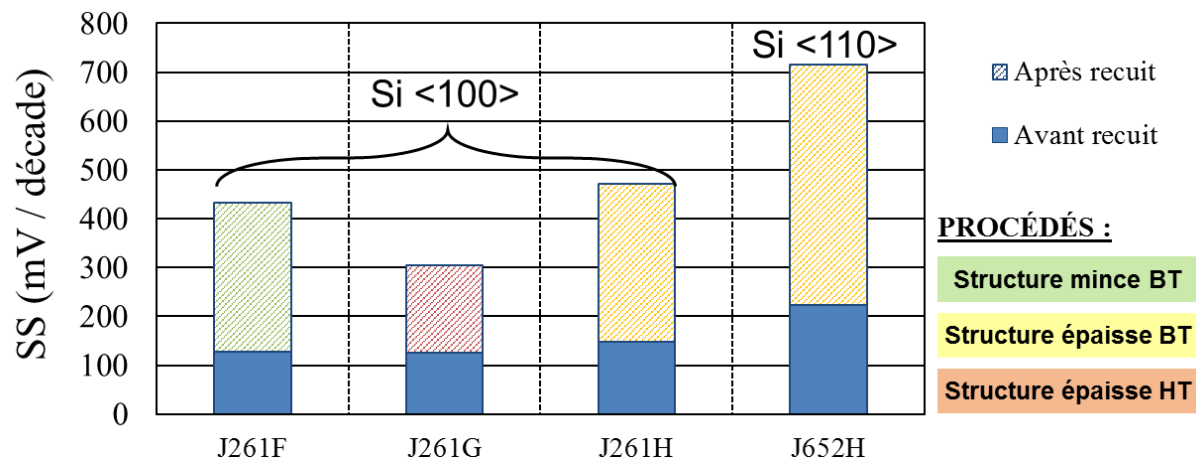


Figure 4.21 – Évolution de la pente sous le seuil en fonction du budget thermique.

Notons que le recuit de passivation sur J261FB (Tableau 4.10) affecte également la pente sous le seuil, SS étant divisée par un facteur 2. Cependant, cette valeur reste élevée par rapport à la référence (J261FA), autour de 200 mV / décade contre environ 125 pour cette dernière. Cela est attribué à la dégradation des contacts S/D lors du recuit d'alliage, due à la diffusion de Si dans l'électrode Al [69]. Sous l'effet du recuit, le silicium du substrat se dissout dans le contact métallique, créant des cavités qui peuvent atteindre quelques microns de profondeur et ainsi transpercer les jonctions PN. Ces cavités, ensuite remplies par l'aluminium, sont à l'origine de courants de fuite élevés en régime de blocage. Il est possible de limiter ce phénomène en diminuant la température et/ou le temps de recuit, ou encore en déposant directement un alliage Al : Si lors de la métallisation des NMOS, de sorte que l'électrode métallique soit déjà saturée en Si à la température du recuit de passivation, solution mise en œuvre dans le procédé CMOS/SOI de l'UCL.

La Figure 4.22 montre l'évolution de la longueur de grille effective au cours du recuit sous NH_3 , du fait de la diffusion des zones S/D (dopées N, phosphore) sous la grille. Tout d'abord, la variation de longueur ΔL due au budget thermique excède 0,5 μm quel que soit le budget thermique, ce qui est bien supérieur aux valeurs obtenues précédemment par simulation (0,10 à 0,15 μm pour le procédé BT, §4.4.2). Cela soutient l'hypothèse d'une diffusion améliorée sous NH_3 et significative même à 850 °C. Comme attendu, la réduction la plus conséquente est observée sur J261G, de l'ordre d'un micron (contre 0,4 à 0,5 μm après simulation du procédé HT, §4.4.2). Ceci soutient l'hypothèse d'une réduction de SS du fait d'une diffusion importante du bore à 900 °C sous NH_3 , même lorsque le recuit de diffusion NMOS a été effectué préalablement (30 min, 950 °C, sous N_2 , [Tableau 4.8](#)). En revanche, la comparaison entre les deux procédés BT (structure mince et structure épaisse) indique une extension similaire des zones S/D d'environ 0,3 μm de part et d'autre de la grille. Par conséquent, de façon similaire au bore, la diffusion du phosphore à 800 °C est relativement limitée, même sous NH_3 . La différence de seuil d'activation de la diffusion entre le bore (850 °C $> T >$ 900 °C) et le phosphore (800 °C $> T >$ 850 °C), en dépit d'énergies d'activation similaires ([Tableau 3.5](#)), est vraisemblablement due à l'écart important entre la concentration de dopants dans les régions S/D (de l'ordre de 10^{20} cm^{-3} , extrinsèque) et le canal (de l'ordre de 10^{17} cm^{-3} , intrinsèque), sachant que $n_i(800 - 850 \text{ °C}) \approx 1 - 3 \cdot 10^{18} \text{ cm}^{-3}$ [228]. Aussi, en ce qui concerne la diffusion des régions S/D de PMOS (fortement dopées au bore), il ne devrait pas y

avoir de différence significative avec celle constatée dans les régions S/D des NMOS de cette étude (fortement dopées au phosphore). Enfin, la comparaison de J261H et J652H indique que la diffusion du phosphore à cette température est améliorée sur l'orientation Si(110). Cependant, il n'est pas inhabituel d'observer une dépendance de la diffusion thermique avec l'orientation du substrat pour ce type de procédé (diffusion extrinsèque, atmosphère réactive) [228, 280].

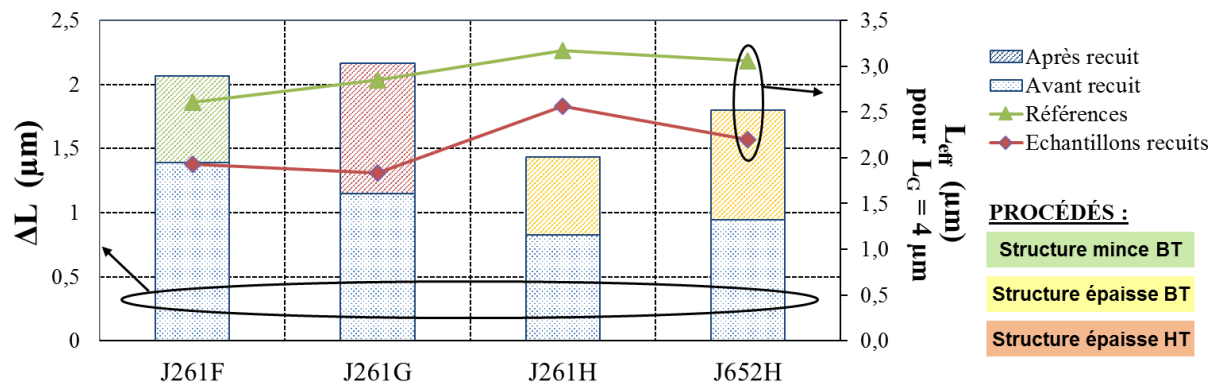


Figure 4.22 – Évolution des longueurs de canal effectives en fonction du budget thermique.

4.4.4 Conclusions de l'étude

Des MOSFETs Si non métallisés ont été recuits dans un réacteur NH_3 -MBE, en appliquant des budgets thermiques correspondant aux procédés de croissance mis en œuvre au §4.3. Après fabrication des contacts, une dérive des tensions de seuil est observée et corrélée avec une augmentation de la pente sous le seuil, donc une augmentation de la densité d'états d'interface. Ce résultat est confirmé par la réversibilité de la dérive après passivation des états d'interface lors du recuit d'alliage. Dans la littérature, l'instabilité de structures MOS recuites sous NH_3 est liée à l'incorporation d'hydrogène emprisonné entre deux couches de SiO_xN_y relativement riches en azote. Dans nos structures, il n'est pas critique de graver superficiellement la couche SiO_xN_y formée sur le SiO_2 PECVD, ce qui pourrait permettre de stabiliser la structure suite au recuit d'alliage. L'impact d'un tel recuit sur le HEMT GaN reste cependant à déterminer. Enfin, les différences observées en termes de qualité d'interface entre Si(100) et Si(110) ne sont vraisemblablement pas significatives de ce que pourrait produire une technologie CMOS/Si(110), au vu du procédé NMOS utilisé dans cette étude.

Les simulations effectuées laissent à penser que la diffusion est très limitée à 800 °C, ce qui semble être le cas expérimentalement, même sous une atmosphère réactive telle que NH_3 . De même, d'après ces mêmes simulations, la variation de la profondeur de jonction ne devrait pas excéder 100 – 150 nm pour le procédé BT. Cependant nous mesurons expérimentalement

une diffusion bien plus importante. En effet, la réduction de L_{eff} mesurée est de 600 nm sur Si(100) et 900 nm sur Si(110), ce qui se rapproche plutôt des longueurs de diffusion attendues par simulation pour un procédé HT. L'amélioration de la diffusion sous NH_3 pose une limitation plus sévère sur les technologies CMOS pouvant être intégrées par cette approche, et notamment dans la perspective d'une technologie CMOS/Si(110), en raison de la diffusion plus rapide à l'interface Si(110)/ SiO_2 . Afin de lever cette limitation, la température de croissance doit être réduite en-dessous de 850 °C, l'activation de la diffusion du phosphore dans les régions S/D ayant lieu entre 800 et 850 °C.

Les résultats concernant les échantillons sur SOI ne sont pas disponibles au moment de la rédaction de ce manuscrit. Cependant, grâce à la présence d'un oxyde enterré, limitant l'extension des régions actives en profondeur, et à l'utilisation d'un diffuseur lent pour le dopage N (As), la situation est supposée moins critique pour ces composants, ce que semblent indiquer les premières simulations effectuées par l'UCL.

4.5 Conclusion

Dans un premier temps, des hétérostructures AlGaIn/GaN ont été réalisées par NH_3 -MBE dans une gamme de température comprises entre 920 et 800 °C. Le développement d'un procédé BT a permis de fabriquer des structures minces et épaisses avec une température maximale de croissance de 830 °C, sans dégradation évidente des caractéristiques électriques des HEMTs GaN. Toutefois, un compromis entre budget thermique et qualité cristalline des structures épaisses a été nécessaire à travers l'épaississement de l'intercalaire AlN.

Dans un deuxième temps, la diffusion des dopants conventionnels dans Si a été évaluée dans les conditions de croissance en fonction du budget thermique. Pour le phosphore implanté dans les régions S/D, l'activation de la diffusion s'effectue entre 800 et 850 °C sous NH_3 . Étant données les énergies d'activation, nous supposons la situation similaire pour le bore qui serait implanté dans les régions S/D de PMOS. Aussi, ces résultats expérimentaux contrastent fortement avec les simulations sous atmosphère de recuit inerte (Ar , N_2), qui indiquaient une diffusion encore relativement limitée à 850 °C.

En résumé, la fenêtre de procédé permettant de limiter le budget thermique des CMOS tout en préservant les caractéristiques électriques des HEMTs GaN se trouve sévèrement réduite ($830\text{ °C} < T_{\text{AlN}} < 850\text{ °C}$), ce qui rend le procédé très sensible à la température de croissance de l'AlN. Un élargissement de cette fenêtre est envisageable à travers le développement d'un procédé MBE sous plasma N_2 (PAMBE), ce qui permettrait d'abaisser la température de croissance de l'AlN. Un tel procédé est également souhaitable afin de limiter l'incorporation d'hydrogène dans l'oxyde de grille pendant la croissance, à l'origine d'instabilités de la structure MOS, même si un traitement thermique post-croissance semble à même de stabiliser les composants. De plus, pour la co-intégration sur circuits CMOS fortement submicroniques, une croissance sous N_2 est doublement préférable car la diffusion des dopants sous NH_3 est significativement améliorée dans cette gamme de température.

En termes de perspectives, la possibilité de limiter les effets liés à l'hydrogène par l'encapsulation des MOS dans d'autres diélectriques (ex : des nitrures) reste à évaluer. De plus, une étude de la contamination des couches CMOS par les impuretés Ga et Al pendant la croissance des hétérostructures compléterait utilement ces travaux en vue de l'utilisation des procédés BT pour la co-intégration.

CHAPITRE 5 ÉPITAXIE LOCALISÉE

5.1 Introduction

L'épitaxie localisée d'hétérostructures AlGaIn/GaN implique la croissance par hétéro-épitaxie de couches III-N dans des ouvertures préalablement réalisées à travers un masque diélectrique (masque de croissance). Quelle que soit la technique utilisée, la croissance de couches riches en aluminium (AlN, AlGaIn) sur Si est peu sélective avec le masque diélectrique (typiquement SiN ou SiO₂). Cependant, par MOCVD, il est possible de limiter fortement la croissance ultérieure de GaN sur l'AlN déposé sur le masque, ce qui permet d'obtenir une bonne sélectivité globale sur l'hétérostructure AlGaIn/GaN [258, 281]. En revanche, la présence d'une couche de nucléation AlN sur Si, dans le cas de la MBE, annule toute sélectivité lors de la croissance de GaN (§6.2.3). Par conséquent, lors d'un procédé MBE, le masque de croissance se recouvre d'une épaisseur de matériaux III-N quasi-équivalente à celle de la structure AlGaIn/GaN sur Si. Contrairement aux hétérostructures sur Si, les couches III-N déposées sur le masque sont très texturées (polycristallines) et ne bénéficient pas des stratégies de gestion de la contrainte mises en œuvre pour les structures épaisses. Ainsi, la mise en tension des couches III-N lors du refroidissement du substrat Si n'est pas compensée par la contrainte compressive résiduelle, conduisant à la fissuration voire à la délamination du masque de croissance et, le cas échéant, des couches constituant les dispositifs CMOS.

La seconde motivation de cette étude est d'évaluer la nécessité d'introduire une barrière de diffusion entre la couche de SiO₂ classiquement utilisée pour l'encapsulation des MOSFETs à la fin du procédé *Front-End*, et les hétérostructures, étant donné que l'oxygène est un donneur résiduel dans GaN, et est donc susceptible d'altérer le comportement des HEMTs GaN.

5.2 Masques de croissance

5.2.1 Cadre de l'étude

Le nitrure de silicium est un matériau de choix pour l'encapsulation des composants CMOS, car il forme une barrière de diffusion efficace entre ces derniers et l'environnement de croissance (couches III-N, atmosphère) [69]. Les deux principales méthodes de dépôt utilisées sont la LPCVD et la PECVD. Les avantages de cette dernière technique sont, d'une part la minimisation du budget thermique ($T_{Si_xN_y}^{PECVD} = 300\text{ °C}$ versus $T_{Si_3N_4}^{LPCVD} = 800\text{ °C}$) occasionnant

une réduction de la contrainte thermique, et d'autre part la possibilité de moduler la contrainte résiduelle de la couche déposée à travers les conditions de dépôt. Typiquement, cette contrainte est de nature extensive, de l'ordre de 1 GPa, dans les films Si_3N_4 LPCVD [69, 282], ce qui est rédhibitoire pour la réalisation de couches épaisses ($> 1 \mu\text{m}$), conduisant à la fissuration voire à la délamination de celles-ci. En revanche, dans les films Si_xN_y PECVD, la contrainte résiduelle peut être compressive ou extensive, et peut varier sur une plage d'environ 2 GPa d'amplitude [283]. En particulier, des films présentant une contrainte résiduelle très faible peuvent être obtenus, et ce pour une épaisseur qui peut ainsi atteindre plusieurs microns voire dizaines de microns sans dégradation de la couche. Cependant, la stabilité thermique de tels films, déposés à basse température, reste à démontrer dans le cadre d'une croissance NH_3 -MBE.

Un masque de croissance épais présente *a priori* plusieurs avantages pour le procédé de co-intégration, outre la formation d'une barrière de diffusion efficace entre les différentes zones actives. Tout d'abord, il permet de tirer parti de la configuration du réacteur MBE, c'est-à-dire de l'angle entre les flux incidents et le substrat (§2.2.2) : une marche importante entre le substrat Si et le masque contribue ainsi à créer une discontinuité entre l'hétérostructure $\text{AlGaIn}/\text{GaIn}$ et le poly cristal déposé sur le masque, par un phénomène d'ombrage. Cette discontinuité pourrait faciliter le retrait de ce poly cristal, qui peut être envisagé de façon similaire à un soulèvement de métal dans le procédé de fabrication des contacts de HEMTs GaIn (Annexe A), le SiN jouant le rôle de la résine. Pour favoriser ce mode de retrait, de façon analogue aux techniques de *lift-off*, un masque d'épaisseur comparable à celle de l'hétérostructure est souhaitable. De plus, la présence d'un masque épais permet d'envisager une étape de nivellement par polissage mécano-chimique (CMP) suite à la croissance (Figure 5.1). Cela permettrait de démarrer idéalement le procédé BEOL de la technologie CMOS, sur une surface parfaitement plane, facilitant la fabrication des différents niveaux d'interconnexion. Cette approche de nivellement représente ainsi une alternative à la gravure du substrat pour la croissance dans les zones HEMTs GaIn , ainsi que schématisée dans la [Figure 4.1](#).

Pour ces raisons, dans une première partie, nous développons le procédé de fabrication des masques Si_xN_y PECVD peu contraints, faisant partie des savoir-faire présents au LN2. L'application de ce matériau à l'épitaxie localisée d'hétérostructures $\text{AlGaIn}/\text{GaIn}$ par NH_3 -MBE sera ainsi étudiée. Dans une deuxième partie, nous explorons les alternatives possibles à ce type de matériau, notamment les masques de croissance constitués d'une couche de SiO_2 , à

travers notamment leur tenue mécanique et leur impact sur la contamination des hétérostructures.

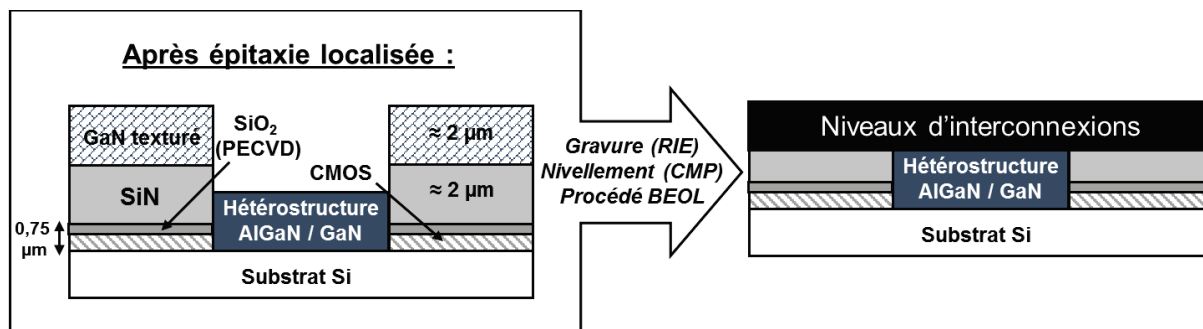


Figure 5.1 – Optimisation de la topologie par l'utilisation d'un masque épais.

5.2.2 Masques de croissance Si_xN_y PECVD

(1) Contrôle de la contrainte intrinsèque

Le contrôle de la contrainte résiduelle dans les films minces est particulièrement important pour le fonctionnement et la fiabilité d'applications requérant des structures suspendues (ex : membranes), puisqu'une contrainte compressive trop intense risque de provoquer le flambage et une flexion indésirable de l'élément, tandis qu'une contrainte extensive peut à terme causer la fissuration du dispositif, soumis à des gradients de contrainte et/ou de température conséquents. Ces problématiques sont discutées en détail dans le cadre de la co-intégration de capteurs sur CMOS/SOI dans la référence [282]. En particulier, ces dispositifs comprennent de plus en plus souvent des films minces à base de SiO₂ et Si_xN_y. D'autres applications utilisent le nitrure de silicium comme couche de passivation (ex : MESFET GaAs), dont l'état de contrainte est déterminant pour la fiabilité et la performance des dispositifs passivés [284]. Dès lors, des études ont démontré la possibilité de moduler la contrainte intrinsèque des films Si_xN_y en variant les conditions de dépôt PECVD [283, 284]. La technique PECVD est décrite plus spécifiquement pour le dépôt du nitrure de silicium dans [285]. En particulier, la fréquence d'excitation du plasma semble déterminante, puisque les couches Si_xN_y PECVD déposées avec une fréquence d'excitation basse (< 1 MHz) présentent la plupart du temps une contrainte plus compressive que les couches déposées avec une fréquence plus élevée (typiquement 13,56 MHz), généralement contraintes en tension. L'apparition d'une contrainte compressive est associée à l'incorporation d'hydrogène dans la couche, et notamment à la formation de liaisons Si–NH [286], tandis que la contrainte extensive serait provoquée par une densification des films grâce à la désorption de l'hydrogène et à la création de liaisons supplémentaires entre

le silicium et l'azote [285]. Le procédé développé au LN2 exploite la dépendance de la contrainte en fonction de la fréquence d'excitation du plasma, appliquant des cycles courts à haute fréquence (HF, 13,56 MHz), alternés avec des cycles très courts à basse fréquence (BF, 380 kHz), conduisant au rapport cyclique Ψ :

$$\Psi = \frac{t_{HF} - t_{BF}}{t_{HF} + t_{BF}} \quad \text{Équation 5.1}$$

En alternant ces deux conditions de dépôt avec des temps de cycle t_{HF} et t_{BF} suffisamment brefs, une compensation de la contrainte a lieu à l'échelle nanométrique (Figure 5.2). Le ratio des gaz réactifs pour ce procédé est de 1 : 1 (NH_3 : SiH_4), dilué dans le gaz N_2 afin de stabiliser le plasma et d'améliorer l'uniformité du dépôt, le substrat étant maintenu à une température de 300 °C. Outre le rapport cyclique, nous avons également choisi de faire varier la pression dans la chambre, les autres paramètres étant maintenus constants. Pour le développement du procédé, les épaisseurs déposées sont généralement comprises entre 250 et 500 nm, et contrôlées par ellipsométrie. Selon la pression dans la chambre, les vitesses de dépôt varient entre 350 et 900 nm / heure. La contrainte résiduelle moyenne σ_f des films SiN est calculée par la méthode de la courbure du substrat, à travers la formule de Stoney [282] :

$$\sigma_f = \frac{E_s d_s^2}{6(1 - \nu_s)} \times \frac{1}{d_f} \times \frac{1}{R} \quad \text{Équation 5.2}$$

Les grandeurs E_s , ν_s , d_f , d_s , et R sont respectivement le module de Young, le coefficient de Poisson, les épaisseurs, et le rayon de courbure (indice s pour le substrat, f pour le film). Ce dernier est calculé à partir de la flèche F et du diamètre D , issus de la mesure de la courbure du substrat au profilomètre mécanique :

$$R = \frac{F}{2} + \frac{D^2}{8F} \quad \text{Équation 5.3}$$

Le procédé de dépôt de Si_kN_y PECVD faiblement contraint a été redéveloppé à partir des résultats obtenus dans un précédent projet, sur des substrats Si(100). Une dérive importante de ce procédé a été relevée puisque les conditions précédentes ont conduit à un film fortement contraint en compression, correspondant à une contrainte proche de - 900 MPa (Figure 5.2). Par conséquent, nous appellerons par la suite ce procédé « SiN *high-stress* ». L'augmentation du rapport cyclique vers la valeur 1 (correspondant à un dépôt exclusivement à HF) associée à une augmentation de la pression dans la chambre ont permis de réduire cette contrainte compressive

à 148 MPa, ce qui est suffisamment faible pour les épaisseurs visées dans ce projet. Ces conditions correspondent donc au procédé dit « SiN *low-stress* ».

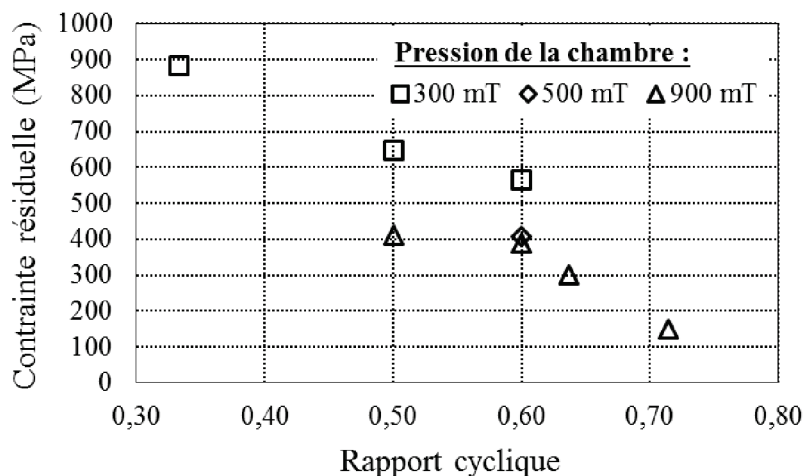


Figure 5.2 – Évolution de la contrainte résiduelle en fonction du rapport cyclique et de la pression de la chambre de dépôt.

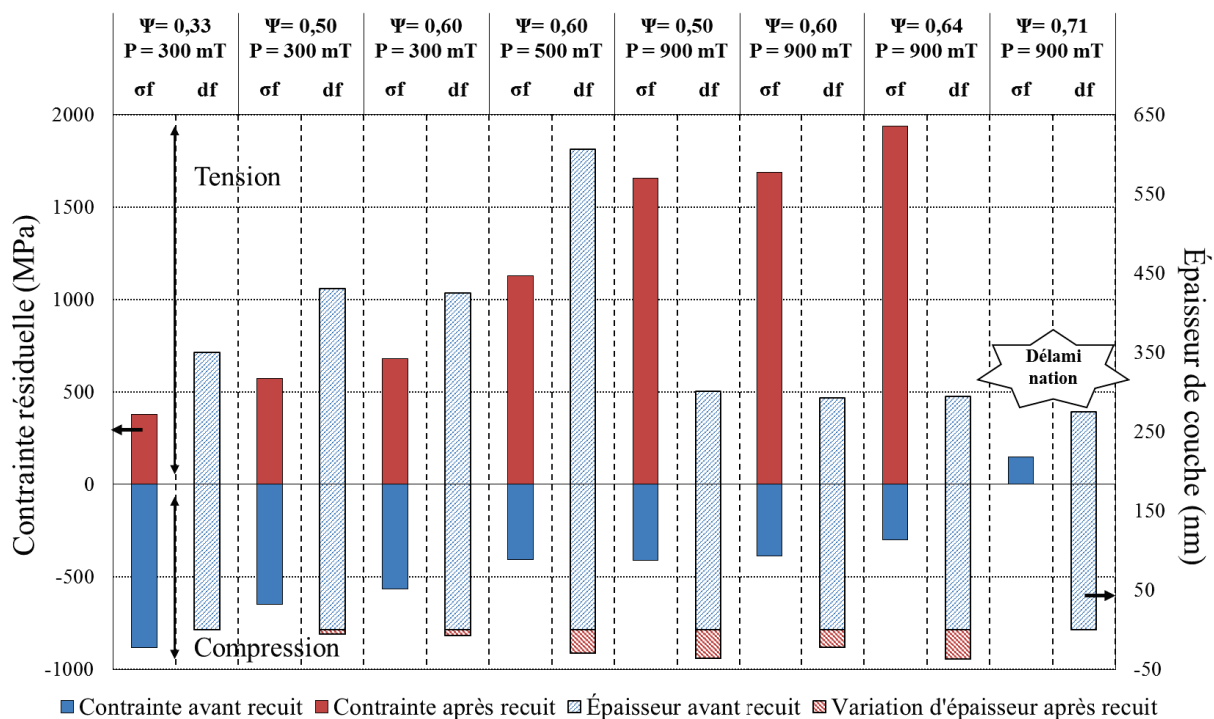


Figure 5.3 – Première série de tests : Stabilité des films SiN PECVD lors d'un recuit sous N₂.

(2) Stabilité thermique

Dans un deuxième temps, nous avons évalué la stabilité de ces couches par un recuit sous N₂, en appliquant un budget thermique équivalent à la croissance HT d'une structure épaisse ([Tableau 4.8](#)). La Figure 5.3 représente l'évolution de la contrainte résiduelle dans

différentes couches élaborées par PECVD au cours du développement du procédé SiN *low-stress*. D'après cette figure, il est clair que les couches les plus en compression sont également les plus stables thermiquement, même si cette stabilité n'est que relative ($\Delta\sigma_f > 1$ GPa). De plus, le recuit induit une réduction de l'épaisseur des films, mesurée par ellipsométrie, qui met également en évidence une variation de l'indice optique des couches. De ce point de vue, les couches les plus en compression initialement sont de nouveau les plus stables, et présentent une variation d'épaisseur bien inférieure à 10 nm. En revanche, le recuit des couches les moins contraintes entraîne une densification plus marquée, se traduisant par une réduction de l'épaisseur généralement supérieure à 30 nm. Cette valeur augmente généralement avec l'épaisseur des couches déposées (Tableau 5.1). Un tel changement de la contrainte résiduelle de films Si_xN_y PECVD (> 2 GPa) a déjà été observé par *Hughey et al*, et ce pour des températures plus modérées ($400^\circ\text{C} < T < 630^\circ\text{C}$) [287]. Leurs résultats écartent l'hypothèse d'une relaxation de la contrainte résiduelle d'origine mécanique, et indiquent plutôt que la contrainte systématiquement extensive observée lors du recuit se développe à cause d'un changement de composition de la couche, conduisant à une réduction de volume, c'est-à-dire une densification de celle-ci. Étant donné que les films Si_xN_y PECVD incorporent une grande quantité d'hydrogène (jusqu'à 30 % en proportion atomique), se trouvant généralement fortement réduite après recuit ($\approx 1\%$), la principale hypothèse avancée repose sur la désorption de l'hydrogène, s'accompagnant d'un réarrangement de la microstructure du Si_xN_y , qu'il convient par conséquent de noter $\text{Si}_x\text{N}_y\text{H}_z$. Les mécanismes décrits dans la Figure 5.4 ont notamment été avancés dans la littérature pour expliquer le développement d'une contrainte extensive pendant le recuit de couches $\text{Si}_x\text{N}_y\text{H}_z$ PECVD [287].

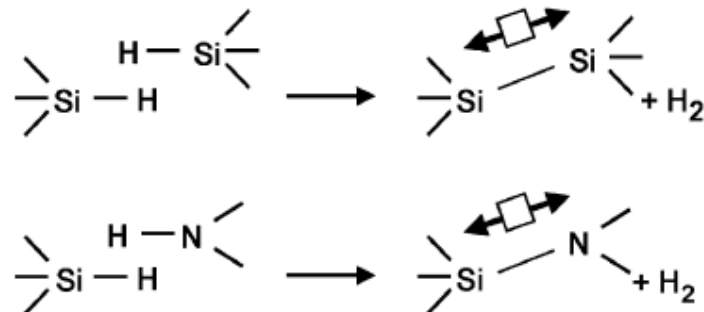


Figure 5.4 – Réactions probables conduisant au développement d'une contrainte extensive dans les couches $\text{Si}_x\text{N}_y\text{H}_z$ PECVD pendant le recuit [287].

La morphologie des couches $\text{Si}_x\text{N}_y\text{H}_z$ PECVD est affectée par le recuit sous N_2 (Figure 5.5). De manière générale, sur les échantillons de cette étude, la dégradation tend à s'amplifier avec la diminution de la contrainte compressive initiale. Pour le premier échantillon ($\sigma_{f,initial} = -884$ MPa), nous observons l'apparition de cloques sur la surface, dont le diamètre est de l'ordre de $10\text{ }\mu\text{m}$, et dont la densité augmente en s'éloignant du centre. Le second échantillon ($\sigma_{f,initial} = -648$ MPa) est proche en termes de densité de défauts, mais se distingue par l'apparition de trous de tailles relativement homogènes dans la couche, en plus des cloques vues précédemment. De plus, le diamètre moyen des défauts a tendance à augmenter, de l'ordre de plusieurs dizaines de microns, par rapport à l'échantillon précédent. La morphologie est similaire sur l'échantillon suivant ($\sigma_{f,initial} = -566$ MPa) mais contraste avec le cinquième échantillon ($\sigma_{f,initial} = -406$ MPa), sur lequel essentiellement des trous sont relevés, avec une taille pouvant atteindre plusieurs centaines de microns. Nous notons également l'apparition de fissures rectilignes sur cet échantillon. Finalement, le cas le plus critique est observé avec le procédé SiN *low-stress*, présentant une grande densité de fissures et de la délamination sur l'ensemble de la couche. Des morphologies similaires (cloques, délamination circulaire, fissures, etc.) ont été observées dans les références [285, 287]. Les fissures rectilignes sont associées à la contrainte extensive générée lors du recuit. En revanche, la délamination de formes circulaires peut être la conséquence d'une contrainte extensive ou compressive.

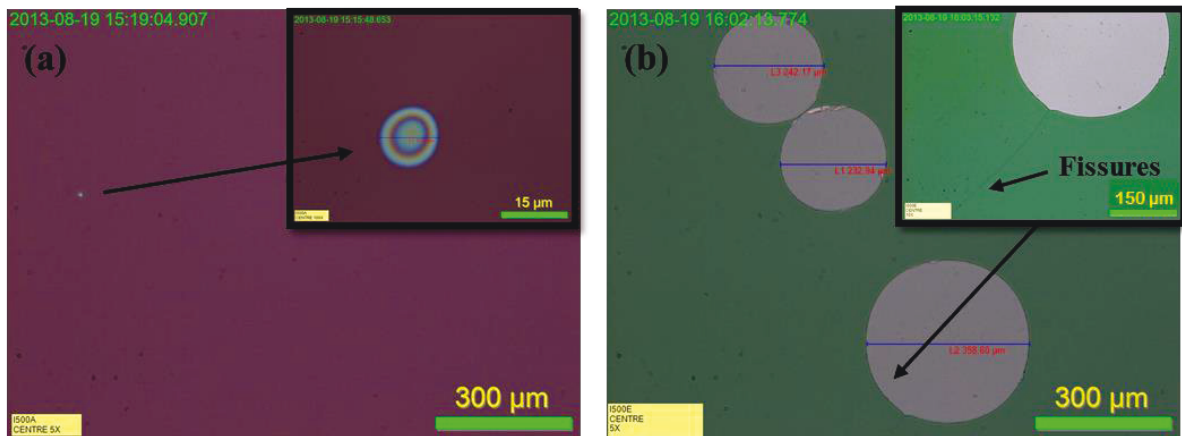


Figure 5.5 – Microscope optique : morphologie de surface après recuit d'une couche $\text{Si}_x\text{N}_y\text{H}_z$ PECVD présentant initialement une contrainte intrinsèque différente : (a) $\sigma_{f,initial} = -884$ MPa (b) $\sigma_{f,initial} = -406$ MPa.

La référence [285] propose un mécanisme à l'origine de ces défauts dans les couches $\text{Si}_x\text{N}_y\text{H}_z$ PECVD recuites sous air : l'oxydation de la couche SiN lors du recuit engendre une

contrainte compressive dans le plan de la surface, qui provoque la nucléation de fissures à l'interface film/substrat. Sous l'effet de la contrainte, la fissure se propage dans le plan de l'interface en formant une cloque circulaire. La contrainte étant maximale le long du périmètre de la cloque, la couche finit éventuellement par fissurer le long de celui-ci. La délamination survient alors par flambage de la membrane sous l'effet d'une contrainte critique appliquée. Ainsi, la morphologie des trous – notamment leur diamètre – dépend de plusieurs facteurs, en premier lieu de la contrainte engendrée et en second lieu de l'épaisseur de film.

Au vu de ces résultats, le matériau $\text{Si}_k\text{N}_y\text{H}_z$ PECVD le plus stable thermiquement est obtenu avec le procédé SiN *high stress*. Il s'agit donc du meilleur candidat pour la réalisation d'un masque de croissance. Afin de confirmer ceci, nous avons réalisé une seconde série de tests sur deux échantillons obtenus avec les procédés *high-stress* et *low-stress*, qui représentent donc les extrêmes opposés de la première série d'échantillons en termes d'état de contrainte.

Procédé SiN PECVD	Contrainte après dépôt SiO_2	Épaisseur SiO_2	Contrainte après recuit*	Contrainte après dépôt SiN	Épaisseur SiN	Contrainte après recuit**	Épaisseur SiN
	MPa	nm	MPa	MPa	nm	MPa	nm
<i>high-stress</i>	532	253	128	-884	1573	40	1547
<i>low-stress</i>	314	238	104	-212	1928	Non mesurable	1828

* Sous O_2 , 30 min, 800 °C

** Sous N_2 , 2 heures à 920 °C, 3 heures à 800 °C

Tableau 5.1 – Deuxième série de tests : Validation du masque de croissance $\text{Si}_k\text{N}_y\text{H}_z$ PECVD.

Dans cette seconde série d'échantillons, nous testons un empilement diélectrique SiO_2 – $\text{Si}_k\text{N}_y\text{H}_z$ PECVD, déposé sur les substrats $\text{Si}(111)$ qui seront dans un premier temps utilisés pour le développement de l'épitaxie localisée (Tableau 5.1). Une couche de SiO_2 PECVD est insérée entre le substrat et le masque de croissance, de façon à se rapprocher de la situation correspondant à la co-intégration, puisque le procédé *Front-End* CMOS se termine systématiquement par l'encapsulation des composants dans une telle couche. De plus, le masque $\text{Si}_k\text{N}_y\text{H}_z$ PECVD est épaissi, conformément aux objectifs que nous nous étions fixés au début de l'étude. La qualité des couches SiO_2 déposées par PECVD est variable, la contrainte résiduelle compressive pouvant par exemple varier du simple au double (de – 250 à – 500 MPa dans cette étude). Un recuit sous O_2 à 800 °C densifie le SiO_2 PECVD et permet d'obtenir un matériau de meilleure qualité, et ce de façon plus reproductible. À titre d'exemple, une réduction de la contrainte résiduelle à environ – 120 MPa (en compression) est observée pour tous les échantillons recuits, quelle que soit la contrainte intrinsèque initiale de la couche SiO_2 . Après dépôt d'une couche $\text{Si}_k\text{N}_y\text{H}_z$ PECVD épaisse, nous retrouvons des contraintes résiduelles

compressives très proches des valeurs reportées précédemment sur la Figure 5.3, correspondant cette fois à la contrainte moyenne au sein de l'empilement $\text{SiO}_2 - \text{Si}_x\text{N}_y\text{H}_z$ PECVD (Tableau 5.1). Après le recuit associé au budget thermique de la structure épaisse HT, l'échantillon issu du procédé SiN *low-stress* présente comme attendu une forte concavité et une densité de fissures très élevée, tandis que l'échantillon issu du procédé SiN *high-stress* démontre une flèche négligeable et une morphologie de surface préservée, très peu de défauts circulaires (trous, cloques) étant observés (Figure 5.6). La contrainte résiduelle de l'empilement *high-stress* (en tension) est même significativement diminuée (40 MPa, Tableau 5.1) par rapport à celle d'une couche $\text{Si}_x\text{N}_y\text{H}_z$ PECVD seule après recuit (379 MPa, Figure 5.3). La mesure de contrainte sur l'échantillon *low-stress* n'a pas pu être effectuée en raison de la délamination trop importante de l'empilement. Ces résultats confirment la bonne stabilité thermique des couches $\text{Si}_x\text{N}_y\text{H}_z$ PECVD déposées par le procédé *high-stress*, qui seront donc évaluées par la suite pour l'épitaxie localisée d'hétérostructures AlGaIn/GaN sur Si.

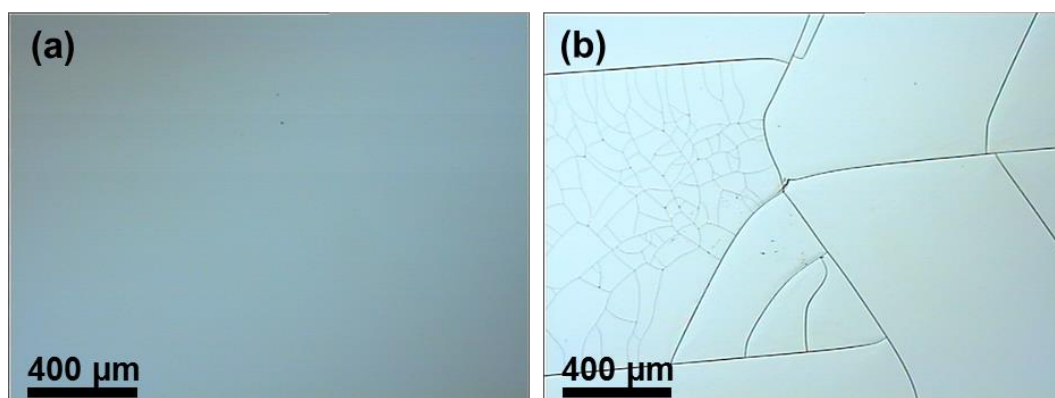


Figure 5.6 – Microscopie optique : morphologie de surface après recuit des empilements $\text{SiO}_2 - \text{Si}_x\text{N}_y\text{H}_z$ PECVD obtenus (a) par le procédé SiN *high-stress* (b) par le procédé SiN *low-stress*.

5.2.3 Limites de l'approche SiN PECVD et alternatives possibles

Le procédé *high-stress* donne satisfaction au regard de sa tenue en température, mais également au vu de la très faible concavité induite sur le substrat après recuit, présentant une flèche de 13 μm seulement sur une longueur de 55 mm. La présence d'hydrogène, initialement en grande quantité dans les couches $\text{Si}_x\text{N}_y\text{H}_z$ PECVD, n'est pas une préoccupation majeure pour la stabilité des MOS, étant donnés les traitements thermiques subséquents [69]. Pour autant, plusieurs interrogations subsistent quant à la mise en œuvre de ce procédé dans un contexte de co-intégration.

(1) Procédé de fabrication

Premièrement, nous avons relevé au cours de l'étude précédente une courbure importante induite par le procédé *high-stress* (Tableau 5.1). Le substrat est fortement convexe, avec une flèche de l'ordre de 100 μm , mesurée sur un diamètre de 55 mm. Cependant, considérant une couche similaire sur substrat 200 mm, d'après (5.2) et (5.3) la flèche dépasserait largement 100 μm , même en tenant compte de l'épaisseur accrue de ces substrats, ce qui pourrait s'avérer critique pour leur acceptation dans une ligne de production CMOS.

Épaisseur SiO_2	Épaisseur SiN	Vitesse de dépôt SiN	Contrainte après dépôt SiN
nm	nm	nm / heure	MPa
269	2168	482	-565
266	883	196	-878

Tableau 5.2 – Empilements SiO_2 – SiN préparés par un procédé SiN *high-stress* identique.

Le Tableau 5.2 soulève une seconde limite du procédé liée à la reproductibilité des empilements fabriqués. En effet, une variabilité importante des vitesses de dépôt est mise en évidence d'un échantillon à l'autre (entre 200 et 550 nm / heure), ainsi qu'une dispersion significative de la contrainte résiduelle moyenne des empilements (entre 500 et 900 MPa). Pour expliquer cela, rappelons que l'approche adoptée pour la gestion de la contrainte résiduelle des couches $\text{Si}_x\text{N}_y\text{H}_z$ PECVD consiste à alterner de courtes durées de dépôts BF et HF (5.1). En particulier, t_{BF} n'étant que de quelques secondes, le procédé se trouve dans les spécifications limites du système de dépôt. Ainsi, il est possible que le plasma ne s'établisse pas toujours suffisamment rapidement pendant un cycle BF, ce qui réduit la vitesse de dépôt et peut modifier les propriétés du film. Cette limite nous oriente vers le développement d'un procédé plus stable permettant un contrôle similaire de la contrainte intrinsèque [284, 286]. Dans un deuxième temps, dans l'optique de se rapprocher de l'environnement de croissance, la stabilité de ces films sera à confirmer par un recuit sous NH_3 et non sous N_2 comme dans le cadre de cette étude (§5.2.3(2)). De plus, dans un souci de minimiser le budget thermique, nous devons déterminer s'il est réellement nécessaire de densifier l'oxyde PECVD sous-jacent avant la croissance, ou s'il est possible de se passer de ce recuit à 800 °C sous O_2 (§5.3).

(2) Application des couches Si_xN_y PECVD à l'épithaxie localisée

Afin d'évaluer la tenue mécanique des masques de croissance $\text{SiO}_2 - \text{SiN}$ PECVD, des structures minces et épaisses ont été fabriquées avec le procédé de croissance dit « BT » (Tableau 4.8). Différentes zones ont été repérées sur la Figure 5.7. Les zones A correspondent aux hétérostructures $\text{AlGaIn}/\text{GaIn}$ sur Si, tandis que les zones B désignent les couches III-N déposées sur le masque de croissance. Les zones C repèrent le décollement du masque, visible sur la Figure 5.7a par la différence de focus, sur les coins des motifs. Ce décollement est confirmé par l'observation en coupe des échantillons (Figure 5.8a). Vers l'intérieur des zones masquées, dans le cas de la structure mince (non visible sur la Figure 5.7a), nous pouvons voir des fissures non rectilignes, et un début d'écaillage du masque ici et là. Sur la Figure 5.7b, nous remarquons un écaillage généralisé du masque, et des franges au niveau des écailles : le masque est en cours de décollement à partir du bord de chacune des écailles. Ces observations ont été complétées par des mesures de profilométrie, confirmant que les zones D correspondent aux lieux de délamination du masque, à l'interface Si/SiO_2 . Pour la structure mince, la délamination est particulièrement visible sur les coins du masque. Un traitement aux ultrasons (solvants, BOE) ou par un polissage CMP peu agressif tend à « nettoyer » ces coins, mais le reste du masque reste bien attaché au substrat. De même, il est possible de détacher une partie des écailles par ce type d'opération dans le cas de la structure épaisse.

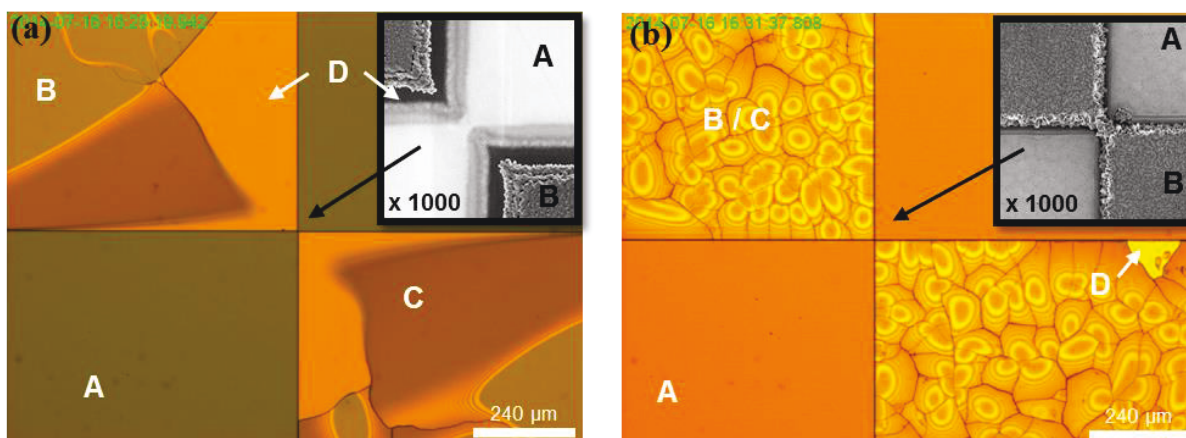


Figure 5.7 – Microscopie optique : morphologie des masques de croissance SiN *high-stress* après fabrication (a) d'une structure mince BT (b) d'une structure épaisse BT. MEB (encadrés noirs) : grossissement de la zone entre les damiers.

Nous avons vu que les couches $\text{Si}_x\text{N}_y\text{H}_z$ PECVD étaient soumises à des changements importants au cours de traitements thermiques (recuit ou croissance), se manifestant à travers le développement d'une contrainte extensive considérable. En particulier, le recuit de l'étude

semble stabiliser l'empilement $\text{SiO}_2 - \text{SiN}$ PECVD fabriqué par le procédé *high-stress* avec une contrainte résiduelle négligeable (40 MPa, [Tableau 5.1](#)). Cet empilement a également été mis en œuvre pour l'épithaxie localisée d'une structure épaisse, la couche de SiN étant supposée plus stable et de meilleure qualité après recuit. Cependant, le résultat est semblable à celui obtenu avec l'empilement non recuit (Figure 5.7b). Nous verrons par la suite que cela ne nous permet pas de tirer de conclusion sur ce masque (empilement recuit), étant donnés les problèmes de délamination récurrents rencontrés avec les structures épaisses. De plus, il est clair que le budget thermique nécessaire à la réalisation d'un tel empilement serait rédhibitoire pour l'approche de co-intégration CMOS-*first* envisagée dans ce projet.

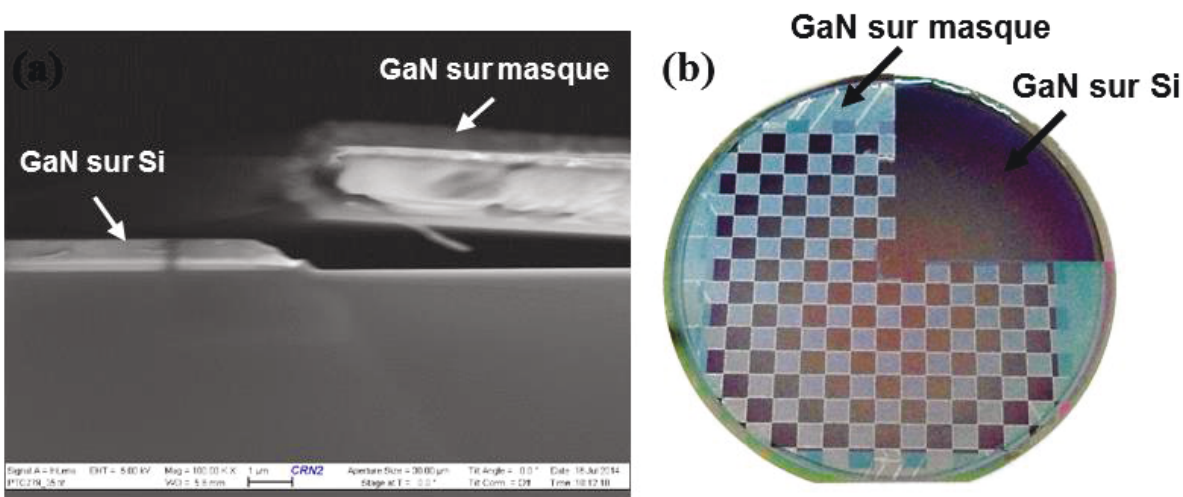


Figure 5.8 – (a) Vue en coupe (MEB) de l'intersection entre l'hétérostructure AlGaIn/GaN sur Si et le masque de croissance $\text{SiO}_2 - \text{SiN}$ PECVD après la fabrication d'une structure mince BT (b) Masque de croissance utilisé pour le développement de l'épithaxie localisée.

La délamination du masque à l'interface Si/SiO_2 , qui semble donc être l'interface faible de cet empilement (Figure 5.8a), est problématique en vue de l'intégration, car cela signifie que les dispositifs MOS seront détruits lors du procédé de croissance. Pour cette raison, d'autres types d'empilement ont été testés. En particulier, cette étude montre la plus grande stabilité des couches d'oxyde PECVD, qui présentent une contrainte résiduelle relativement basse après recuit à 800 °C, ce qui en fait un matériau intéressant pour un masque de croissance.

5.2.4 Conclusions de l'étude

Un procédé de dépôt de couches minces à base de nitrure de silicium a été développé par la technique PECVD, permettant de moduler la contrainte résiduelle des films. En particulier, un procédé *low-stress* a été mis au point et permet de déposer plusieurs microns tout en

conservant une faible courbure du substrat. Cependant, la stabilité de ces couches lors de recuits sous N₂ aux températures de croissance ne permet pas de les utiliser comme masque d'épithaxie localisée. En revanche, la couche issue du procédé *high-stress*, c'est-à-dire présentant la contrainte résiduelle compressive la plus élevée initialement, présente une résistance satisfaisante face au budget thermique de la croissance. Outre l'intégrité physique, le recuit stabilise la couche SiN à un niveau de contrainte résiduelle quasiment nul, lorsqu'elle est associée à un film mince SiO₂ sous-jacent, également déposé par PECVD. Cependant, l'utilisation de cet empilement comme masque de croissance révèle un phénomène de délamination à l'interface avec le substrat, pour les structures minces comme pour les structures épaisses, ce qui est rédhibitoire pour la co-intégration de circuits CMOS dans ces zones. D'autre part, reposant sur l'utilisation de couches épaisses fortement contraintes, la mise à l'échelle de ce procédé aux substrats de plus grands diamètres (idéalement 200 mm) pourrait s'avérer problématique. C'est pourquoi d'autres solutions sont à l'étude et sont discutées ci-après.

5.3 Épithaxie localisée

5.3.1 Cadre de l'étude

Les masques de croissance privilégiés pour le développement de ce procédé sont reportés dans le Tableau 5.3. Pour la tenue mécanique du masque, une couche de SiO₂ PECVD, d'une épaisseur d'environ un micron, a été déposée (masque A). Afin d'étudier d'éventuels effets de contamination liés à la couche d'oxyde, celle-ci a été encapsulée dans une fine couche de silicium polycristallin sur certains échantillons (masque B).

Masque	Substrat	Matériau 1	Matériau 2
A	Si(111) ou Si(110)	SiO ₂ PECVD 300 °C 1 µm	Aucun
B			Poly-Si LPCVD 610 °C 100 nm
C			Poly-GaN NH ₃ -MBE 640 °C 200 nm

Tableau 5.3 – Structure des masques de croissance mis en œuvre dans cette étude.

Dans une optique similaire, le silicium amorphe avait été utilisé par *Chyurlia et al* [255]. Cette solution a également été étudiée mais n'a pas fourni de résultat concluant en termes de tenue mécanique, certainement dû au fait que la structure et la composition de ce matériau sont susceptibles d'évoluer plus rapidement sous l'effet de la température, par rapport au silicium

polycristallin par exemple. Enfin, nous avons essayé de gérer le problème récurrent de délamination à travers l'encapsulation de la couche SiO_2 par une couche GaN déposée à basse température (Masque C). La méthodologie adoptée pour la validation des propriétés structurales et électriques des hétérostructures AlGaIn/GaN est similaire à celle utilisée précédemment pour le développement du procédé BT (§4.3). Les zones de croissance forment avec les zones masquées un damier, chacune d'entre elles occupant une surface de $4 \times 4 \text{ mm}^2$, correspondant aux dimensions du jeu de masques existant pour l'évaluation des HEMTs GaN (Figure 5.8b). Dans le but de faciliter certaines caractérisations, un quart de plaque a été découvert, ce qui permettra également de détecter une éventuelle dérive induite par la croissance dans les fenêtres. Pour définir ce motif, une étape de photolithographie est nécessaire, suivie d'une gravure physique partielle du masque par RIE. Afin de ne pas dégrader la surface Si de croissance, l'ouverture du diélectrique est finalisée par une immersion dans une solution d'acide fluorhydrique tamponnée (BOE). Par rapport à une épitaxie classique, sans étapes technologiques préalables, la préparation chimique des échantillons a dû être adaptée (Tableau 5.4). De plus, la qualité de la surface après nettoyage a été systématiquement contrôlée par AFM. Les échantillons sont rincés à l'eau dé-ionisée courante tandis que le séchage est optimisé par l'utilisation d'une tournette. Cela devient particulièrement nécessaire lorsque la surface à sécher augmente et présente une topologie importante ainsi que des zones hydrophiles étendues, comme dans le cas d'un masque de croissance SiO_2 .

Traitement	Chimie	Paramètres
Piranha	$\text{H}_2\text{SO}_4 : \text{H}_2\text{O}_2$ (2:1)	15 minutes, 110 °C
Piranha	$\text{H}_2\text{SO}_4 : \text{H}_2\text{O}_2$ (2:1)	15 minutes, 110 °C
SC1	$\text{NH}_4\text{OH} : \text{H}_2\text{O}_2 : \text{H}_2\text{O}$ (1:4:20)	10 minutes, 70 °C
Désoxydation	$\text{HF} : \text{H}_2\text{O}$ (1 %)	2 minutes
Validation de la surface (par AFM)		
Désoxydation	$\text{HF} : \text{H}_2\text{O}$ (2,5 %)	2 minutes

Tableau 5.4 – Méthodologie adoptée pour la préparation des échantillons avant croissance.

L'ensemble des échantillons de cette étude sont issus des procédés de croissance dits « BT » (structures mince et épaisse) présentés dans le Chapitre 4, la température de croissance de l'AlN étant comprise entre 830 et 850 °C. Les épitaxies localisées seront notamment évaluées par rapport aux échantillons HT et BT caractérisés au §4.3, ainsi que par comparaison avec des références BT fabriquées par la suite.

5.3.2 Propriétés structurales

Dans la Figure 5.9, les dénominations « Masque A », « Masque B » et « Masque C » désignent les épitaxies localisées, réalisées par le procédé BT et en présence du masque de croissance correspondant (Tableau 5.3). Ces échantillons sont comparés avec des références, « Procédé BT » et « Procédé HT », désignant des épitaxies sans masque obtenues avec le procédé de croissance correspondant. Par conséquent, l'effet de la préparation de surface avant croissance, et l'impact de la présence du masque pendant celle-ci, sont observés en comparant les épitaxies localisées avec la référence Procédé BT. Nous conserverons cette terminologie dans la suite de l'étude.

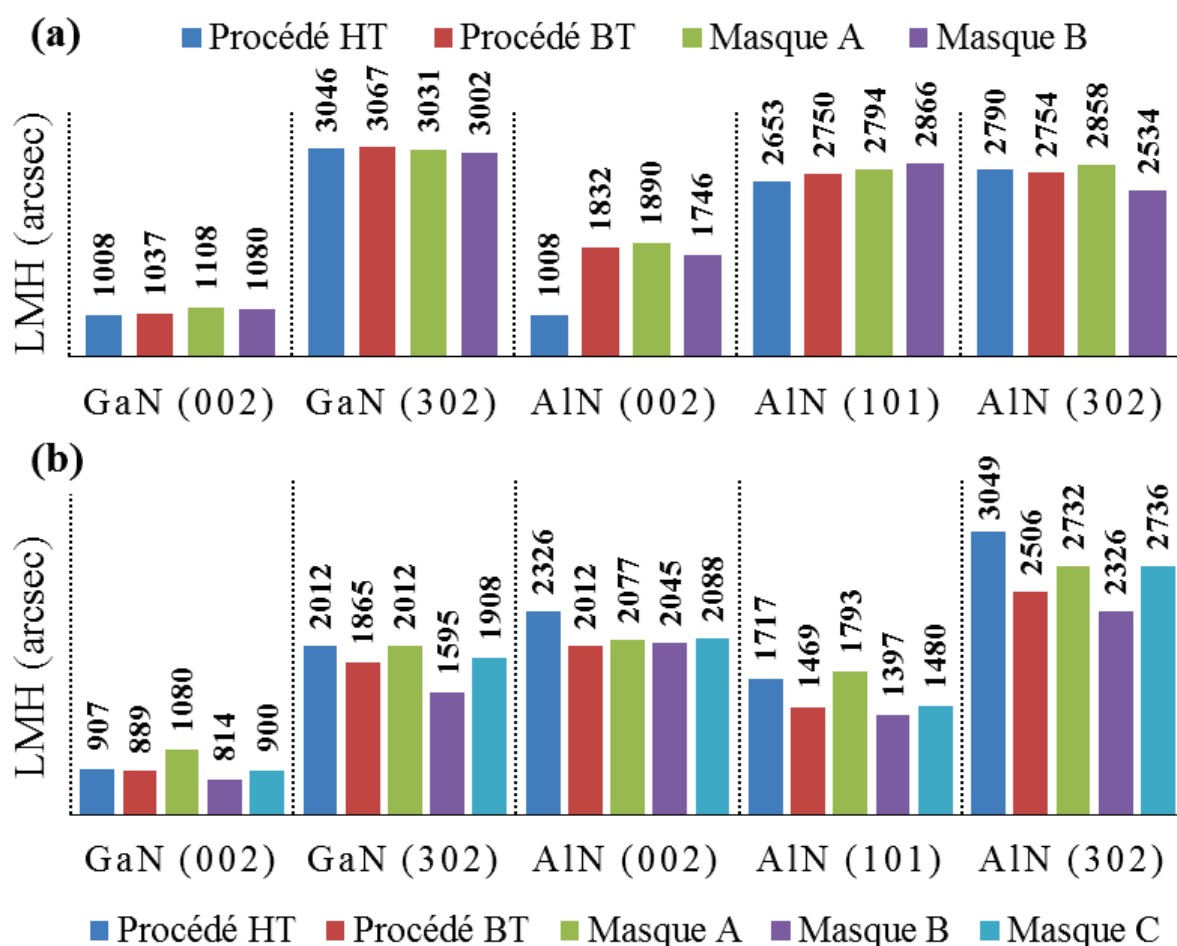


Figure 5.9 – DRX : Largeurs à mi-hauteur mesurées sur les épitaxies localisées, et comparées à celles extraites sur les références HT et BT au §4.3.2 pour les structures (a) minces (b) épaisses [288].

Concernant les structures minces, les LMHs relatives à la couche tampon GaN sont très homogènes, comprises dans un intervalle réduit de 100 arcsec (Figure 5.9a). De même, les

LMHs de la couche AlN affichent tout au plus une augmentation de 116 arcsec sur la raie (101) par rapport à la référence Procédé BT, soit une variation limitée à 4 %. En revanche, les résultats obtenus sur les structures épaisses ne sont pas aussi homogènes que sur les structures minces. Sur les raies asymétriques GaN(302) et AlN(101), les LMHs les plus grandes sont obtenus avec le masque A, indiquant une qualité cristalline moins bonne sur cet échantillon (Figure 5.9b). Cependant, comme dans le cas des structures minces, les écarts ne sont significatifs car la plupart des LMHs sont aussi bonnes voire meilleures que celles mesurées sur la référence Procédé HT, c'est-à-dire le procédé standard. Ainsi, il semble qu'en dépit des étapes de préparation du masque (photolithographie, gravure, etc.) et de la présence des diélectriques pendant la croissance, la qualité cristalline des structures HEMTs GaN ne soit pas dégradée. Cette conclusion valide la préparation des échantillons, en particulier la procédure de nettoyage avant croissance (Tableau 5.4).

5.3.3 Surfaces et intégrité des couches

Les structures minces obtenues avec les masques A et B présentent une rugosité de surface estimée à 1,4 et 1,2 nm respectivement, dans la norme pour ce type d'hétérostructure (§4.3.2). De même, les valeurs RMS mesurées dans les fenêtres de croissance sur les structures épaisses obtenues avec les masques A, B et C sont de 3,8 nm, 4,1 nm et 3,3 nm respectivement (Figure 5.10b), c'est-à-dire des valeurs comparables aux rugosités présentées pleine plaque par les références Procédé HT et Procédé BT, de 3,6 et 3,3 nm respectivement.

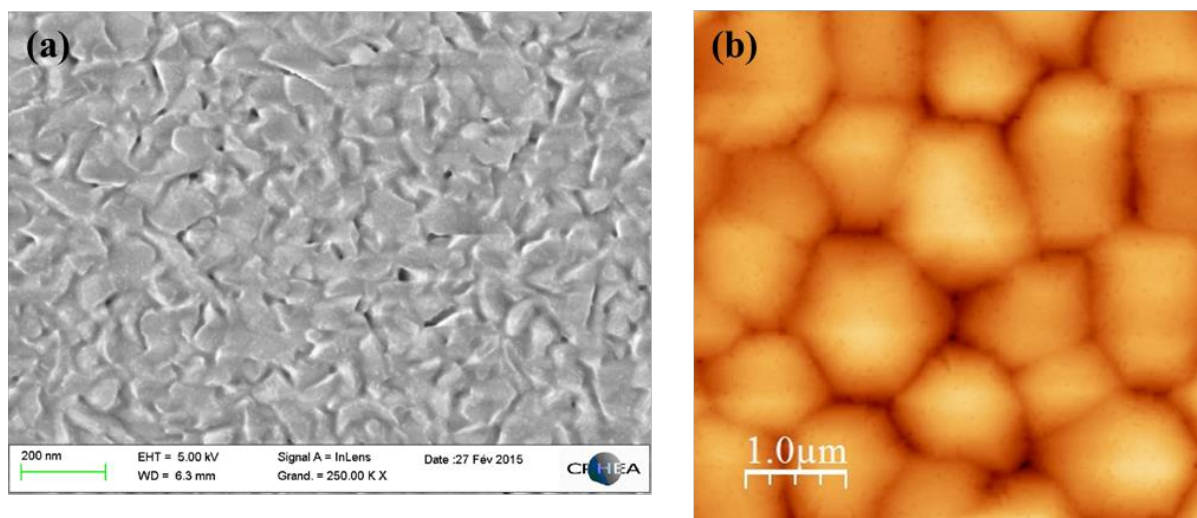


Figure 5.10 – Morphologie de surface de la structure épaisse réalisée avec le Masque C : (a) Poly-GaN déposé sur SiO₂ à 640 °C avant croissance (b) Surface de l'hétérostructure AlGaIn/GaN sur Si, fabriquée par le procédé BT.

le soulèvement des écailles et révèlent en dessous de celles-ci une surface accidentée (zone C, Figure 5.12b), que nous avons identifiée comme le SiO_2 du masque par une analyse EDX. Nous observons dans cette couche résiduelle des fissures correspondant aux bords des écailles décollées (non visibles sur la Figure 5.12b). Ainsi, il semble que la délamination de l'empilement formé par le masque et les couches III-N ait lieu dans le volume de la couche d'oxyde, et non à une interface bien définie. Cependant, une mesure de profilométrie indique que cette surface de délamination se trouve à quelques dizaines de nanomètres seulement de l'interface avec le substrat. Cela est confirmé après une courte immersion dans BOE (1 min), révélant la surface Si (zone D). De même, les fissures évoquées précédemment disparaissent après cette gravure, confirmant que celles-ci sont localisées dans le SiO_2 . Après 19 minutes supplémentaires d'immersion dans la solution BOE, nous n'observons pas d'amélioration du processus de soulèvement (Figure 5.12c).

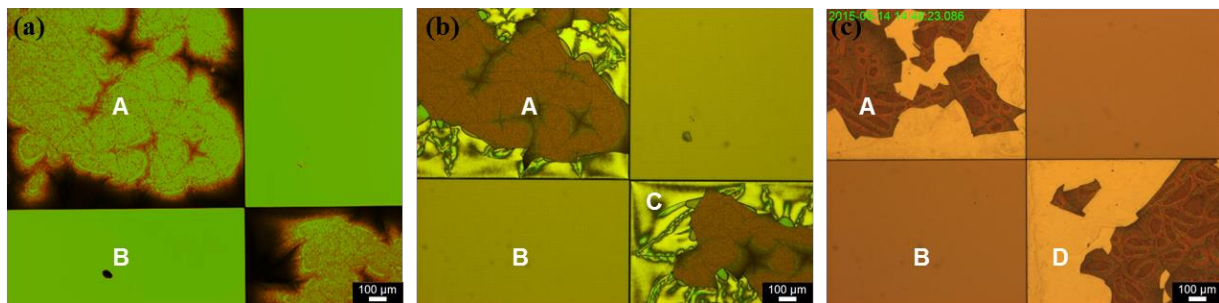


Figure 5.12 – Tests de soulèvement des couches III-N via le film épais SiO_2 (a) État initial (b) Après nettoyage solvant sous ultrasons (c) Après immersion dans le BOE pendant 20 minutes sous ultrasons.

En résumé, les masques SiO_2 (– poly-Si) donnent satisfaction pour l'épithaxie localisée de structures minces, en termes de tenue mécanique, mais ne résolvent pas le problème de délamination proche de l'interface avec le substrat pour les structures épaisses. La principale différence entre ces deux structures étant, d'une part, l'insertion de couches intercalaires, et d'autre part l'épaisseur de la couche tampon, nous avons réalisé une hétérostructure $\text{AlGaIn}/\text{GaIn}$ sans intercalaire mais avec une couche tampon GaIn relativement épaisse ($1\mu\text{m}$ GaIn sur $0,2\mu\text{m}$ AlIn). Nous observons dans ce cas une situation similaire à celle des structures épaisses avec intercalaires, c'est-à-dire des couches III-N fissurées sur le masque, présentant des signes de décollement sur les bords. Il est donc clair que la délamination des couches III-N est davantage liée à l'épaisseur du GaIn déposé, et est vraisemblablement due à une énergie élastique plus importante emmagasinée lors du refroidissement ([1.11](#), [1.18](#)). Ceci confirme que

la couche GaN déposée sur le masque est de très mauvaise qualité et fortement contrainte en tension, quelle que soit la structure.

(2) Délamination sur SiO₂ PECVD : Cas des structures épaisses

Par conséquent, étant donné qu'il semble difficile d'éviter le phénomène de délamination sur les structures épaisses avec le procédé BT actuel, nous avons exploré la possibilité de le confiner à une interface déterminée de l'empilement. Dans cette perspective, nous avons réalisé le Masque C, consistant à encapsuler la couche de SiO₂ épaisse dans un film GaN déposé à basse température ([Tableau 5.3](#)). La morphologie de surface de cette couche après 200 nm est illustrée par la [Figure 5.10a](#), la rugosité RMS correspondante, mesurées par AFM, étant de 7,7 nm. Nous observons sur cette image MEB une structure composée de grains de petite taille, présentant des facettes qui ne semblent pas orientées selon des directions privilégiées (poly cristal). De plus, nous notons la présence de quelques aspérités.

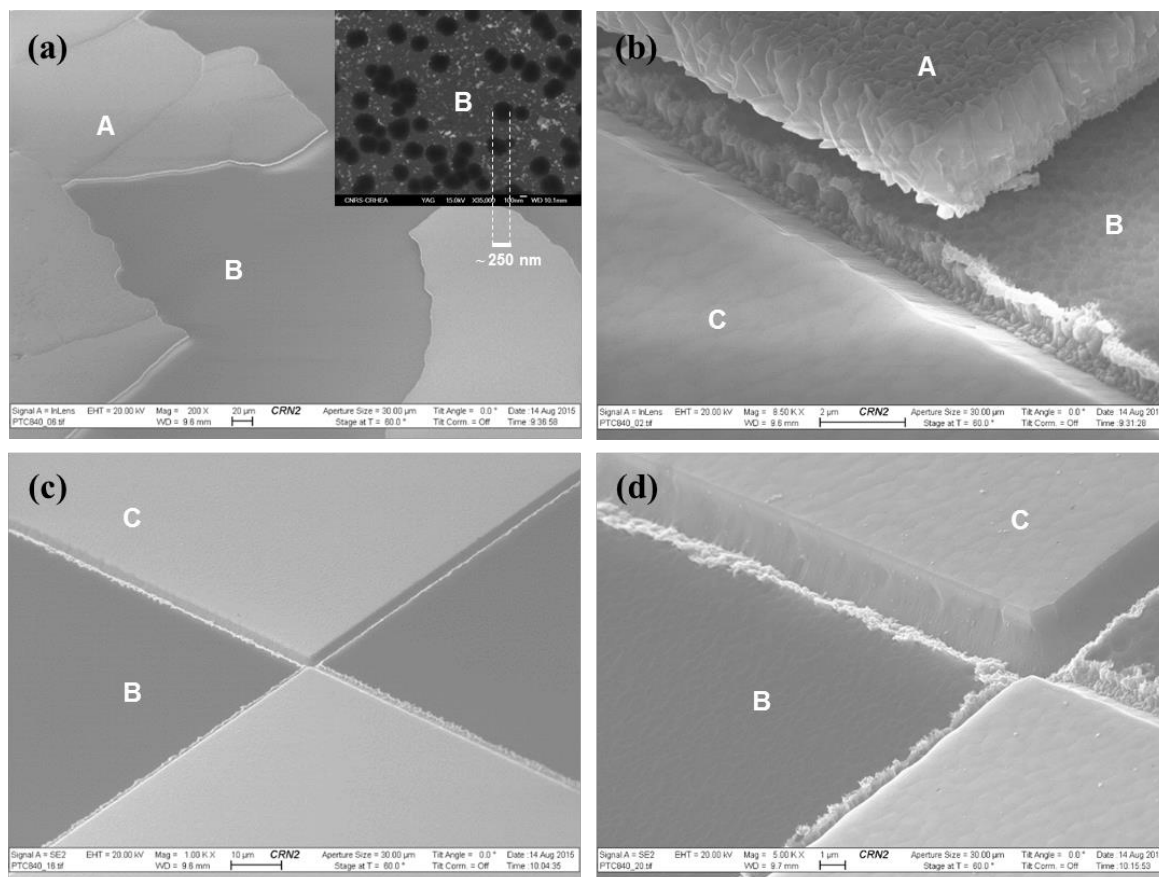


Figure 5.13 – Observations MEB : structure épaisse réalisée avec le masque C : (a),(b) après croissance (c),(d) après soulèvement des couches III-N déposées sur le masque. Les lettres A, B, C et D repèrent des régions de l'échantillon communes à toutes les photos de cette figure. L'encadré de (a) illustre la morphologie de surface à fort grossissement (x 35 000).

Les Figures 5.13a-b montrent l'aspect de la surface des zones masquées après croissance d'une structure épaisse, avec deux régions bien distinctes. La zone A correspond à des morceaux de couches III-N fissurées, en cours de décollement, mais encore présents sur le masque. La zone B est une surface relativement plane de SiO_2 , identifiée par analyse chimique (EDX). De plus, la mesure de profilométrie indique que l'épaisseur restante de SiO_2 correspond à l'épaisseur déposée initialement, suggérant que la délamination est bien confinée au niveau de l'interface SiO_2/GaN . À plus petite échelle, nous remarquons que la surface du SiO_2 présente une morphologie modifiée, confirmée par l'observation AFM estimant une valeur de rugosité RMS entre 25 et 35 nm. Dans l'encadré de la Figure 5.13a, nous notons la présence de zones circulaires plus foncées, qui sont certainement liées à la nucléation du GaN sur le SiO_2 , et qui pourrait rendre compte d'une porosité plus importante du GaN près de l'interface. La Figure 5.13b s'intéresse à la frontière entre l'hétérostructure AlGaIn/GaN sur Si (région C) et la zone masquée (régions A et B). À cette échelle, la présence d'une discontinuité nette entre l'hétérostructure, le masque diélectrique et les couches III-N déposées par-dessus, est bien visible. Il est probable que cette discontinuité soit due à un effet d'ombrage résultant de la géométrie du réacteur MBE, dans lequel les flux incidents (Ga, Al, NH_3) sont inclinés d'un angle de 50° par rapport à la surface de l'échantillon. De plus, l'ensemble du procédé de fabrication (Masque C + Damier $4 \times 4 \text{ mm}^2$ + Procédé BT + Structure épaisse) conduit à une contrainte résiduelle légèrement compressive, une flèche inférieure à $10 \mu\text{m}$ étant mesurée. En revanche, les épitaxies localisées réalisées avec les masques A et B produisent une contrainte résiduelle systématiquement extensive et non négligeable, une flèche supérieure à $20 \mu\text{m}$ étant mesurée sur substrat 3 pouces pour les structures épaisses avec intercalaires.

De même que pour la structure épaisse fabriquée avec le masque B, un test de soulèvement après croissance a été réalisé sur celle comportant le masque C. Le nettoyage aux solvants sous ultrasons permet dans un premier temps de retirer une bonne partie des résidus, puis une courte immersion dans une solution BOE (typiquement, 1 min) complète le retrait des morceaux restants. Le résultat final apparaît dans la Figure 5.13c, la frontière entre la zone de croissance et le masque étant plus clairement visible sur la Figure 5.13d. Nous retrouvons les régions B et C décrites précédemment, correspondant à la surface SiO_2 et à l'hétérostructure AlGaIn/GaN sur Si respectivement.

5.3.4 Contamination

Comme mentionné précédemment, l'incorporation d'impuretés dans les hétérostructures AlGaN/GaN est une préoccupation majeure dans le procédé d'épithaxie localisée, en raison de la présence d'espèces Si et O dans le masque de croissance (SiO_2 PECVD, poly-Si LPCVD) pouvant se comporter comme des donneurs dans les couches tampons GaN. De plus, une source supplémentaire de contamination est potentiellement introduite lors des étapes de photolithographie et de gravure du masque avant croissance. C'est pourquoi des analyses chimiques SIMS ont été conduites sur les structures minces réalisées avec les masques A et B, puis ont été comparées avec des mesures SIMS réalisées précédemment sur les références des procédés HT et BT au §4.3 (Figure 5.14).

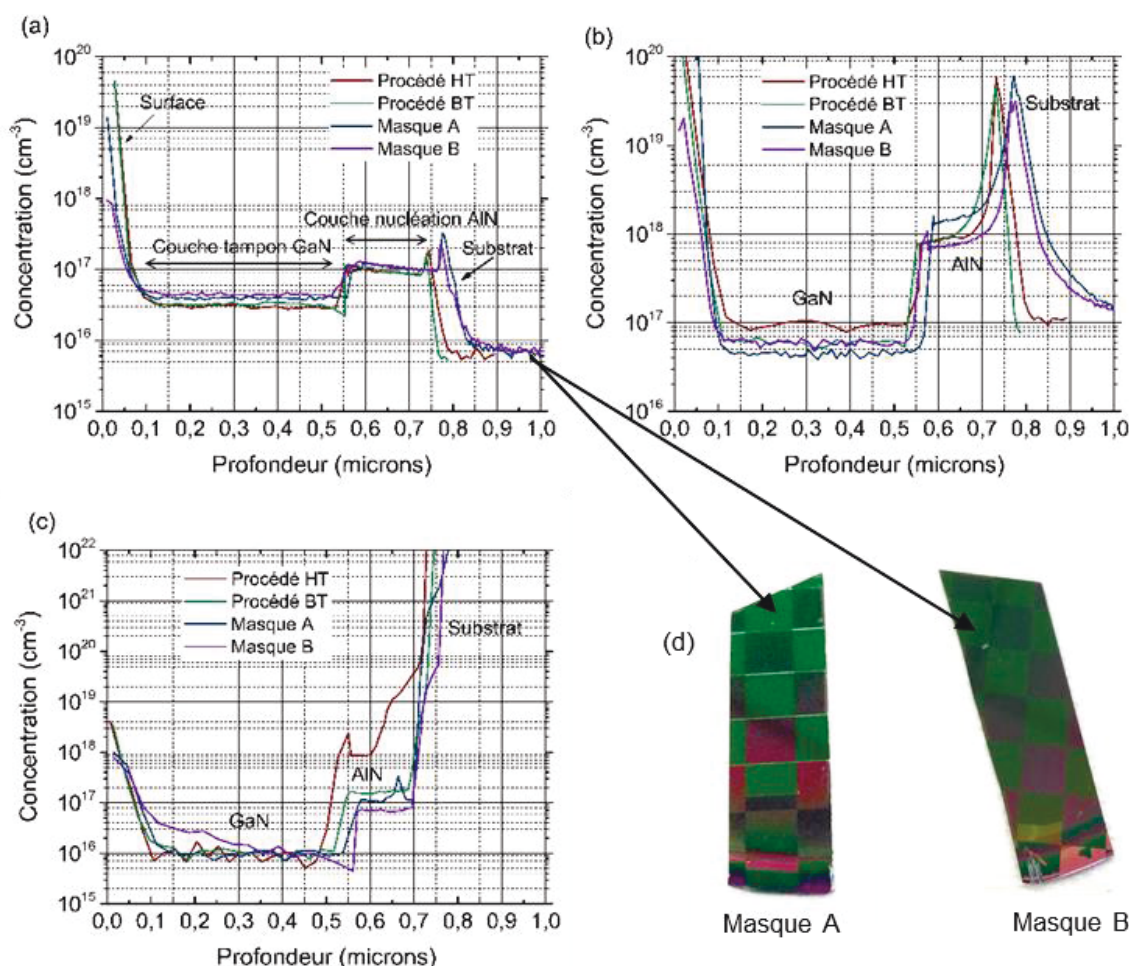


Figure 5.14 – Analyses SIMS : profils de concentration d'impuretés mesurés en profondeur sur des structures minces : (a) Carbone (b) Oxygène (c) Silicium (d) Localisation de la mesure sur les épithaxies localisées [288].

Pour l'établissement du profil, l'analyse SIMS se base sur la profondeur du cratère réalisé pour chaque élément, mesurée par profilométrie. Cependant, pour les éléments atmosphériques tels que le carbone et l'oxygène, la vitesse de pulvérisation a été augmentée afin de diminuer les limites de détection, ce qui se traduit par une résolution spatiale moins précise que dans le cas de Si. Ceci explique le décalage observé sur les Figures 5.14a-b entre les deux séries de mesures effectuées (épitaxies localisées versus références). Notons que les profils réalisés sur les épitaxies localisées ont été mesurés au centre d'une fenêtre de croissance de dimensions $4 \times 4 \text{ mm}^2$ (Figure 5.14d).

Tout d'abord, nous constatons que les concentrations de carbone se comportent de la même façon dans toutes les structures analysées, avec un niveau d'incorporation à environ $1.10^{17} \text{ cm}^{-3}$ dans la couche AlN, réduit à $3 - 5.10^{16} \text{ cm}^{-3}$ dans la couche tampon GaN (Figure 5.14a). De même, les teneurs en oxygène dans la couche de nucléation AlN sont relativement homogènes sur l'ensemble des échantillons, comprises entre $0,7$ et $1.10^{18} \text{ cm}^{-3}$, excepté pour l'épitaxie localisée avec le masque A, dont la concentration s'élève entre 1 et $2.10^{18} \text{ cm}^{-3}$. Cependant, dans la couche tampon GaN, la teneur en oxygène pour les épitaxies localisées demeure bien en-dessous de celle d'une épitaxie standard réalisée avec le procédé HT. Pour l'oxygène comme pour le carbone, nous notons la présence d'un pic de concentration à l'interface AlN/Si, qui indique une contamination en carbone et en oxygène de cette interface. Néanmoins, l'intensité de ces pics est similaire quel que soit le procédé mis en œuvre. Enfin, les épitaxies localisées ici réalisées avec le procédé BT bénéficient également d'une concentration Si réduite dans la couche AlN par rapport à la référence (Procédé HT). En revanche, la teneur en Si dans les couches tampons GaN, aux alentours de $1.10^{16} \text{ cm}^{-3}$, ne semble pas être affectée par la concentration plus élevée dans la couche de nucléation AlN, ce qui suggère que la diffusion de Si dans les couches III-N est relativement faible à 800°C . L'absence de différence entre les différentes structures peut être aussi attribuée à la limite de détection possiblement atteinte lors de ces mesures. Notons que l'échantillon réalisé avec le masque B se distingue par une augmentation notable de la concentration Si au fur et à mesure de l'épaississement de la couche GaN. À ce stade de l'analyse, cette augmentation pourrait aussi bien être due à un artefact engendré par un défaut de la couche, à une contamination induite par la dégradation du film poly-Si terminant le masque B, ou encore à un dysfonctionnement du réacteur de croissance.

5.3.5 Propriétés électriques

(1) Structures minces

Le bon fonctionnement des hétérostructures obtenues par le procédé d'épithaxie localisée a été vérifié par mesure $C(V)$ à la bille de mercure. La Figure 5.15 compare la caractéristique $C(V)$ des épithaxies localisées avec celle des références HT et BT. Afin d'évaluer au mieux l'impact du masque de croissance sur les hétérostructures AlGaIn/GaN, la mesure $C(V)$ a été effectuée dans une fenêtre de croissance $4 \times 4 \text{ mm}^2$ pour les épithaxies localisées. La mesure est schématisée dans l'encadré de la Figure 5.15. Le contact central de la sonde possède un diamètre de $800 \text{ }\mu\text{m}$, cependant celui de l'électrode périphérique (potentiel de référence de la mesure) excède légèrement les dimensions de la fenêtre. Par conséquent, selon son positionnement dans la fenêtre, la surface de contact entre l'électrode périphérique et l'hétérostructure varie, pouvant induire une légère erreur sur les valeurs extraites. En effet, cette erreur est minimisée par le fait que les deux diodes sont en série, la plus petite capacité dominant la mesure. Cela se traduit par des valeurs obtenues via cette méthode relativement proches des mesures d'effet Hall (Tableau 5.5), qui sont par ailleurs confirmées par les mesures $C(V)$ sur des diodes circulaires.

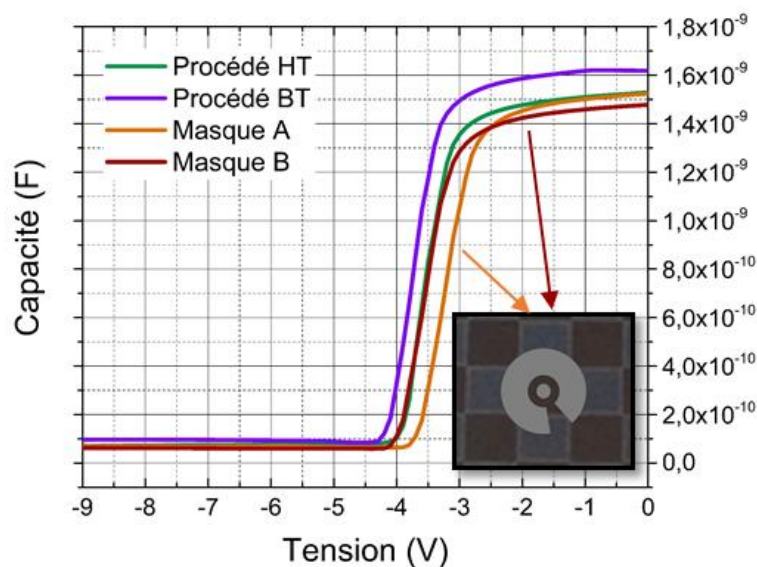


Figure 5.15 – Structures minces : $C - V$ mesurée à la bille de mercure à 20 kHz [288].

En dépit de cette configuration non standard, les caractéristiques $C(V)$ obtenues à la bille de mercure sont extrêmement similaires aux caractéristiques obtenues dans une configuration habituelle, présentant un plateau et un pincement abrupt de la capacité. Les structures minces réalisées lors de cette étude démontrent une densité du gaz 2D comprises entre 6,4 et

$7,1.10^{12} \text{ cm}^{-3}$, et une mobilité électronique d'environ $1200 \text{ cm}^2.(\text{V.s})^{-1}$, conduisant à une résistance de feuille proche de $730 \Omega / \square$ (2.12). Cette valeur est supérieure à celle de la référence BT de l'étude (Tableau 5.5), mais est similaire à celles obtenues précédemment sur les références HT et BT du §4.2.3 (échantillons A et B respectivement, Tableau 4.4). Enfin, le dopage résiduel minimal est de $4,5.10^{14} \text{ cm}^{-3}$ pour l'échantillon fabriqué avec le masque A, et de $3,1.10^{14} \text{ cm}^{-3}$ avec le masque B, ce qui se compare favorablement aux mesures obtenues sur les épitaxies réalisées sans masque. Ainsi, l'obtention de caractéristiques $C(V)$ normales et de propriétés de transport attendues pour ce type de structure soutient l'absence d'une contamination significative introduite par l'utilisation des masques A et B. Par conséquent, l'hypothèse d'un artefact sur le profil SIMS de la structure fabriquée avec le masque B est désormais privilégiée (Figure 5.14c). Ces conclusions sont renforcées par la mesure d'isolation effectuée sur des peignes inter-digités dont les doigts présentent un espacement de 5, 10 ou 20 μm (Figure 4.7d).

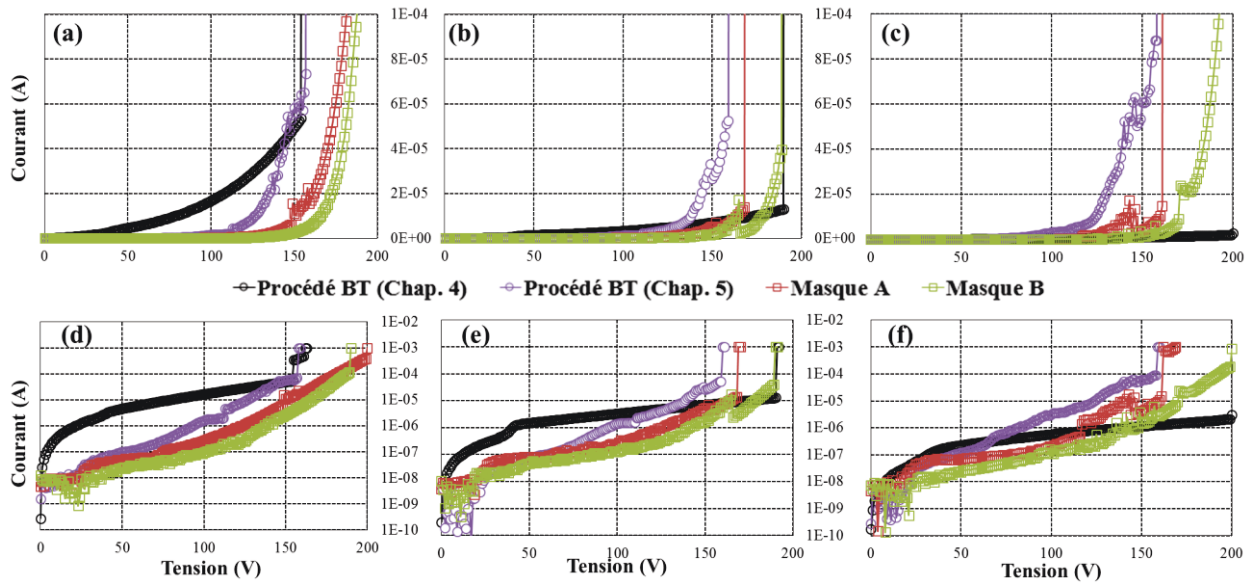


Figure 5.16 – Structures minces : Courbes $I(V)$ en échelles linéaire et logarithmique mesurées sur des peignes inter-digités présentant un espacement de (a,d) 5 μm (b,e) 10 μm et (c,f) 20 μm et une longueur de développement de $10 \times 100 \mu\text{m}$. Les épitaxies localisées sont comparées aux références « Procédé BT » fabriquées sans masque et présentées dans le Chapitre 4 (échantillon B) et le Chapitre 5 (Tableau 5.6).

Comme précédemment, la tension de claquage est définie à 1 mA / mm, conduisant à des valeurs supérieures à 150 V pour le masque A comme pour le masque B (Figure 5.16). De plus, pour les espacements de 5 et 10 μm , les courants de fuite se trouvent un à deux ordres de grandeur en-dessous de ceux mesurés sur les références Procédé BT, qui présentent déjà une

meilleure isolation que la référence Procédé HT du §4.3. Ces résultats confirment les bonnes propriétés isolantes des couches tampons élaborées par le procédé d'épitanie localisée.

Les mesures effectuées sur des transistors présentant des dimensions similaires à ceux fabriqués sur les références HT et BT du Chapitre 4 ([Tableau 4.4](#)) sont présentées dans le Tableau 5.5. Des courants de fuite relativement faibles sont reportés ($< 1 \mu\text{A} / \text{mm}$), en dépit des difficultés rencontrées dans la fabrication des transistors sur les échantillons de cette étude, qui peuvent par ailleurs expliquer une tenue en tension légèrement dégradée par rapport à la référence BT du Chapitre 4 (Figure 5.16f). En effet, nous avons remarqué une dégradation de la surface sur certains composants, liée au procédé technologique (nettoyage et / ou RTA), ainsi que des résistances de contact parfois élevées ($> 1 \Omega.\text{mm}$), nécessitant un ajustement de la durée de la gravure superficielle de la barrière avant dépôt du contact ohmique (Annexe A).

	Symbole	Unités	Référence Procédé BT	Masque A	Masque B
Mesures C-V (bille de mercure)					
Tension de pincement	V_P	V	-3,8	-3,5	-3,5
Densité du 2DEG	N_s	$\times 10^{12} \text{ cm}^{-2}$	7,3	6,6	6,4
Dopage résiduel minimal	N_D	$\times 10^{14} \text{ cm}^{-3}$	8,6	4,5	3,1
Mesures d'Effet Hall					
Résistance de feuille	R_{sh}	Ω / \square	649	730	731
Densité du 2DEG	N_s	$\times 10^{12} \text{ cm}^{-2}$	7,6	7,1	7,1
Mobilité électronique	μ	$\text{cm}^2.\text{V}^{-1}.\text{s}^{-1}$	1274	1202	1204
Mesures I(V)					
Courant de saturation ($V_{GS} = 0 \text{ V}$)	I_{DSS}	A/mm	N/A	0,26	0,21
Fuites de grille ($V_{GS} = -7 \text{ V}$, $V_{DS} = 8 \text{ V}$)	$I_{GS,OFF}$	$\mu\text{A}/\text{mm}$	N/A	0,2	$< 0,1$
Fuites de drain ($V_{GS} = -7 \text{ V}$, $V_{DS} = 8 \text{ V}$)	$I_{DS,OFF}$	$\mu\text{A}/\text{mm}$	N/A	0,1	$< 0,1$
Transconductance	$g_{m,max}$	mS/mm	N/A	86	76
Tension de claquage (2 électrodes)	V_{BR}	V	N/A	181	192

Tableau 5.5 – Structures minces : propriétés de transport des hétérostructures AlGaIn/GaN fabriquées par épitanie localisée comparées avec une référence BT. Les transistors comportent des grilles de longueur $L_G = 3 \mu\text{m}$ fabriquées dans un espacement de $L_{SD} = 12 \mu\text{m}$ avec un développement $W = 0,15 \text{ mm}$.

Cependant, lorsque ces procédés ont été améliorés, comme dans le cas des structures épaisses (Masque B et Masque C, Tableau 5.6), des caractéristiques normales sont obtenues et confirment l'absence de dégradation des couches III-N liée à l'épitanie localisée. De plus, ces résultats confirment que la réduction de température de croissance de l'AlN limite efficacement la contamination par des impuretés de type donneur dans les couches III-N. En effet, dans [255],

l'épithaxie localisée d'hétérostructures AlGaIn/GaN épaisses par la technique NH_3 -MBE en utilisant un masque SiO_2 PECVD et le procédé HT ($T_{\text{AlN}} = 920^\circ\text{C}$), conduit à des niveaux de concentration en oxygène de l'ordre de 10^{20} cm^{-3} dans les couches intercalaires et au-dessus de 10^{18} cm^{-3} dans la couche tampon GaN. Afin d'améliorer les propriétés isolantes de cette dernière, le dopage carbone a été mis en œuvre lors de la croissance de GaN, conduisant à un dopage résiduel d'environ 5.10^{14} cm^{-3} dans la couche tampon, mais qui ne résout pas le problème au niveau des couches intercalaires.

De plus, en dépit du dopage carbone, des courants de fuite élevés, de l'ordre de 10^{-2} A/mm , sont mesurés sur la caractéristique de transfert de HEMTs GaN, se traduisant par un rapport $I_{\text{ON}}/I_{\text{OFF}}$ inférieur à 10^3 , ce qui confirme une contamination importante des couches [256, 257]. En revanche, en abaissant la température de croissance à $830 - 850^\circ\text{C}$, sur des structures minces, il nous est possible de limiter la concentration en oxygène à environ 1.10^{18} cm^{-3} dans la couche de nucléation AlN, et en-deçà de 10^{17} cm^{-3} dans la couche tampon GaN, conduisant à un dopage résiduel similaire (de 3 à 5.10^{14} cm^{-3}), sans avoir recours ni aux techniques de dopage carbone, ni à l'insertion de couches intercalaires. La Figure 5.17 montre les caractéristiques d'un transistor fabriqué dans une fenêtre de croissance, sur une structure mince élaborée avec le masque B et un procédé BT. Dans des conditions de polarisation similaires à celle des références [256, 257], nous obtenons des courants de fuite autour de $2\text{ }\mu\text{A/mm}$ à ($V_{\text{GS}} = -7\text{ V}$, $V_{\text{DS}} = 5\text{ V}$), sur la grille comme sur le drain, se traduisant par un rapport $I_{\text{ON}}/I_{\text{OFF}}$ de l'ordre de 10^5 . De plus, ces performances restent proches des niveaux observés sur la référence Procédé BT épithaxiée sans masque (Tableau 4.4).

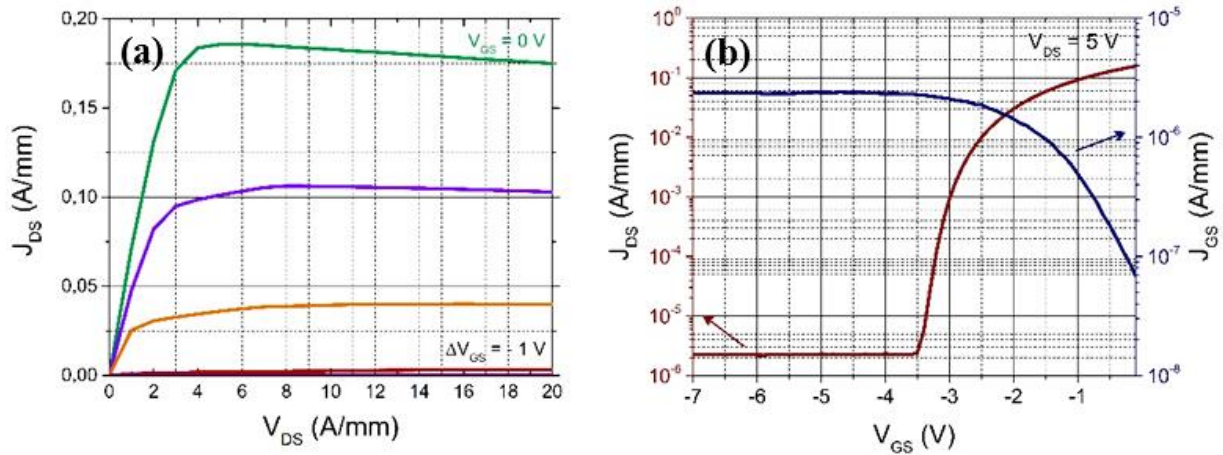


Figure 5.17 – Structure mince : Caractéristiques (a) de sortie et (b) de transfert d'un transistor HEMT GaN ($L_{\text{G}} = 5\text{ }\mu\text{m}$, $L_{\text{SD}} = 14\text{ }\mu\text{m}$) fabriqué avec le masque B [288].

(2) Structures épaisses

Les mesures $C(V)$ réalisées sur les structures épaisses fournissent des caractéristiques similaires, même avec le masque C, pour lequel la contamination n'a pas été étudiée par SIMS. Les valeurs de N_s et de dopage résiduel sont très homogènes sur l'ensemble des épitaxies localisées, comprises entre $8,2$ et $8,5 \cdot 10^{12} \text{ cm}^{-2}$ et inférieures à $3 \cdot 10^{14} \text{ cm}^{-3}$ respectivement. Les mesures d'effet Hall indiquent une densité du gaz 2D entre $7,9$ et $8,6 \text{ cm}^{-2}$, associée à une mobilité comprise entre 2010 et $2150 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$, conduisant à une résistance de feuille entre 340 et $400 \Omega / \square$ (Tableau 5.6). Ces grandeurs se comparent favorablement avec celles mesurées sur la référence BT de l'étude.

	Symbole	Unités	Référence Procédé BT	Masque A	Masque B	Masque C
Mesures C-V (bille de mercure)						
Tension de pincement	V_P	V	-3,8	-4,4	-4,3	-4,5
Densité du 2DEG	N_s	$\times 10^{12} \text{ cm}^{-2}$	7,3	8,2	8,5	8,5
Dopage résiduel minimal	N_D	$\times 10^{14} \text{ cm}^{-3}$	4,7	1,7	2,1	2,6
Mesures d'Effet Hall						
Résistance de feuille	R_{sh}	Ω / \square	416	N/A	340	394
Densité du 2DEG	N_s	$\times 10^{12} \text{ cm}^{-2}$	7,5	N/A	8,6	7,9
Mobilité électronique	μ	$\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$	2012	N/A	2147	2010
Mesures I(V)						
Courant de saturation ($V_{GS} = 0 \text{ V}$)	I_{DSS}	A/mm	N/A	N/A	0,32	0,37
Fuites de grille ($V_{GS} = -7 \text{ V}$, $V_{DS} = 8 \text{ V}$)	$I_{GS,OFF}$	$\mu\text{A/mm}$	N/A	N/A	0,7	4
Fuites de drain ($V_{GS} = -7 \text{ V}$, $V_{DS} = 8 \text{ V}$)	$I_{DS,OFF}$	$\mu\text{A/mm}$	N/A	N/A	0,9	2
Transconductance	$g_{m,max}$	mS/mm	N/A	N/A	117	122
Tension de claquage (2 électrodes)	V_{BR}	V	N/A	N/A	> 200	> 200

Tableau 5.6 – Structures épaisses : propriétés de transport des hétérostructures AlGaIn/GaN fabriquées par épitaxie localisée, comparées avec une référence BT. Les transistors comportent des grilles de longueur $L_G = 3 \mu\text{m}$ fabriquées dans un espacement de $L_{SD} = 13 \mu\text{m}$ avec un développement $W = 0,15 \text{ mm}$.

De même, les caractéristiques $I(V)$ mesurées entre deux contacts isolés sont reportées dans la Figure 5.18 pour les structures épaisses fabriquées avec les Masques B et C. Celles-ci sont comparées avec une mesure similaire effectuée sur la référence HT du Chapitre 4, dont la couche tampon présentait des meilleures propriétés d'isolation que la référence BT. Contrairement à ces dernières, quel que soit l'espacement, le claquage de la structure n'est pas observé en dessous de 200 V , limite de notre appareil de mesure. De plus, les courants de fuite sont notablement réduits par rapport à ces références, en particulier sur l'échantillon fabriqué avec le Masque C. Cela confirme l'absence de contamination significative induite par la

présence du masque diélectrique, ainsi que l'absence de dégradation due à la température de croissance réduite de l'intercalaire AlN, suggérée au §4.3.3 (Figure 4.7).

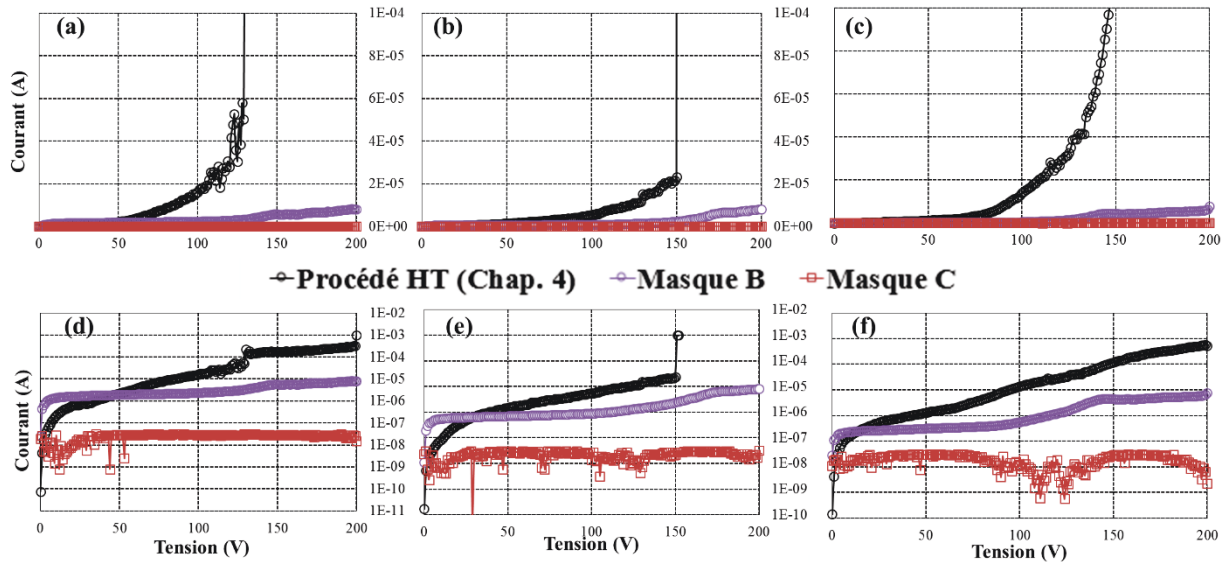


Figure 5.18 – Structures épaisses : Courbes $I(V)$ en échelles linéaire et logarithmique mesurées entre des peignes inter-digités (Procédé HT) ou entre des plots de contact rectangulaires (épitaxies localisées) présentant un espacement de (a,d) 5 μm (b,e) 10 μm et (b,f) 20 μm et une longueur de développement de 100 μm .

La Figure 5.19 montre les caractéristiques $I-V$ de transistors fabriqués dans des fenêtres de croissance 4 x 4 mm² avec les masques B et C. Les courants de saturation à $V_{GS} = 0$ V sont supérieurs à 0,3 A / mm et se comparent favorablement avec la valeur obtenue sur la référence BT, de 0,24 A / mm sur un transistor aux dimensions similaires (Tableau 4.5), ainsi qu'avec les courants de saturation des structures minces de cette étude (Tableau 5.5). L'écart mesuré avec ces dernières est de 0,05 à 0,1 A / mm, similaire à ce qui est observé dans le Chapitre 4, et associé à une amélioration de la qualité cristalline du GaN. De plus, les courants de fuite de grille et de drain sont tous deux inférieurs à 1 μA / mm à ($V_{GS} = -7$ V, $V_{DS} = 8$ V) pour le masque B. Dans le cas du masque C, les courants de fuite sont environ de 2 et 4 μA / mm sur le drain et sur la grille respectivement. Ceci indique que le procédé de fabrication de la grille doit être amélioré pour cet échantillon. Enfin, la pente sous le seuil est estimée à environ 105 – 115 mV / décade pour les deux échantillons, ce qui démontre que l'interface n'est pas significativement dégradée par le procédé d'épitaxie localisée. En effet, pour des épitaxies standards (sans masque, Procédé HT), et pour des composants non passivés, nous obtenons d'ordinaire 100 mV / décade dans le meilleur des cas [10].

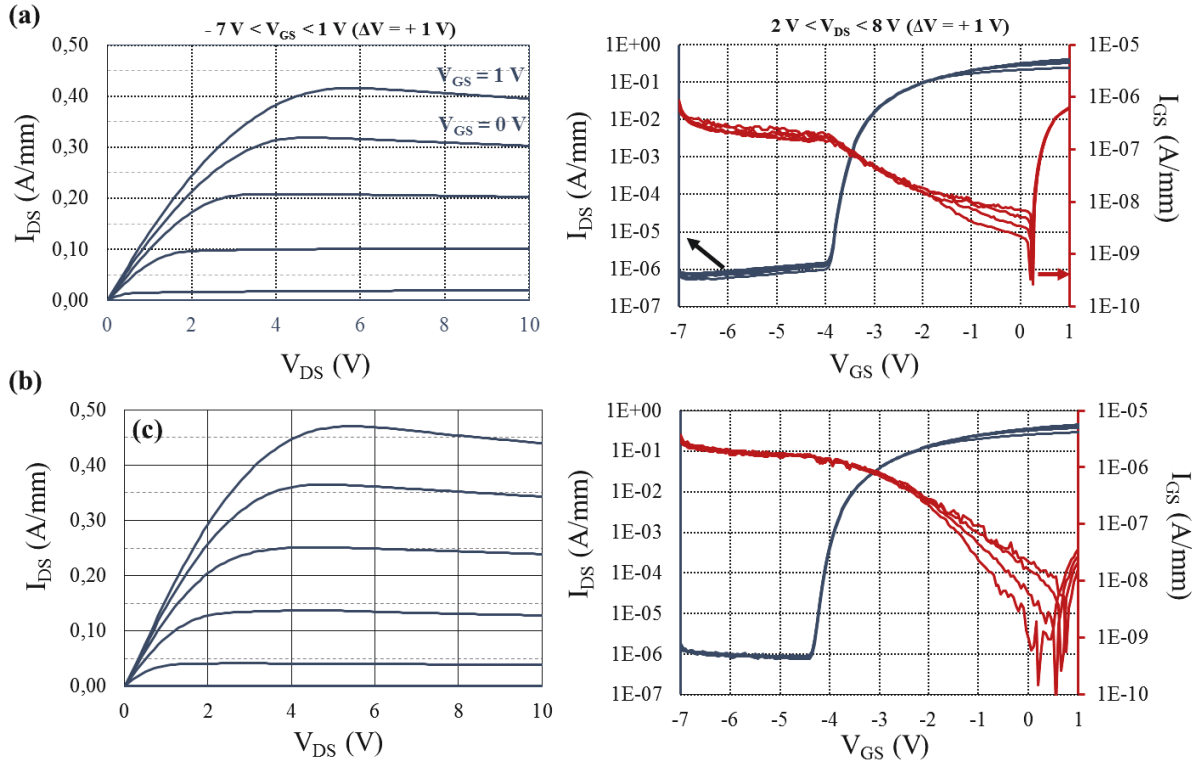


Figure 5.19 – Structures épaisses : caractéristiques de sortie et de transfert d'un HEMT GaN ($L_G = 3 \mu\text{m}$, $L_{SD} = 13 \mu\text{m}$) fabriqué avec (a) le Masque B et (b) le Masque C.

5.3.6 Conclusions de l'étude

Un procédé d'épitaxie localisée dans des fenêtres $4 \times 4 \text{ mm}^2$ a été mis au point pour la fabrication par NH_3 -MBE de structures minces et épaisses sur une plateforme CMOS. Pour les structures minces, un masque de croissance d'une épaisseur d'un micron de SiO_2 PECVD (recouvert ou non de $0,1 \mu\text{m}$ de poly-Si) peut être utilisé pour la protection des dispositifs CMOS Si. En effet, l'utilisation de ces masques a résolu le problème de délamination entrevu avec le SiN PECVD, et n'entraîne pas de contamination significative des hétérostructures. La réduction de la température maximale du procédé de croissance (de 920 à 850 - 830 °C) est un levier efficace pour limiter la migration de l'oxygène contenu dans le masque vers les couches III-N, ainsi que la diffusion/ségrégation du silicium du substrat dans la couche de nucléation AlN. Ainsi, des hétérostructures AlGaIn/GaN submicroniques produisant des transistors avec une tension de claquage supérieure à 150 V et des courants de fuite de l'ordre de 10^{-6} A/mm ou moins ont été fabriquées sans dopage carbone ni insertion de couche intercalaire. L'absence de délamination et de contamination permet d'envisager simplement la co-intégration de telles structures sur une plateforme CMOS par le présent procédé.

De façon similaire aux structures minces, le procédé d'épithaxie localisée pour les structures épaisses permet la fabrication d'hétérostructures fonctionnelles, ne présentant pas de signe de dégradation par rapport aux procédés standards. Cependant, à ce jour, il ne permet pas d'éviter la délamination des couches III-N déposées sur le masque. En effet, celle-ci intervient au-delà d'un micron d'épaisseur, indépendamment de la présence d'intercalaires, et fracture la couche SiO_2 proche de l'interface avec le substrat. Cela compromet la co-intégration des structures HEMTs GaN épaisses sur CMOS par NH_3 -MBE. Aussi, une couche d'encapsulation rugueuse (voire légèrement poreuse) à base de GaN a été développée, permettant de confiner le phénomène de délamination à l'interface SiO_2/GaN située au-dessus du masque, et facilitant le retrait des couches III-N déposées sur le masque par soulèvement chimique et/ou mécanique. De plus, l'incorporation d'impuretés donneuses dans l'hétérostructure ne semble pas aggravée par l'utilisation de cette nouvelle couche. En vue de la co-intégration, le mécanisme à l'origine de la délamination dans ce type d'empilement doit être étudié plus en détail, afin de permettre l'optimisation du procédé d'épithaxie localisée pour les structures épaisses, ainsi que l'ajustement des procédés de fabrication des composants GaN et Si (§6.3).

5.4 Conclusion

Plusieurs matériaux de masquage ont été mis en œuvre pour le développement de l'épithaxie localisée en vue de la co-intégration de structures HEMTs GaN sur une plateforme CMOS. En particulier, une approche originale a été développée, basée sur la réalisation de couches SiN PECVD dont la contrainte résiduelle est ajustée à travers les conditions de dépôt. Cependant, la tenue mécanique des empilements comportant ce type de couche est insuffisante, provoquant la fissuration du masque à un endroit critique pour la co-intégration : l'interface avec le substrat. La mise en œuvre de masques à base de SiO₂ PECVD, plus classiques dans le domaine, nous oblige à adresser les problèmes de contamination des couches III-N par l'oxygène. De ce point de vue, nous avons montré que la contamination est efficacement limitée par la réduction de la température maximale de croissance en-deçà de 850 °C. De plus, la tenue mécanique des couches III-N déposées sur le masque est améliorée grâce à la couche SiO₂ PECVD (sans nécessité de recuit de densification préalable), ce qui permet d'éviter la délamination du masque lors de la fabrication de structures HEMTs GaN minces. Cependant, ce problème persiste pour la réalisation de structures HEMTs GaN épaisses, indépendamment du masque de croissance utilisé. Nous avons montré que son impact sur les zones masquées peut être confiné à la délamination des couches III-N, épargnant le masque sous-jacent. Cette solution est satisfaisante, car l'intégrité physique des CMOS serait préservée. Néanmoins, elle requiert une étape de dépôt GaN très rugueux avant la définition des fenêtres d'épithaxie localisée. C'est pourquoi la recherche d'un procédé équivalent uniquement basé sur une surface SiN ou SiO₂ suffisamment rugueuse pourrait s'avérer utile (§6.3). De plus, la maîtrise (reproductibilité, rendement, applicabilité à différentes plateformes, etc.) de ce procédé doit être éprouvée. D'après nos observations, l'épaisseur de couches III-N déposées sur le masque est déterminante pour l'apparition de la délamination. Or, les techniques MBE ne permettent pas d'optimiser la sélectivité du procédé de fabrication des hétérostructures AlGaN/GaN, c'est-à-dire de limiter l'épaisseur de matériau déposé sur le masque lors de la croissance. Aussi, le développement d'un procédé d'épithaxie localisée par MBE pour les structures épaisses, affranchi du problème de délamination, requiert en principe une nouvelle réduction de la température maximale de croissance, afin de limiter l'énergie élastique emmagasinée lors du refroidissement. Cette solution s'avère difficilement réalisable avec la technique NH₃-MBE (§4.3), mais pourrait être mise en œuvre avec la technique PAMBE, en cours d'évaluation au CRHEA [61].

CHAPITRE 6 PERSPECTIVES

D'INTÉGRATION

6.1 Introduction

Les travaux réalisés précédemment sur des substrats Si(110) et Si(111) nous permettent d'envisager à court terme la co-intégration de structures HEMTs GaN sur de telles plateformes, ou encore sur des substrats SOI présentant une de ces deux orientations. Les avantages et inconvénients de ces supports ont été détaillés dans le Chapitre 3, le substrat d'intégration idéal restant Si(100) nominal massif, c'est-à-dire le substrat standard de la microélectronique Si. C'est pourquoi, dans ce dernier chapitre, nous présentons une étude préliminaire sur la création de zones orientées (111) à la surface de substrats Si(100) nominaux. En effet, bien que non planaires, et requérant la présence d'un masque diélectrique, le savoir-faire actuel permet d'envisager la croissance de matériaux III-N par MOCVD et par MBE sur de telles surfaces. Les perspectives d'un tel procédé sont multiples : plateformes LEDs performantes à bas coût, grâce à la croissance de GaN semi-polaire [81] voire non polaire [289] sur Si associée à des méthodes permettant la réduction des défauts, ou encore à une meilleure gestion des contraintes (épitaxie sélective) [281, 290], des photo-détecteurs à haute sensibilité [259, 291], grâce à l'augmentation de la surface active et à la diminution des réflexions (texturation), etc. Dans la présente thèse, nous nous limitons dans un premier temps à la croissance d'hétérostructures AlGaIn/GaN par NH_3 -MBE, en vue de la co-intégration par une approche CMOS-*first*.

Outre la caractérisation de composants isolés (transistors, diodes, etc.), la fabrication d'interconnexions entre des transistors HEMTs GaN et MOSFETs Si permettrait d'aller un peu plus loin vers la réalisation de circuits hétérogènes GaN sur CMOS. Aussi, plusieurs circuits démonstrateurs sont proposés permettant de tirer parti des technologies MOS mises en œuvre sur les différents substrats de ce projet. Enfin, des perspectives de développement des procédés de co-intégration grâce à la technique NH_3 -MBE seront évoquées dans la dernière partie de ce chapitre, qui permettraient notamment d'éviter la mise en œuvre de recuits à plus de 700 °C sur des dispositifs HEMTs et CMOS lors de la fabrication des contacts ohmiques sur GaN.

6.2 Intégration sur Si(100)

6.2.1 Cadre de l'étude

La co-intégration sur Si(100) a été discutée au §2.2.3, la croissance GaN sur Si(100) ayant notamment fait l'objet d'une thèse au CRHEA entre 2004 et 2007 [70]. Les difficultés rencontrées lors de ces travaux sont liées à l'existence de deux reconstructions de surface différentes entre les terrasses du Si, lorsqu'elles sont séparées par des marches mono et bi atomiques, conduisant à la coalescence de domaines désorientés de 30° pendant la croissance des hétérostructures, et générant de nombreux défauts. Cette approche conduit donc à des structures HEMTs GaN plus défectueuses que les structures réalisées sur Si(111) et Si(110). De plus, les meilleurs résultats sont obtenus sur des substrats (100) désorientés de 4 à 6° pour lesquels les bi-marches sont favorisées, c'est-à-dire sur un substrat non standard pour la technologie CMOS.

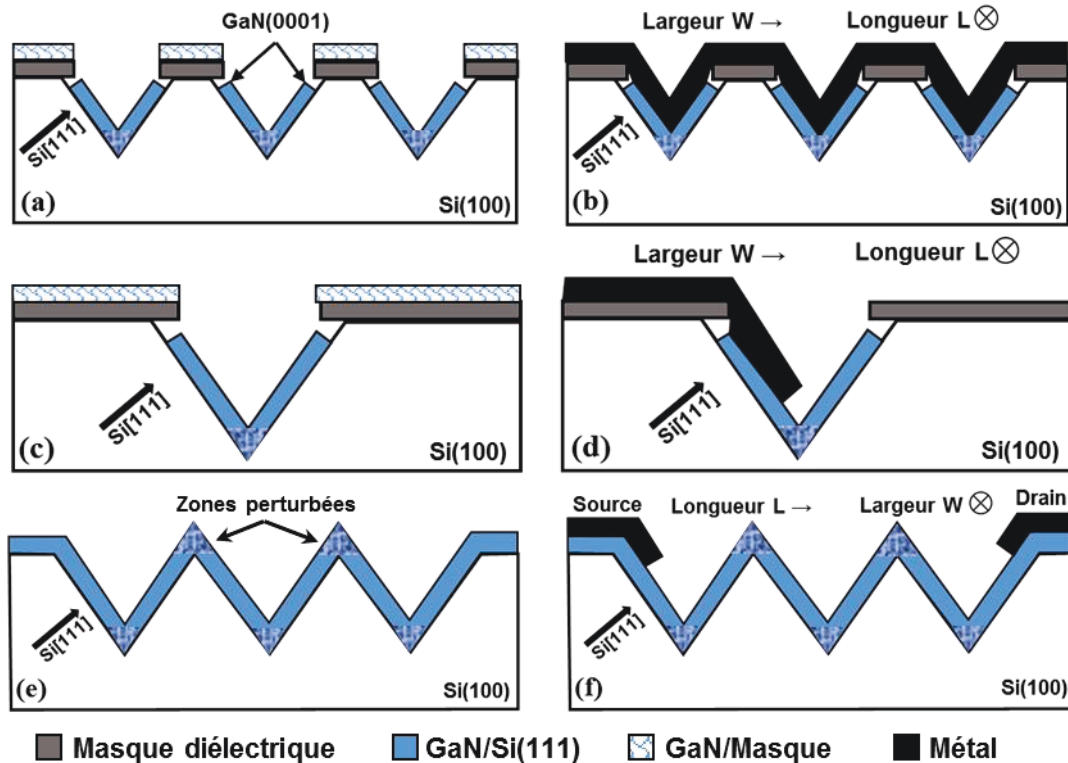


Figure 6.1 – Principales approches envisagées pour la réalisation de composants HEMTs GaN sur *V-grooves* : (a), (b) Approche 1 reposant sur plusieurs tranchées peu profondes ; (c), (d) Approche 2 reposant sur le flanc d'une tranchée profonde ; (e), (f) Approche 3 reposant sur une surface continue de *V-grooves*, d'après [259].

Une seconde approche repose sur la croissance d'hétérostructures non planaires épitaxiées sur un substrat Si(100) structuré. La difficulté de la croissance sur Si(100) est ainsi contournée

par la révélation de facettes orientées (111) via une étape de gravure chimique anisotrope, formant dans le substrat des tranchées en forme de « V » (communément appelées *V-grooves*). Par cette approche, *Reuters et al.* ont démontré la fabrication de structures LEDs à base d'InGaN par MOCVD [281]. Plus récemment, *So et al.* ont adopté une approche similaire dans la perspective de fabriquer des photo-détecteurs à bas coût présentant une sensibilité accrue, grâce aux hétérostructures AlGaIn/GaN et à la présence du 2DEG, y compris dans des environnements sévères (ex : haute température) [259, 291]. Au CRHEA, une approche de croissance similaire a été mise en œuvre pour l'hétéroépitaxie de GaN semi-polaire par MOCVD sur des substrats Si(100) [81]. Aussi, nous proposons d'étudier la faisabilité de cette approche pour la fabrication d'hétérostructures AlGaIn/GaN par le procédé NH₃-MBE, en vue de la co-intégration sur CMOS/Si(100). La Figure 6.1 représente les trois principales approches envisagées pour la réalisation d'un composant HEMT GaN sur *V-grooves* (111) fabriqués sur substrat Si(100). La gestion des zones perturbées (à l'intersection entre différentes facettes GaN/Si(111), entre une facette et le masque, ou encore entre une facette et le GaN/Si(100) dans le fond de gravure) apparaît centrale dans ces approches. Par exemple, dans la perspective d'un composant réalisé par l'Approche 1, il semble nécessaire d'isoler électriquement ces zones des parties actives du composant. Cela peut être envisagé de différentes manières : par la passivation via le dépôt d'un diélectrique, le retrait du GaN via une gravure physique, ou encore par une étape d'implantation ionique transformant ces zones en GaN isolant. Dans la première stratégie (Figures 6.1a-b), les électrodes reposent sur plusieurs tranchées peu profondes (quelques microns tout au plus). Une faible profondeur permet d'envisager la validation électrique rapide des couches via la fabrication de transistors HEMTs GaN par les techniques de photolithographie conventionnelles (dépôt de la résine par *spin coating* et exposition UV à travers un photo-masque par contact ou par projection [69]). Dans la seconde stratégie, les électrodes reposent sur une seule facette (111). Aussi, visant une largeur de transistor de l'ordre de 50 μm , cela requiert une gravure plus profonde ($\geq 40 \mu\text{m}$). La principale difficulté de cette approche réside dans la fabrication des transistors, en raison de la différence importante de focus le long de la pente à $54,7^\circ$, requérant la mise en œuvre de techniques moins conventionnelles (dépôt de la résine par évaporation et écriture directe, sans masque, par *e-beam* ou laser UV [69]). En revanche, elle présente l'avantage de s'affranchir de zones potentiellement perturbées, telles que l'intersection des couches GaN entre deux facettes, dans le fond et dans le haut des *V-grooves*. Nous pouvons

évaluer ces deux stratégies en gravant longtemps des motifs de différentes largeurs, la gravure s'arrêtant rapidement pour les plus petits motifs, et n'étant interrompue que lors du rinçage de l'échantillon pour les plus grands (§6.2.2). Enfin, une architecture originale a été proposée par *So et al.* (*Continuous V-grooves Surfaces*, Figures 6.1e-f) mais requiert une continuité de l'hétérostructure et en particulier du 2DEG sur toute la longueur des *V-Grooves* [259, 291]. En particulier, elle nécessite d'adresser la perturbation créée au sommet des motifs, à la rencontre entre deux facettes. En dépit d'une inhomogénéité notable des épaisseurs (Figure 6.11), en particulier dans le fond des motifs, la technique MOCVD permet d'obtenir de telles structures, ce qui ouvre une troisième voie intéressante pour la co-intégration de composants GaN sur CMOS/Si(100). La température variant de 900 à 1200 °C au cours de la croissance de telles structures par MOCVD, une co-intégration *CMOS-last* doit être privilégiée dans ce cas de figure. Enfin, soulignons que, dans le cas de la MBE, la croissance s'effectue encore selon l'axe polaire du GaN parallèle à l'axe [111] du silicium, ce qui fait que l'hétérostructure conserve ses caractéristiques, en particulier le caractère *normally-on* pour le HEMT GaN. Toutefois, dans le cas de la MOCVD, il est possible de faire en sorte que le front de croissance redevienne horizontal [81], c'est-à-dire de réaliser une hétérostructure semi-polaire, peut-être plus favorable à l'obtention d'un HEMT *normally-off* [292, 293]. Il s'agit donc d'une alternative intéressante au montage cascode (§6.3) pour la réalisation d'interrupteurs normalement ouverts. La co-intégration *CMOS-last* avec ces composants permet alors d'envisager la réalisation de circuits de puissance dits « intelligents » à travers l'intégration de nouvelles fonctionnalités offertes par les circuits CMOS [225].

6.2.2 Structuration des substrats

La révélation de facettes (111) dans un substrat Si(100) est obtenue par une gravure chimique anisotrope de la surface, présentant une sélectivité élevée avec un masque diélectrique. L'anisotropie de la gravure se traduit par une attaque plus rapide des plans (100) par rapport aux plans (111), cette sélectivité dépendant grandement de la solution de gravure employée. Elle est par exemple nulle pour HNA⁸ (gravure isotropique), de 10 à 40 pour TMAH et de l'ordre de 400 pour KOH. L'origine exacte de cette sélectivité fait débat, plusieurs hypothèses ayant été avancées [294, 295]. La gravure anisotrope du Si(100) est couramment utilisée pour la

⁸ Mélange d'acide fluorhydrique (HF), d'acide nitrique (HNO₃) et d'acide acétique (CH₃COOH).

fabrication de microstructures dans l'industrie car elle permet un meilleur contrôle de leurs dimensions, ainsi qu'une meilleure reproductibilité du procédé. En dépit de sa plus faible sélectivité, le TMAH (de formule $(CH_3)_4NOH$) est généralement préféré au KOH dans les lignes de production CMOS, en raison de la contamination des oxydes de grille par les ions K^+ (Tableau 3.1). Au contraire, le TMAH est déjà employé dans l'industrie de la microélectronique, comme composé de base des développeurs de photo-résines, sans effet néfaste reporté sur le fonctionnement des circuits. De plus, contrairement au KOH, il a été démontré que le TMAH associé à un additif peut être utilisé en présence d'interconnexions en aluminium, le rendant idéal pour des procédés post-métallisation. Une comparaison plus complète des différentes solutions de gravure anisotrope est réalisée dans les références [282, 296]. Dans notre étude, les premiers tests de gravure ont été effectués avec le KOH, sur la base d'un procédé développé précédemment au LN2, qui a ensuite été adapté avec le TMAH en vue de la co-intégration avec des circuits CMOS.

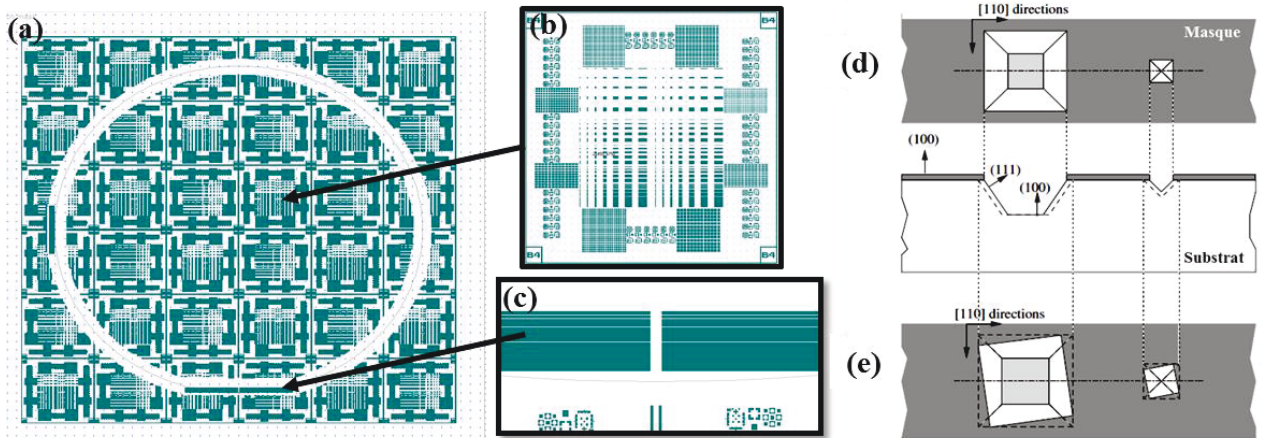
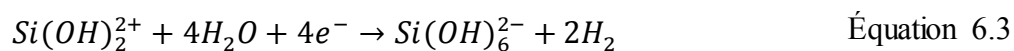
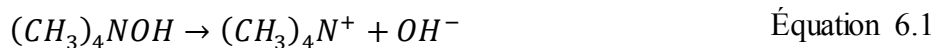


Figure 6.2 – (a) Photo-masque de l'étude (b) Motifs de test pour la gravure (c) Structures utilisées pour l'alignement des motifs par rapport aux méplats du substrat. Gravure anisotrope d'un substrat Si(100) dans le cas (d) d'un alignement parfait et (e) d'un désalignement significatif des ouvertures [282].

La gravure anisotrope peut révéler différents plans cristallins, selon l'orientation des ouvertures par rapport au réseau cristallin du substrat Si. Des ouvertures carrées orientées selon les axes [110], repérés par les méplats du substrat Si(100), conduisent directement à la formation de cavités en forme de pyramide inversée, tronquée ou non, selon la dimension de l'ouverture et la profondeur gravée. Cette pyramide est alors délimitée latéralement par 4 plans (111), inclinés de $54,7^\circ$ par rapport à la surface (100). Les autres facettes observées lors de la gravure TMAH de substrats Si(100) sont les plans (314) et les plans (100) perpendiculaires à la surface,

dont les conditions d'observation sont discutées dans les références [282, 295]. Dans cette étude, le photo-masque a été dessiné de façon à faciliter l'alignement des motifs par rapport aux méplats du substrat (Figures 6.2a-c). L'alignement est critique pour le contrôle de la forme et des dimensions des ouvertures (Figures 6.2d-e). Toutefois, même pour un motif arbitraire réalisé dans le masque de gravure, et pour un temps de gravure suffisamment long, la tranchée obtenue sera également délimitée latéralement par des plans (111) avec comme base le plus petit rectangle contenant le motif arbitraire. Ceci est une conséquence de la sous-gravure, fortement améliorée sur d'autres plans que (111) [297]. Le mécanisme de gravure du Si par le TMAH peut être résumé à travers les réactions chimiques (6.1. – 6.3) [282, 295]. Dans un premier temps, la molécule TMAH est réduite pour former des ions OH^- , qui viennent réagir avec la surface Si, formant des silicates et libérant 4 électrons par atome Si dans la bande de conduction. Enfin, la réduction de H_2O produit des ions hydroxydes supplémentaires venant réagir avec les silicates précédemment formés pour produire une espèce soluble ($Si(OH)_6^{2-}$), réactions qui sont accompagnées d'un dégagement de H_2 . Aussi, la vitesse de gravure augmente significativement avec la dilution du TMAH (typiquement vendue à 25 %) dans H_2O , atteignant un maximum pour une concentration de 4 % [295].



L'optimisation du taux de gravure à travers la concentration du TMAH s'accompagne d'une augmentation du dégagement d'hydrogène. Or, les bulles de H_2 , peuvent rester suffisamment longtemps accrochées à la surface Si(100) pour ralentir la gravure en certains points, à partir desquels se développent des pyramides délimitées par des plans (111) (Figure 6.4c). Par ce mécanisme de micro masquage, le fond de gravure devient de plus en plus rugueux, la vitesse de gravure pouvant diminuer significativement avec l'accroissement de la densité et de la taille des pyramides. Au prix d'une complexification du procédé, il est possible de maximiser la vitesse de gravure à environ $1 \mu m$ / minute, pour une solution TMAH 10 % tout en conservant une rugosité raisonnable du fond de gravure [282, 295]. La dilution de la solution est également souhaitable lorsque le procédé est adapté en vue d'obtenir une sélectivité avec l'aluminium (procédé post-métallisation). Dans le but de caractériser plus facilement le matériau déposé sur les facettes (111), et dans la perspective plus lointaine d'y fabriquer des transistors, nous visons

la fabrication de *V-grooves* dont les flancs présentent une dimension supérieure à 50 μm (§6.1). Étant donné l'angle de 54,7° entre ces derniers et la surface, une profondeur supérieure à 40 μm est souhaitée. À ce stade, il est clair que le contrôle précis des dimensions, tout comme l'optimisation des vitesses de gravure des plans (100) et (111), vient au second plan de cette étude. De plus, dans un souci de reproductibilité, nous avons choisi de ne pas diluer la solution commerciale de TMAH 25 % [295], ce qui permet de limiter la rugosification du fond de gravure par la formation de pyramides. En outre, l'utilisation d'une concentration élevée permet en principe d'augmenter la sélectivité avec le masque diélectrique [282]. Comme attendu, la meilleure sélectivité a été obtenue avec le Si_3N_4 LPCVD. Enfin, bien que cette solution puisse être chauffée jusqu'à 130 °C, nous avons opté pour une température de gravure plus basse, de 80 °C, ce qui permet de limiter la variation de concentration due à l'évaporation de la solution, d'autant qu'aucun système de reflux n'a été employé dans cette étude. En contrepartie, une vitesse de gravure réduite, d'environ 0,6 – 0,7 $\mu\text{m} / \text{min}$, est mesurée. En revanche, la rugosité et la propreté des surfaces (111) révélées par la gravure sont des préoccupations de premier plan, étant donné qu'une contamination de celles-ci peut fortement perturber le démarrage de la croissance. Ce point n'avait pas fait l'objet d'une attention particulière lors du développement du procédé KOH au LN2. Les premiers tests effectués montrent en effet une contamination variable mais récurrente des surfaces (111) après gravure KOH ou TMAH (Figures 6.3a-b). *Veychard et al.* reportent également la présence de résidus spongieux dans le fond de gravure lors de l'utilisation du TMAH, qu'ils associent à la contamination organique des solutions [295]. De plus, ils observent fréquemment la présence d'une couche résiduelle sur les flancs (111), de nature inconnue, empêchant toute gravure ultérieure. Dans leur procédé, cette couche est dissoute par un rinçage dans l'eau DI à ébullition après gravure, suivi d'un rinçage dans l'eau DI à température ambiante, solution également mise en œuvre dans la référence [282]. Sur les échantillons de cette étude, un tel traitement s'est avéré complètement inefficace en vue de l'obtention de surfaces (111) propres (Figure 6.3c). *Bergenstorf et al.* reportent la présence de chaînes formées par des particules ferriques typiquement de quelques centaines de nanomètres, qui précipitent essentiellement sur les flancs (111) après gravure KOH [298]. Leur description correspond à nos observations, mais la solution de nettoyage proposée (HCl dilué, 5 min) ne permet pas d'éliminer les particules sur nos échantillons. L'acide chlorhydrique semble en effet réduire la taille des particules, mais des traces de contamination demeurent, même après

plusieurs heures d'immersion. D'autres traitements à base d'acide chlorhydrique ont également été testés : eau régale, SC2⁹ (adopté dans [259, 291]).

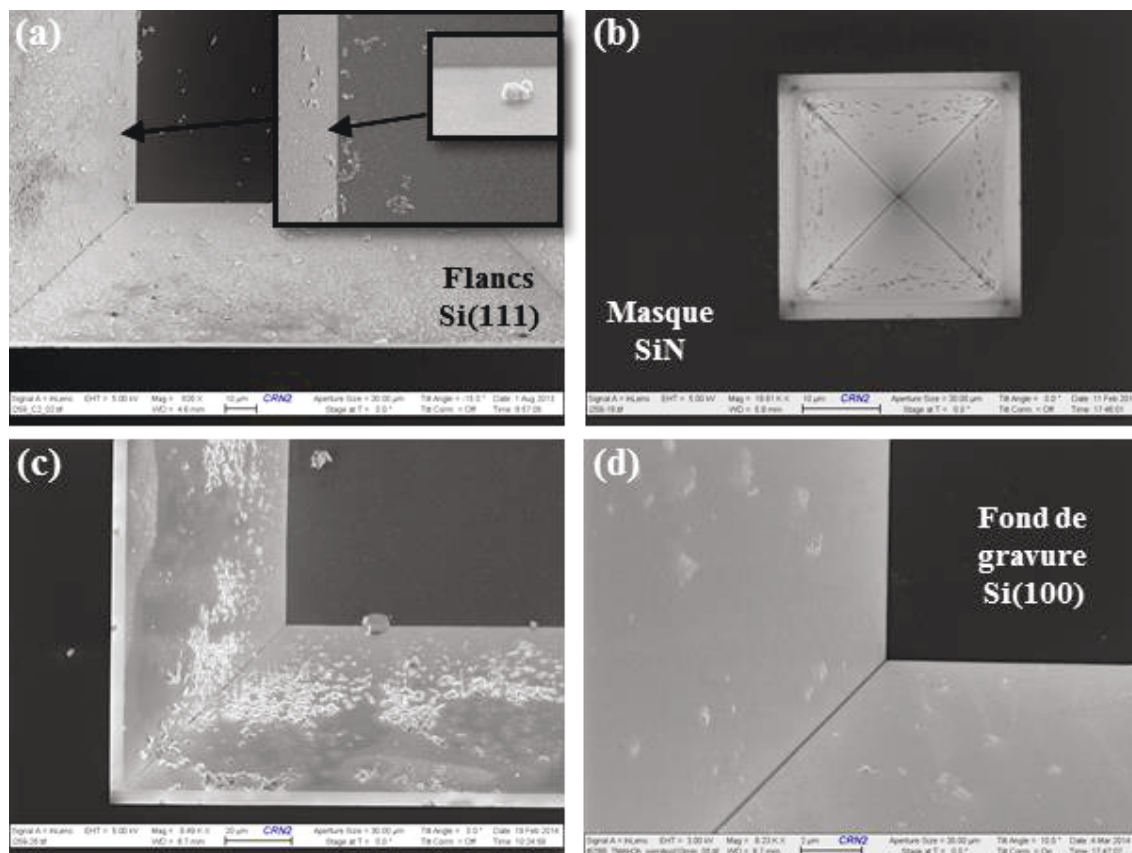


Figure 6.3 – Observations MEB : Contamination des surfaces Si(111) après (a) Gravure KOH (échelle 10 µm) (b) Gravure TMAH (échelle 10 µm) (c) Gravure TMAH suivie d'un rinçage dans l'eau DI à 100 °C, puis dans l'eau DI à température ambiante, et enfin dans les solvants (échelle 20 µm) et (d) Gravure TMAH suivie d'un rinçage / séchage dans une centrifugeuse (échelle 2 µm).

Le mécanisme de précipitation proposé dans [298] se base sur la formation d'une couche de diffusion contenant des espèces $Fe(OH)_y^{x-}$ pendant la gravure KOH (pH = 14, 80 °C), qui précipitent en Fe_2O_3 pendant le transfert et/ou le rinçage (pH \approx 7, température ambiante). La source de contamination serait la pastille de KOH elle-même. Sur la base de ces éléments, de nombreux tests d'arrêt de gravure avec différents bains de rinçage (solutions aqueuses acides/basiques, solvants, avec ou sans chauffage/agitation, etc.) ont été effectués, sans succès. Durant les tests d'arrêt de gravure, réalisés sur de petits échantillons, il a été remarqué que l'amélioration parfois observée de l'état de surface n'était non pas due à la nature de la solution

⁹ Le mélange SC2 est une solution composée de $H_2O : H_2O_2 : HCl$ (6 : 1 : 1) tandis que le mélange $HCl : HNO_3$ est appelé « eau régale » (typiquement dans des proportions 3 : 1). https://cm2.3it.usherbrooke.ca/guide_sb/nouveau/

ni à la température de celle-ci, mais plutôt à son mode d'application (ex : avec une pissette). Cette observation a été confirmée par un test sur substrat 3 pouces, pour lequel l'échantillon est rincé et séché dans une centrifugeuse, traitement possible en l'absence de structures fragiles. La vitesse de rotation permet effectivement de diminuer la quantité de particules restant accrochées sur la surface (Figure 6.3d). De plus, la contamination résiduelle présente peu de relief et prend plutôt la forme de traînées blanches au MEB. Sur cette surface relativement propre, nous avons essayé différentes solutions classiques de nettoyage par voie humide, parfois combinées à l'action mécanique (ultrasons), avec une efficacité très limitée.

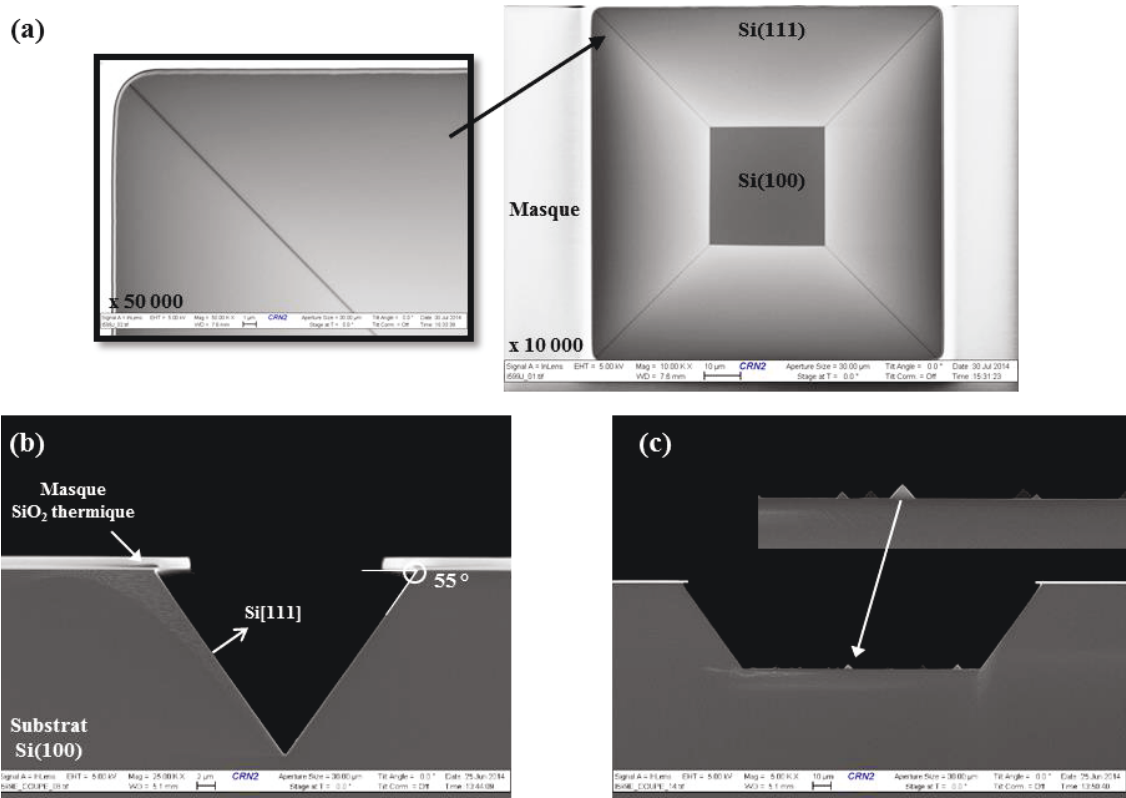


Figure 6.4 – Observations MEB : (a) État de surface après nettoyage (échelle 10 µm). Profil d'un *V-grooves* (a) tronqué (échelle 2 µm) (c) non tronqué (échelle 10 µm), obtenus avec la gravure TMAH.

C'est une exposition prolongée sous plasma O₂ qui a permis de nettoyer presque parfaitement la surface. Enfin, à la suite de ce traitement, les échantillons sont plongés de façon prolongée dans une solution d'acide chlorhydrique non dilué (typiquement 37 %), afin d'éliminer les ultimes traces de contamination. Par la suite, ce traitement s'est avéré également nécessaire pour nettoyer des *V-grooves* (111) après gravure KOH d'échantillons destinés à des croissances III-N par MOCVD [81]. La Figure 6.4a montre le résultat final obtenu après les

différents traitements effectués, synthétisés dans le Tableau 6.1. La reproductibilité du nettoyage a été éprouvée sur une dizaine d'échantillons, bien que pour certains d'entre eux, l'étape 6 ait dû être répétée. Notons que le procédé pourrait sans doute être optimisé en durée, les étapes 7 et 8 n'étant en principe pas indispensables, et la durée de l'étape 9 étant d'une nuit dans la pratique. Les Figure 6.4b-c montrent les deux types de profils (*V-grooves* tronqués ou non) obtenus avec la gravure TMAH. La profondeur maximale est d'environ 80 μm , soit une vitesse de 0,7 $\mu\text{m} / \text{min}$ durant cette gravure. Pour cette profondeur, nous mesurons une sous-gravure d'environ 4 μm , c'est-à-dire une sélectivité relativement faible entre les plans (111) et (100), égale à 20. Cette valeur est attendue pour un procédé TMAH [282]. La Figure 6.4c montre la formation de quelques pyramides dans le fond de gravure, phénomène relativement limité avec le procédé TMAH choisi.

Traitement	Chimie	Paramètres
1. Nettoyage	$\text{H}_2\text{SO}_4 : \text{H}_2\text{O}_2$ (2:1)	15 minutes, 110 °C
2. Désoxydation	$\text{H}_2\text{O} : \text{HF}$ (50 : 1)	30 secondes, 25 °C
3. Gravure anisotrope	TMAH 25 %	120 minutes, 80 °C
4. Rinçage 5. Séchage	Eau DI N_2	≥ 5 minutes à 800 tour / min 3 minutes à 1200 tour / min
6. Plasma	O_2	20 minutes, 150 W, 300 mT
Validation de la surface (MEB)		
7. Nettoyage	$\text{H}_2\text{SO}_4 : \text{H}_2\text{O}_2$ (2:1)	15 minutes, 110 °C
8. Nettoyage	$\text{HCl} : \text{HNO}_3$ (3 : 1)	15 minutes
9. Nettoyage	HCl non dilué	Plusieurs heures

Tableau 6.1 – Nettoyage post-gravure TMAH en vue de la croissance d'hétérostructures AlGaIn/GaN sur *V-grooves* (111).

6.2.3 Croissance

La préparation des substrats avant croissance est similaire à celle mise en œuvre pour l'épitaxie localisée planaire (Tableau 5.4). Exception faite du premier échantillon, nous avons systématiquement utilisé la tournette pour optimiser le rinçage dans les tranchées et minimiser les traces dues au mauvais séchage sur les flancs (111). L'efficacité du nettoyage est contrôlée par MEB, la mesure AFM n'ayant pas été possible en raison de l'inclinaison à 54,7 ° des surfaces (111) dans les *V-grooves*.

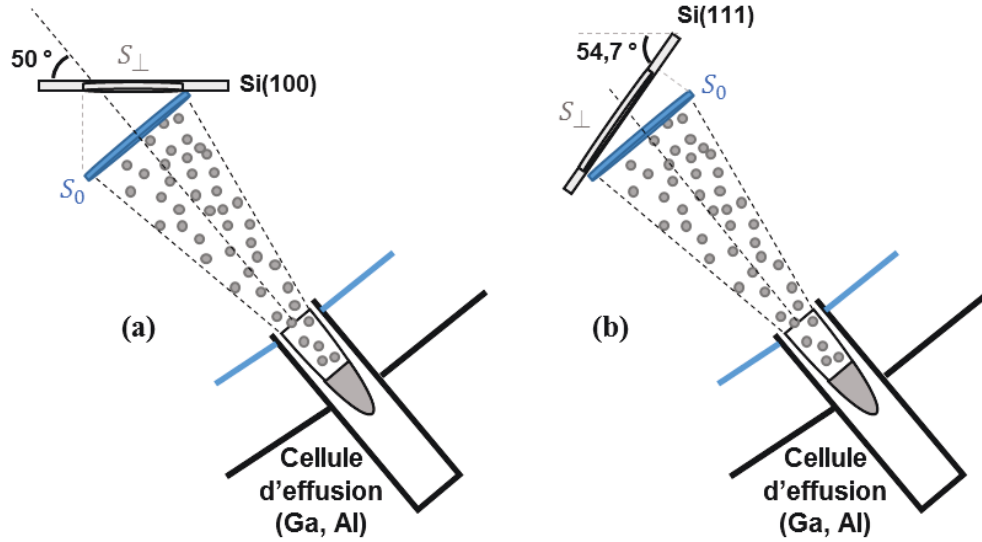


Figure 6.5 – Incidence des flux par rapport à la surface de croissance sur (a) la surface (100) (b) des flancs (111) inclinés à $54,7^{\circ}$ par rapport à la surface (100).

Avec la technique $\text{NH}_3\text{-MBE}$, les vitesses de croissance obtenues sont directement proportionnelles aux flux de métaux émis par les cellules. Dans une croissance planaire (substrat non structuré), le flux émis par une cellule donnée arrive sur la surface du substrat avec un angle d'environ 50° , du fait du positionnement des cellules dans le réacteur MBE (Figure 2.2). Cet angle a été choisi par le constructeur afin d'optimiser simultanément l'uniformité et les vitesses de croissance sur substrats 2 – 3 pouces. Dans cette configuration (Figure 6.5a), le rapport entre la section perpendiculaire à l'axe de la cellule (S_0) et la surface de cette section projetée sur le substrat (S_{\perp}) est d'environ 0,76. Aussi, une réduction de 24 % entre le flux traversant une surface perpendiculaire à l'axe de la cellule (F_0) et le flux incident sur les surfaces (100) (F_{100}) est attendue lors d'une croissance planaire. Dans le cas où la croissance a lieu sur des flancs inclinés à $54,7^{\circ}$ par rapport à la surface du substrat Si(100), l'angle entre l'axe de la cellule et la surface (111) est de $104,7^{\circ}$ (Figure 6.5b). Dans cette configuration, la même estimation conduit à ce que le flux incident sur les surfaces (111) soit $F_{111} = 0,97 \times F_0$. Aussi, en l'absence de rotation, et au centre de l'échantillon, une augmentation significative de la vitesse de croissance est attendue sur les flancs (111), d'un facteur environ 1,28 (F_{111} / F_{100}) par rapport aux vitesses mesurées sur les surfaces parallèles à la surface du substrat Si(100) (fond des motifs, masque). Rappelons que l'estimation des vitesses de croissance dérive des oscillations du signal de réflectivité en incidence normale mesurées au centre de l'échantillon pendant

l'épaississement de la couche [49, 299]. Par conséquent, la vitesse mesurée par réflectivité correspond à la vitesse de croissance sur les surfaces parallèles à celle du substrat Si(100).

	Croissance	Échantillon	Structure	Conditions non standard
V-grooves	1	PTC805a	AlN 0,3 μm	<ul style="list-style-type: none"> • Pré-dépôt Al de 18 s • Croissance avec 2 cellules Al
	1bis	PTC805b	GaN 3 μm / AlN 0,15 μm / GaN 0,4 μm / AlN 0,06 μm	Aucune
	2	PTC847	GaN 1,2 μm / AlN 0,4 μm	<ul style="list-style-type: none"> • Pré-dépôt Al de 22 s • Rotation 18 tours / min
	3	PTC849	GaN 1,1 μm / AlN 0,23 μm	<ul style="list-style-type: none"> • Nucléation x 2 ($\Phi = 0$ et 180°) avec nitruration de 15 s • Pas de rotation
	Reuters et al. [281]	C	GaN 1,1 μm / AlGaIn 0,18 μm / AlN 0,12 μm	<ul style="list-style-type: none"> • MOCVD
Planaire	CRHEA	PTC 546	GaN 0,9 μm / AlN 0,2 μm	Référence planaire HT
		PTC 843	GaN 1 μm / AlN 0,2 μm	<ul style="list-style-type: none"> • Épitaxie localisée BT (Masque B)

Tableau 6.2 – Échantillons et références de l'étude.

Dans un premier temps, une couche d'AlN d'environ 0,3 μm d'épaisseur nominale a été déposée par NH_3 -MBE (PTC 805a, Tableau 6.2). Mis à part pour le pré-dépôt Al (Tableau 6.3), les deux cellules d'aluminium ont été utilisées, conduisant à une vitesse doublée par rapport au procédé standard, à 0,2 μm / heure contre 0,1 μm / heure respectivement. Pour la première monocouche d'AlN, la durée du pré-dépôt Al a été augmentée de 10 à 18 secondes dans le but de recouvrir uniformément l'ensemble des 4 facettes (111). En effet, pendant une partie de la rotation, l'exposition aux flux incidents d'une facette donnée se trouve significativement réduite. Aussi, considérant une rotation de l'échantillon à la vitesse de 10 tours / minute, celui-ci effectue 3 révolutions pendant le pré-dépôt, contre environ un tour et demi habituellement (Tableau 6.3). Les autres paramètres de croissance sont standards, en particulier la température de croissance de l'AlN (920 $^\circ\text{C}$). Après épitaxie, un résultat inégal est obtenu : sur la Figure 6.6a, la couche semble relativement lisse et continue mais présente des défauts suggérant un problème de nettoyage ; en comparaison, la Figure 6.6b montre une surface « piquée », ce qui laisse penser que le procédé n'a pas permis d'obtenir un film d'AlN bien continu à cet endroit, en dépit d'une épaisseur de couche *a priori* conséquente.

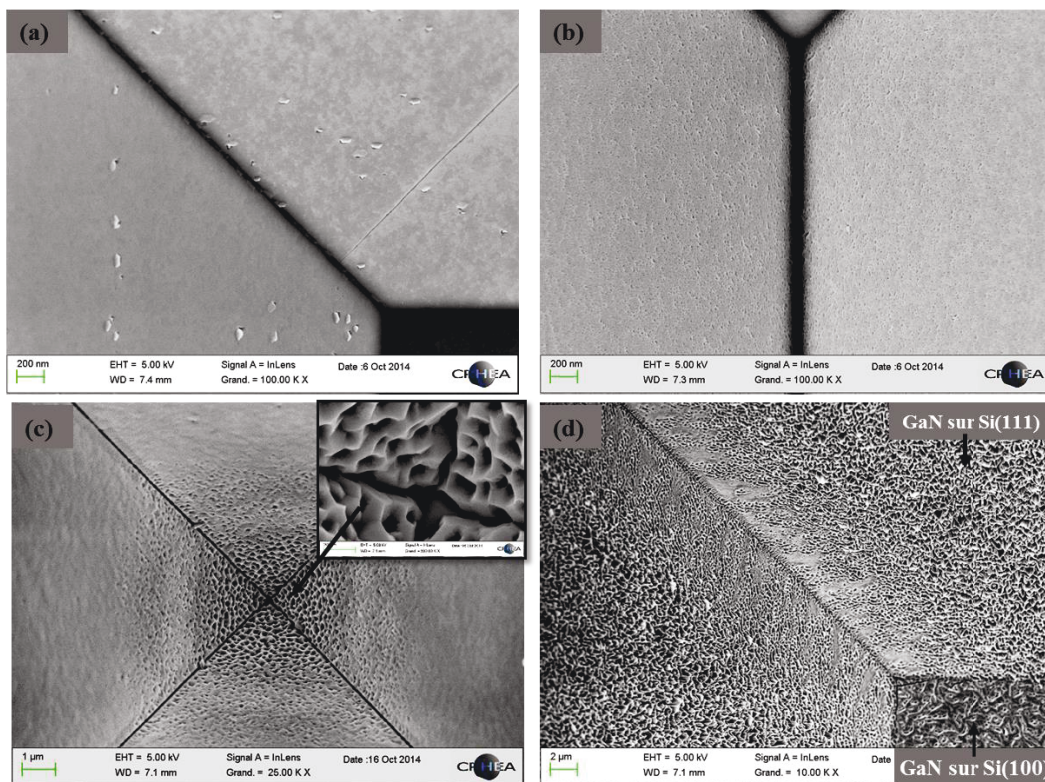


Figure 6.6 – PTC805a (vue de dessus, MEB) : AlN/Si(111) dans (a) une pyramide inversée tronquée (b) un *V-groove*. PTC805b (vue de dessus, MEB) : GaN/AlN/Si(111) dans (c) une pyramide inversée (d) une pyramide inversée tronquée.

Dans un deuxième temps, cette couche a été épaissie par l'insertion d'un intercalaire AlN/GaN suivie de la croissance d'une couche GaN épaisse (Figures 6.6c-d). Cet épaississement confirme le résultat précédent, la croissance de GaN révélant des zones apparemment lisses, qui contrastent avec la formation de régions extrêmement poreuses malgré une épaisseur nominale déposée supérieure à 3 μm. Afin d'expliquer ce résultat, une première hypothèse est un problème de préparation de surface : étant données la taille, la topologie et la présence de surfaces étendues hydrophiles (SiO₂) sur cet échantillon, les méthodes de rinçage et de séchage manuelles sont susceptibles d'être moins efficaces que sur un substrat non structuré présentant une surface Si plane et hydrophobe. La seconde hypothèse avancée est que l'étape de nucléation, décrite dans le Tableau 6.3, essentielle pour obtenir rapidement une couche d'AlN lisse et continue, ne se fait pas correctement sur l'ensemble de l'échantillon, ce qui empêche la croissance subséquente d'une couche GaN monocristalline. Cette étape, étudiée de façon approfondie dans la référence [68], a par la suite été optimisée pour la croissance d'hétérostructures AlGaN/GaN sur Si par NH₃-MBE [49].

Étape	Description
0. Désorption de l'hydrogène	740 °C, 10 minutes, quelques 10^{-9} Torr Observation de la reconstruction de surface Si 7 x 7
1. Nitruration de la surface	600 °C, 30 s, débit NH_3 à 3 sccm, quelques 10^{-6} Torr Observation de la reconstruction de surface Si 8/3 x 8/3
2. Recuit de la surface	Rampe de 600 à 800 °C (3 °C / min)
3. Pré-dépôt d'aluminium	600 °C, ouverture cellule Al pendant 10 s, quelques 10^{-6} Torr
4. Recuit de la monocouche AlN	600 °C, 10 min, quelques 10^{-6} Torr
Croissance de la couche de nucléation AlN	

Tableau 6.3 – Procédé NH_3 -MBE standard pour la nucléation d'AlN sur Si [49].

Nous avons supposé que la phase la plus critique de la nucléation sur substrat Si structuré est le pré-dépôt Al, en raison de sa durée relativement courte (10 secondes dans le cas standard). C'est pourquoi ce paramètre avait déjà été augmenté à 18 secondes pour ce premier essai, ce qui n'est manifestement pas suffisant pour former la première monocouche d'aluminium sur l'ensemble de l'échantillon.

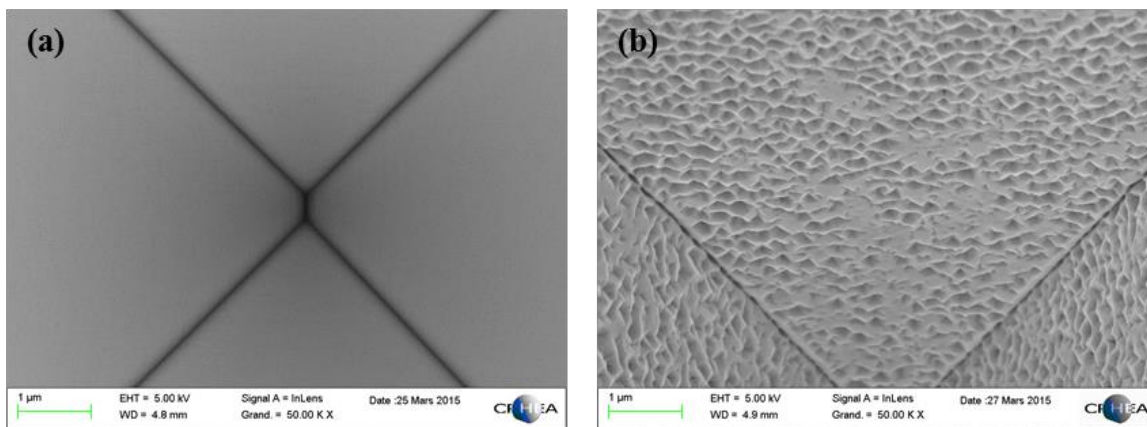


Figure 6.7 – PTC 847 (vues de dessus, MEB) : surfaces orientées (111) d'une pyramide inversée (a) avant et (b) après croissance d'une structure GaN 1,2 µm / AlN 0,4 µm.

Pour le deuxième essai, la procédure de rinçage et de séchage a été développée sur une tournette dédiée. Le résultat, validé par une observation MEB, montre des flancs (111) exempts de toute trace résiduelle liée au nettoyage avant croissance (Figure 6.7a). De plus, la durée du pré-dépôt Al durant l'étape de nucléation a été augmentée à 22 secondes, de même que la vitesse de rotation, de 10 à 18 tours / minute. Aussi, l'échantillon réalise désormais 7 révolutions pendant la durée du pré-dépôt Al. Avec ces modifications, une structure sans intercalaire (PTC 847, Tableau 6.2) a été réalisée sur substrat Si(100) structuré. Cependant, nous n'observons pas de réelle amélioration de la morphologie de surface avec ce nouveau procédé

(Figure 6.7b). À l'échelle des motifs ($> 10 \mu\text{m}$), nous observons peu de différence concernant la morphologie des couches, même si certains endroits semblent plus denses que d'autres, probablement pour des raisons de géométrie (ombrage plus ou moins prononcé pendant la croissance). Ce résultat indique que la nucléation n'est pas améliorée par les nouvelles conditions utilisées. Au contraire, nous observons plutôt une détérioration de la morphologie de surface.

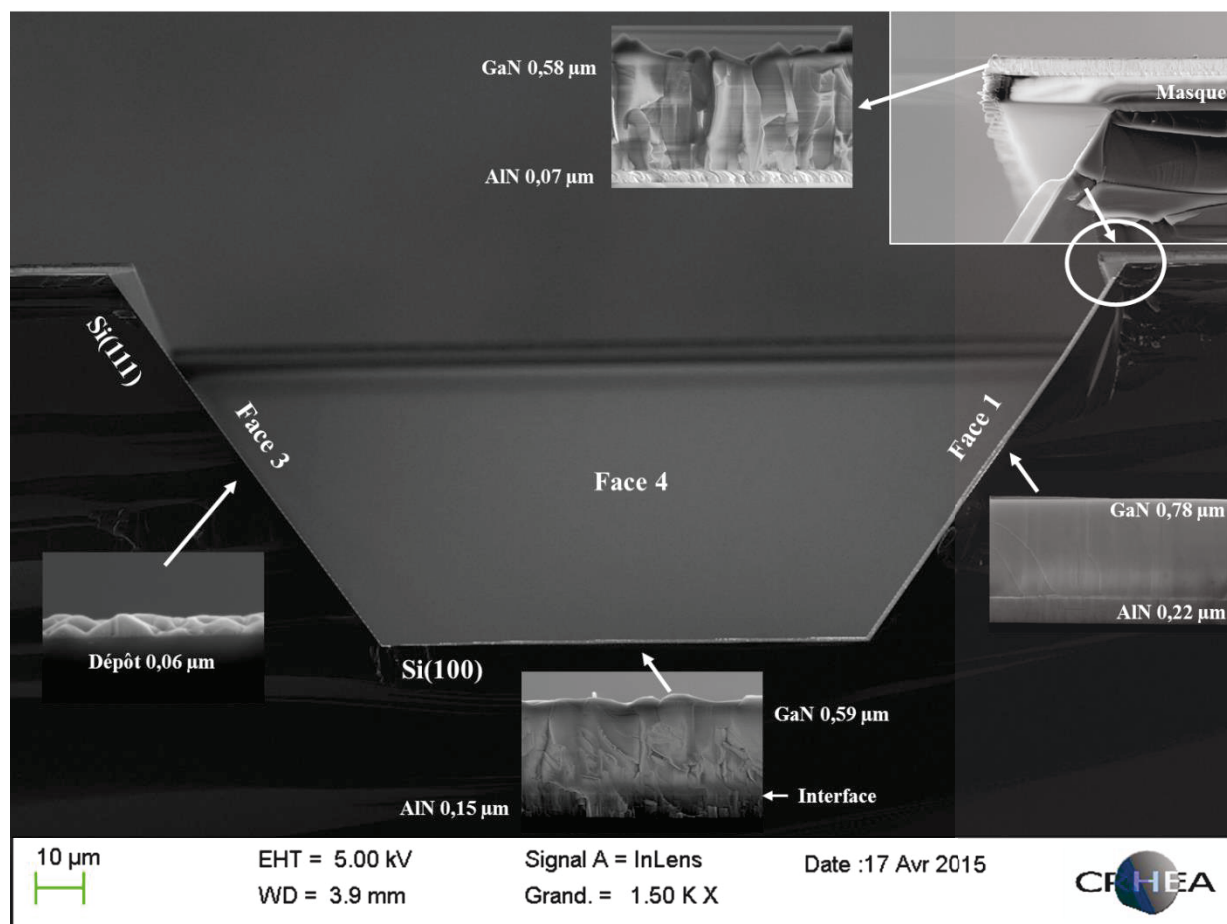


Figure 6.8 – PTC 849 (vue en coupe, MEB).

C'est pourquoi, dans un troisième temps, une croissance sans rotation a été réalisée (PTC 849, Tableau 6.2). Les cellules d'effusion étant positionnées à différents angles autour du réacteur ($\Phi_{Al} = 15^\circ$, $\Phi_{Ga} = -15^\circ$), l'échantillon doit être tourné de 30° entre la croissance d'AlN et celle de GaN, afin de présenter une facette orientée face à la cellule concernée. La nitruration et le pré-dépôt Al ont été répétés par deux fois, pour un angle $\Phi = 0^\circ$ et pour $\Phi = 180^\circ$, avec des durées de nitruration divisées par 2 ($2 \times 15 \text{ s}$) et un temps de pré-dépôt Al standard ($2 \times 10 \text{ s}$), dans le but de former la monocouche de nucléation AlN de manière uniforme

sur les 4 facettes orientées (111). Lors de la croissance des couches AlN et GaN, la Face 1 se trouve dirigée quasiment perpendiculairement à l'axe de la cellule, tandis que la Face 3 est quasiment parallèle à celui-ci (Figures 6.8 et 6.9a). Pour cette dernière face, le flux incident est estimé à environ 8 % du flux traversant une section perpendiculaire à l'axe de la cellule (F_0), suivant un calcul similaire à celui effectué pour la Face 1 (Figure 6.5). Sur la base des vitesses estimées par réflectivité pendant la croissance ($v_{AlN} = 0,08 \text{ } \mu\text{m} / \text{heure}$ et $v_{GaN} = 0,52 \text{ } \mu\text{m} / \text{heure}$), corrigées par un facteur 1,28 pour tenir compte de l'orientation de la Face 1 par rapport au flux, une structure GaN $1,1 \text{ } \mu\text{m}$ / AlN $0,23 \text{ } \mu\text{m}$ est visée (Tableau 6.2). La Figure 6.8 montre une observation du profil d'un motif large ($\sim 200 \text{ } \mu\text{m}$), et de la morphologie des couches déposées sur les différentes surfaces du substrat structuré. À première vue, la croissance sur la Face 1 s'est déroulée normalement, la morphologie des couches sur cette face ressemblant à celle observée lors d'une croissance planaire. En particulier, la qualité de cette couche contraste avec celle présente dans le fond du motif (GaN sur Si(100)), ce qui est confirmé par l'observation de surface au MEB (Figure 6.9a). Conformément au calcul du flux sur cette surface, très peu de matériau a été déposé sur la Face 3, notamment sur la partie supérieure de la facette où la couche est discontinue (Figure 6.9d).

À partir des épaisseurs mesurées, il est possible d'estimer des vitesses moyennes (et donc des flux moyens) pour la croissance de l'AlN et du GaN dans les différentes régions. Ces valeurs sont comparées dans le Tableau 6.4 avec les mesures de réflectivité effectuées pendant l'épitaxie sur les surfaces parallèles à Si(100) (fond des motifs, masque). À partir des mesures de réflectivité, les vitesses de croissance sur les facettes (111) sont estimées grâce aux facteurs correctifs calculés précédemment suivant la configuration géométrique de la croissance (Figure 6.5). En particulier, sur la base des épaisseurs mesurées au MEB, nous obtenons un flux sur la Face 3 de $0,06 \times F_{111}$, sachant que $F_{111} \approx F_0$, cela est proche des 8 % attendus. De plus, le facteur correctif entre la surface (111) de la Face 1 et la surface (100) du fond de gravure est de 1,3 pour GaN, comme attendu, mais légèrement plus élevé pour AlN ($\approx 1,5$). En revanche, la vitesse de croissance de GaN mesurée lors de l'épitaxie ($0,52 \text{ } \mu\text{m} / \text{heure}$) et celle calculée à partir de l'épaisseur ($0,35 \text{ } \mu\text{m} / \text{heure}$) divergent significativement (49 % d'erreur). Cela contraste avec la relativement bonne adéquation de ces deux modes de mesures pour l'AlN ($0,08$ et $0,07 \text{ } \mu\text{m} / \text{heure}$ respectivement, soit un écart de 14 %). Cet écart peut être en partie expliqué par l'absence de rotation, entraînant un dépôt inhomogène, sachant que la région sondée par le

laser ne coïncide pas forcément avec la zone où sont mesurées les épaisseurs. Une autre contribution à la diminution de la vitesse de croissance pourrait être liée à une température de surface trop élevée, accentuant la désorption du Ga et le transport des ad-atomes sur la surface. En effet, la pyrométrie infrarouge peut être perturbée par la présence du masque SiO_2 , lequel recouvre en grande partie la surface (dessin du photo-masque, Figure 6.2).

Surface	Vitesse pendant la croissance		Vitesse moyenne déduite de l'épaisseur		Flux moyen déduit de l'épaisseur	
	µm / heure		µm / heure		Ø	
	AlN	GaN	AlN	GaN	AlN	GaN
Si(111) Face1	0,10 ← Facteur correctif = 1,28 → 0,67		0,10	0,47	F_{111}/F_{100} 1,48	F_{111}/F_{100} 1,32
Si(100) Fond	0,08 ← Estimées par réflectivité → 0,52		0,07	0,35		
Si(111) Face3	0,01 ← Facteur correctif = 0,08 → 0,05		0,02		$F_{Face\ 3}/F_{Face\ 1} = 6\%$	
Masque	0,08 ← Estimées par réflectivité → 0,52		0,03	0,35	Sélectivité ?	

Tableau 6.4 – PTC 849 : comparaison des vitesses de croissance et des flux dans les différentes régions du substrat structuré, mesurés pendant et après l'épithaxie.

Comme attendu, nous n'observons pas de réelle sélectivité de la croissance sur Si par rapport au masque diélectrique (Figure 6.8, Tableau 6.4) : l'épaisseur de GaN mesurée sur SiO_2 est quasi-identique à celle relevée sur Si(100). La raison pour laquelle l'épaisseur de la couche de nucléation AlN mesurée au MEB semble moindre sur le masque par rapport au fond n'est pas évidente. En effet, cela n'est pas cohérent avec les observations faites sur des épithaxies localisées planaires, en présence du Masque A (SiO_2), pour lesquelles nous mesurons plutôt une légère augmentation de l'épaisseur de matériau déposée sur le diélectrique (croissance 3D) par rapport au Si (croissance 2D). C'est pourquoi cet effet est plutôt attribué à la topologie de l'échantillon et à la configuration des flux par rapport aux surfaces pendant la croissance, pouvant affecter les phénomènes d'adsorption/désorption et de transport sur ces différentes surfaces, plutôt qu'à une sélectivité au sens habituel.

La Figure 6.9b confirme l'obtention d'une surface apparemment lisse et continue sur l'ensemble de la Face 1, dont la morphologie contraste avec celles observées sur les croissances précédentes (Figures 6.6 et 6.7b). Pour ce motif, la Face 4 présente sur la quasi-totalité de sa surface une morphologie similaire, avec cependant la présence d'une densité de trous prononcée (Figure 6.9a), tandis que la Face 2 est uniformément recouverte d'une couche poreuse et rugueuse (Figure 6.9c). La Face 3 se compose quant à elle d'îlots III-N dont la densité augmente

à mesure que nous nous rapprochons du fond, pour former finalement une couche semblable à celle recouvrant la Face 2.

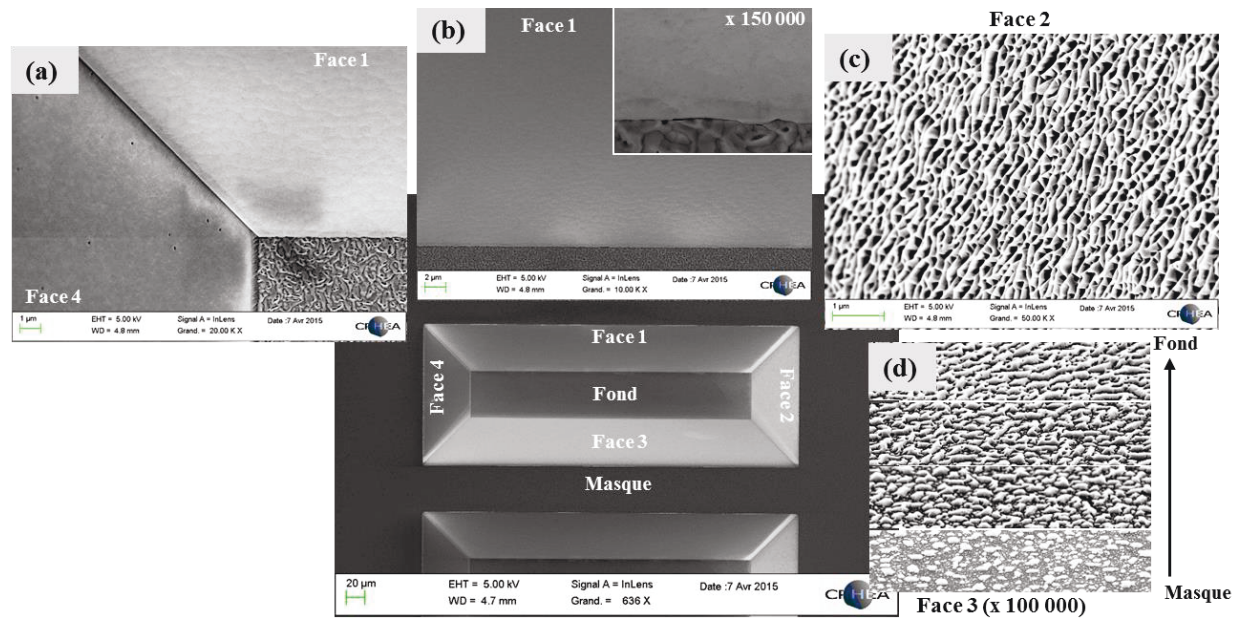


Figure 6.9 – PTC 849 (MEB) : morphologies de surface après croissance sans rotation.

La configuration géométrique de la croissance n'explique *a priori* pas la différence entre la Face 2 et la Face 4. Cependant, il est possible que la Face 1 n'ait pas été parfaitement positionnée face à la cellule d'effusion, et que ce désalignement ait favorisé le flux sur la Face 4 au détriment de celui sur la Face 2. De plus, la source d'ammoniac, située à 15° de la cellule d'aluminium ($\Phi_{NH_3} = 30^\circ$, $\Phi_{Al} = 15^\circ$ et $\Phi_{Ga} = -15^\circ$), pourrait également influencer la croissance sur les différentes faces. La Figure 6.10 illustre une situation similaire aux Figures 6.8-9 sur des motifs dont la dimension est réduite dans la direction Face 1 – Face 3 (de l'ordre de $20 - 30 \mu m$), présentant ainsi un profil en forme de « V » (non tronqué). Cependant, contrairement au motif précédent (Figures 6.8-9), un effet d'ombrage plus prononcé est observé, empêchant la croissance d'une couche lisse et continue sur le bas de la Face 1 et sur une bonne partie de la Face 4. Ces effets de géométrie sont typiquement observés avec la technique IBS¹⁰, permettant justement d'incliner le faisceau incident par rapport à la surface de l'échantillon, et ainsi de retrouver une configuration géométrique lors du dépôt semblable à celle décrite dans la Figure 6.5b [81]. Cela contribue, avec la sous-gravure, à une réduction de presque 50 % de la couverture de la facette par la couche III-N (Figure 6.10b). Cette proportion tombe à environ

¹⁰ Ion Beam Sputtering

30 % pour les profils en « V » les plus larges (100 – 110 μm) de cet échantillon. Par conséquent, ce type de profil n'est pas favorable à l'obtention d'une couche d'épaisseur uniforme sur toute la facette (111), et ceci est d'autant plus vrai que la largeur de la tranchée est réduite dans la direction Face 1 – Face 3, c'est-à-dire pour les tranchées moins profondes.

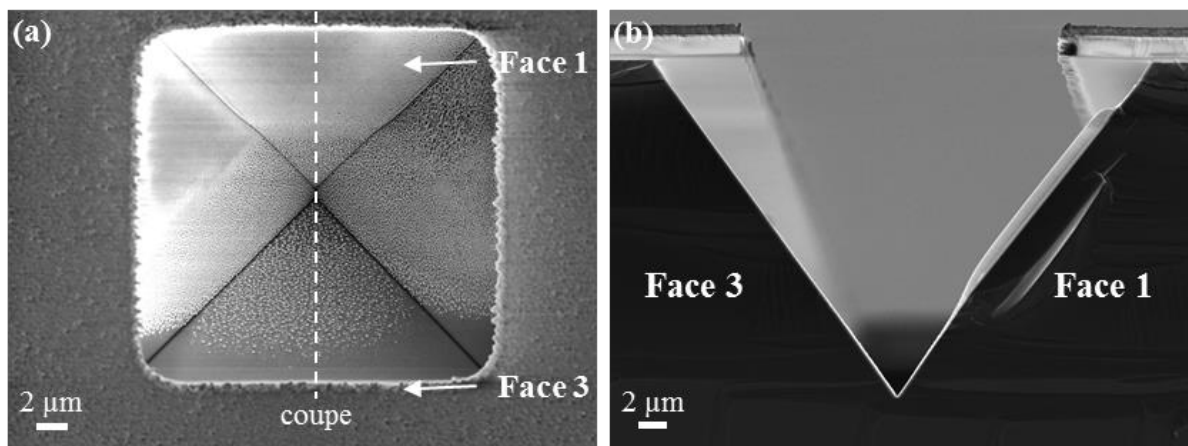


Figure 6.10 – PTC 849 (MEB) : (a) vue de dessus et (b) vue en coupe de motifs présentant un court espacement entre la Face 1 et la Face 3.

Notons que le problème de recouvrement des facettes ne se pose pas de la même façon avec la technique MOCVD. En effet, il a été reporté par plusieurs auteurs que la croissance opère moins rapidement dans les *V-grooves* en raison de concentrations en précurseurs réduites dans les cavités, et se trouve possiblement accélérée près du masque du fait de l'absence de croissance sur celui-ci. Cela engendre un gradient d'épaisseur conséquent le long des flancs (111) [291, 300]. L'observation en coupe d'une structure épitaxiée par *So et al.* dans une pyramide inversée, dont l'épaisseur visée est de 3,3 μm en croissance planaire, montre un gradient d'épaisseur d'environ 3,4 μm proche de la surface à 0,6 μm proche du fond (Figure 6.11c). De même, la vue en coupe d'une structure LED visant une épaisseur de 1,4 μm réalisée par *Reuters et al.* indique une croissance plus rapide sur le haut des flancs (111), avec environ 1,8 μm épitaxié, contre 0,9 μm d'épaisseur mesuré dans le fond des motifs (Figure 6.11b). En revanche, abstraction faite des effets d'ombrage, par exemple en regardant le long de lignes étendues orientées dans la direction Face 1 – Face 3, la variation d'épaisseur dans le fond des motifs semble relativement faible avec la technique NH_3 -MBE (Figure 6.11a). En effet, le long de la Face 2, entre le haut (masque) et le fond du motif, l'épaisseur d'AlN varie entre 85 et 90 nm, tandis que celle de GaN est comprise entre 350 et 380 nm, soit 3 à 4 % de variation sur une longueur d'environ 40 μm . Enfin, l'encadré de la Figure 6.11a indique une

discontinuité assez nette des couches à l'intersection entre les facettes (111) dans le fond des *V-grooves*.

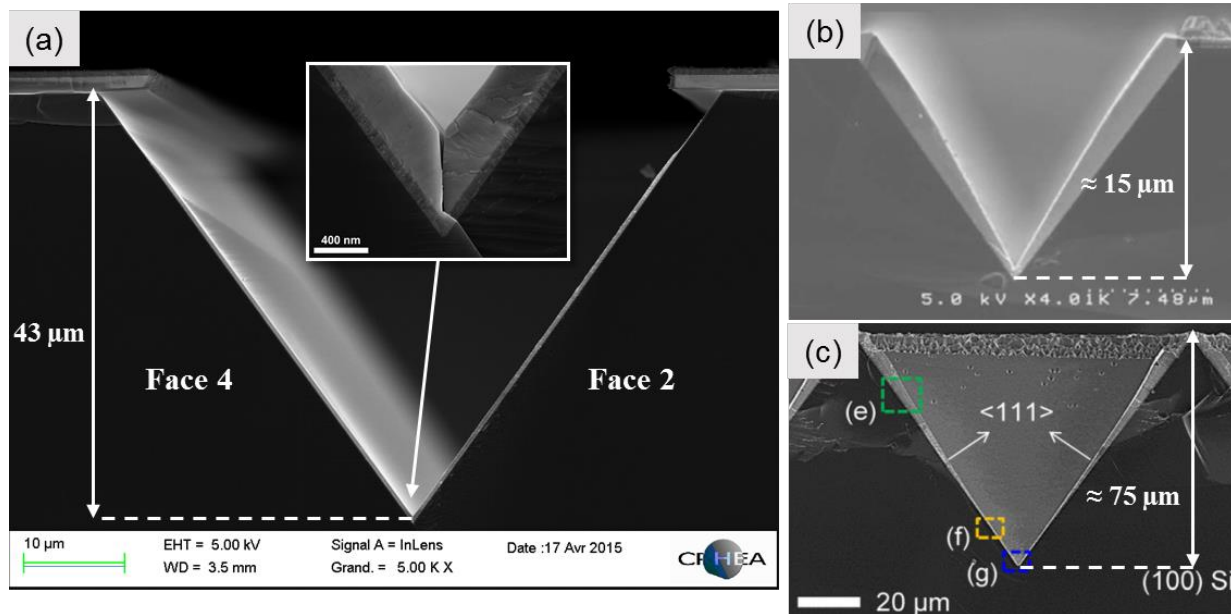


Figure 6.11 – Observations en coupe par MEB : (a) *V-groove* PTC849, (b) *V-groove* par Reuters *et al.* [281] et (c) pyramide inversée par So *et al.* [291].

En résumé, en comparaison avec une croissance planaire, il est plus difficile d'obtenir une couche de nucléation AlN lisse et continue sur l'ensemble des 4 facettes (111), en dépit de la rotation de l'échantillon, et de la durée de pré-dépôt Al significativement allongée (Tableau 6.3). Le premier essai, PTC 805, illustre cette difficulté, en présentant des zones apparemment lisses, et d'autres très rugueuses. Au contraire, la rotation semble davantage perturber la nucléation de l'AlN sur les surfaces inclinées, comme en témoigne l'aggravation de la morphologie de surface avec l'augmentation de la vitesse de rotation pour PTC 847. Cela est confirmé sur PTC 849, pour lequel l'absence de rotation permet d'obtenir la morphologie attendue d'une structure GaN sur la facette (111) positionnée face aux cellules d'effusion. De plus, dans cette configuration (échantillon immobile, Face 1 perpendiculaire aux flux), le bord de la Face 3 perturbe la croissance sur le bas de la Face 1 lorsque l'espacement entre les deux faces n'est pas suffisant, et sur une portion des Faces 2 et 4 qui dépend de la géométrie des motifs.

6.2.4 Propriétés structurales

La mesure de *rocking curves* par DRX sur PTC849 permet d'obtenir la LMH de raies symétriques et asymétriques correspondant au matériau déposé sur les différentes surfaces de

l'échantillon (Figure 6.12). En configuration de mesure normale, utilisée pour une croissance planaire, nous évaluons la qualité cristalline du matériau déposé sur le masque et dans le fond des motifs, sur Si(001). Un balayage ω sur la raie GaN(002) indique que le matériau est polycristallin, le « pic » de diffraction s'étendant sur une vingtaine de degrés et présentant un maximum décalé d'environ 10° par rapport à sa position théorique ($\approx 17,3^\circ$). En revanche, un balayage $2\theta - \omega$ de cette même raie montre un pic bien défini, centré sur la position théorique correspondant au plan (002) du GaN ($\approx 34,6^\circ$). Ces surfaces sont donc composées de facettes GaN orientées [0001] mais inclinées jusqu'à 10° par rapport à la surface Si(100). Afin d'évaluer la qualité structurale du matériau déposé sur les facettes Si(111) inclinées à $54,7^\circ$ par rapport à la surface Si(001), pour la raie GaN(002), une configuration semi-oblique est utilisée de façon similaire à la référence [300] (l'échantillon est incliné de $\chi \approx 54,7^\circ$ pour que la surface des motifs soit dans une configuration similaire à celle d'une mesure standard). Un balayage Φ de l'échantillon permet de mettre successivement en condition de diffraction les plans GaN(002) des 4 faces (Figure 6.12). L'échantillon est positionné de telle sorte que la Face 1 produise un signal mesuré autour de $\Phi = 0^\circ$. Aussi le balayage montre un pic d'intensité dix fois supérieure pour cet angle par rapport aux pics détectés à $\pm 90^\circ$ correspondant aux Faces 2 et 4, confirmant la meilleure qualité structurale suggérée par les observations MEB sur la Face 1.

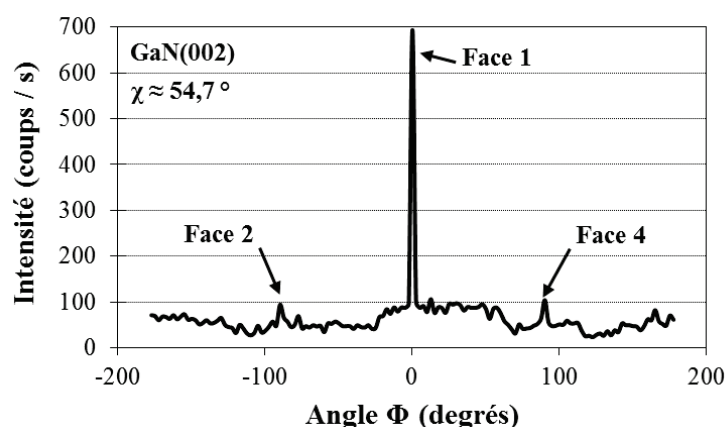


Figure 6.12 – Mesure DRX : Balayage Φ sur la raie GaN(002) en configuration semi-oblique ($\chi \approx 54,7^\circ$).

Comme attendu au vu de la faible quantité de matériau déposée sur la Face 3, il est plus difficile de mettre en évidence un pic autour de $\Phi = 180^\circ$. Sur les Faces 2 et 4, le faible rapport signal sur bruit ne permet pas d'extraire une LMH comparable à celle des références planaires. Cela est probablement dû à la plus faible quantité de matériau déposé sur ces faces, et à la qualité

variable des couches (Figure 6.9-10). En revanche, sur la Face 1, le pic est bien défini et fournit une LMH pour GaN(002) de 1230 secondes d'arc, une valeur proche de celle obtenue par *Reuters et al* sur l'échantillon présentant la meilleure qualité structurale (Tableaux 6.2 et 6.5).

Raie	Unité	PTC849	PTC 843	C (Reuters)
Épaisseur nominale (mesurée)	µm	1,3 (1,0)	1,2	1,4 (0,6 - 1,8)
LMH GaN(002)	seconde d'arc	1230	976	1141
LMH GaN(102)	seconde d'arc	2714	2220	1461

Tableau 6.5 – Mesures DRX : Largeurs à mi-hauteur sur les raies GaN(002) et GaN(102) obtenues sur *V-grooves* Si(111) dans ce projet (PTC849), par *Reuters et al.* (C) et sur une structure planaire similaire fabriquée par le procédé d'épitaxie localisée BT (PTC843). Entre parenthèses, l'épaisseur réellement mesurée sur le flanc des *V-grooves* lors d'observations MEB.

En raison de la plus faible intensité recueillie sur PTC 849, nous avons privilégié GaN(102) pour la mesure de diffraction asymétrique, au lieu de GaN(302) habituellement. Comme attendu, l'intensité chute d'un facteur 10 par rapport à la mesure d'une raie symétrique, mais le pic présente un rapport signal sur bruit suffisant (> 30) pour extraire une LMH dans de bonnes conditions. Par rapport à une croissance planaire présentant une structure similaire (PTC 843), la LMH de la raie GaN(102) est élargie de 20 % à 2714 secondes d'arc (Tableau 6.5). L'élargissement des LMHs constaté à la fois sur les raies symétriques et asymétriques indique que la qualité cristalline est dégradée par rapport à une structure planaire. De plus, le fait que le signal de diffraction soit intégré sur des zones de qualité variable selon les motifs, même pour la Face 1 (Figure 6.10), peut contribuer à un élargissement des pics de diffraction. Enfin, les raies asymétriques sont particulièrement sensibles à l'épaississement de la structure. Aussi, une contribution à l'augmentation de la LMH GaN(102) peut venir d'une épaisseur moindre comme relevé sur PTC849 lors des observations MEB, par rapport à la référence planaire (PTC843).

6.2.5 Propriétés optiques

La photoluminescence (PL) est couramment utilisée au sein du laboratoire dans le but de comparer la qualité structurale de couches épitaxiales [49, 70, 81, 87, 299, 301]. Cependant, la faible résolution spatiale fournie par cette technique ne nous permet pas de caractériser indépendamment les différentes régions de l'échantillon. Au contraire, la cathodoluminescence (CL), réalisée dans un MEB, permet de bénéficier d'une résolution spatiale accrue. Celle-ci

dépend également du volume d'interaction des électrons avec le matériau, en particulier de l'énergie d'accélération, de l'angle du faisceau avec la surface, et des propriétés du matériau (numéro atomique, longueurs de diffusion des porteurs, etc.) [302]. Pour les mesures réalisées sur GaN, cela conduit à une résolution spatiale typiquement inférieure au micron, plus que suffisante pour caractériser séparément les différentes surfaces de notre échantillon [299].

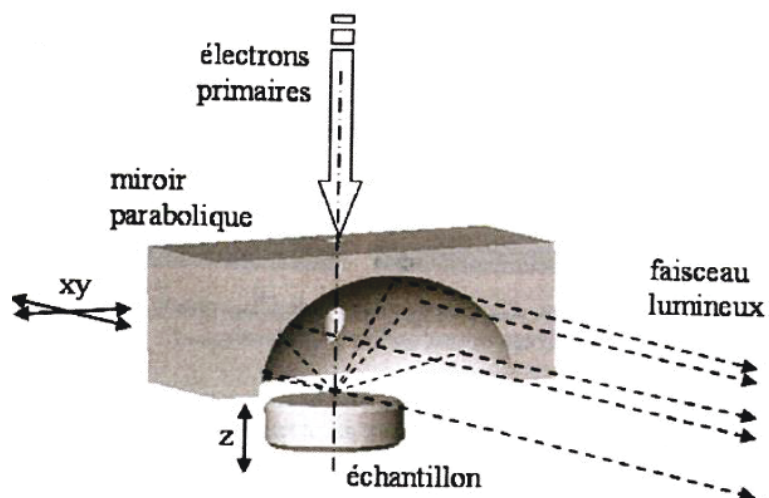


Figure 6.13 – Collection de la lumière émise par cathodoluminescence [302].

La CL peut être mise en œuvre selon deux modes : panchromatique, sans analyse spectrale, l'intensité du signal est alors intégrée sur toutes les longueurs d'onde accessibles (200 – 850 nm), permettant de distinguer les zones radiatives et non radiatives ; ou monochromatique, avec analyse spectrale, permettant de distinguer les différentes recombinaisons radiatives. Enfin, il est possible de réaliser des cartographies de l'échantillon en intégrant pas à pas, pixel par pixel, l'intensité correspondant à chaque longueur d'onde du domaine d'analyse. Le mode panchromatique permet de visualiser rapidement la présence de défauts sur la zone balayée par le faisceau d'électrons. Cependant, la différence de focus importante liée à la pente de $54,7^\circ$ est rédhibitoire à l'application de ce mode pour la quantification des défauts sur la Face 1. La Figure 6.14 montre plusieurs spectres correspondant à des mesures ponctuelles effectuées à 80 K dans différentes zones de l'échantillon. En raison de la géométrie de ce dernier, l'intensité du signal est réduite par rapport à une configuration normale (Figure 6.13), car il est plus difficile de collecter les photons émis par la surface des flancs (111). Cette contrainte conduit à la nécessité d'utiliser des temps d'intégration relativement longs (typiquement 500 s), rédhibitoires pour réaliser une cartographie de l'échantillon. Le principal pic de luminescence visible sur la Figure 6.14a est associé à l'émission du bord de bande, laquelle est généralement

dominée par la recombinaison des excitons liés aux donneurs (D_0X) à basse température pour des couches hétéro-épitaxiées sur Si [87]. L'écart entre ce pic et celui de l'exciton libre A (E_A) est estimée à 6 meV et peut être visualisé sur des échantillons de très haute qualité structurale (ex : GaN homo-épitaxié sur GaN ammonothermal). L'énergie de l'exciton A est couramment utilisée pour caractériser l'état de contrainte résiduel des couches hétéro-épitaxiées via la caractéristique linéaire $E_A = f(\varepsilon_{xx})$. Le coefficient directeur de cette relation ($\partial E_A / \partial \varepsilon_{xx}$), appelé potentiel de déformation, est établi expérimentalement par la corrélation entre des mesures PL à basse température et des mesures de déformation par DRX à température ambiante, un terme correctif étant introduit pour tenir compte de la variation de E_A avec la température. La valeur de l'énergie de l'exciton A pour une couche GaN complètement relaxée ($E_{A,\varepsilon=0}$) est généralement fixée entre 3,470 et 3,480 eV. La caractéristique $E_A = f(\varepsilon_{xx})$ est établie pour une technique et un substrat particuliers, étant donné que ces derniers influencent significativement la contrainte résiduelle des couches hétéro-épitaxiées, à travers notamment l'apparition d'une contrainte thermoélastique lors du refroidissement (§1.11). La relation empirique suivante est utilisée pour caractériser les hétérostructures AlGaIn/GaN fabriquées sur Si par NH_3 -MBE au CRHEA [49] :

$$\varepsilon_{xx}^{300K} = \frac{(E_A^{BT} - E_{A,\varepsilon=0})}{(\partial E_A / \partial \varepsilon_{xx})} = \frac{(E_A^{BT} - 3,478 \text{ eV})}{-9 \pm 0,5 \text{ eV}} \quad \text{Équation 6.4}$$

Toutefois, l'estimation de la contrainte résiduelle par cette méthode s'avère moins précise sur Si que sur SiC ou Al_2O_3 . En effet, la mesure de déformation par DRX donne une valeur moyennée sur une partie significative de l'hétérostructure, tandis que la PL sonde uniquement la partie supérieure de celle-ci (~ 100 nm avec un laser Ar doublé). Sur Saphir comme sur SiC, cela n'est pas problématique car la déformation varie peu dans l'épaisseur. En revanche, sur Si, la nécessité de gérer les contraintes (notamment au refroidissement afin d'éviter la fissuration) et de filtrer les défauts plus nombreux, via l'introduction de couches intercalaires par exemple, génère des gradients de contraintes importants à travers la structure. Cela se traduit par une plus grande dispersion du potentiel de déformation selon les structures utilisées ([Figure 2.8](#)) [49, 70], c'est-à-dire une plus grande incertitude sur les valeurs de contraintes résiduelles estimées par cette méthode. Cependant, pour un substrat et une technique épitaxiale donnés, cette méthode permet d'obtenir rapidement l'évolution de la contrainte résiduelle dans différentes régions de l'échantillon et/ou sur une série d'échantillons dont les conditions de croissance sont variées.

C'est pourquoi elle a été mise en œuvre pour le développement de l'épitaxie GaN sur *V-grooves* (111).

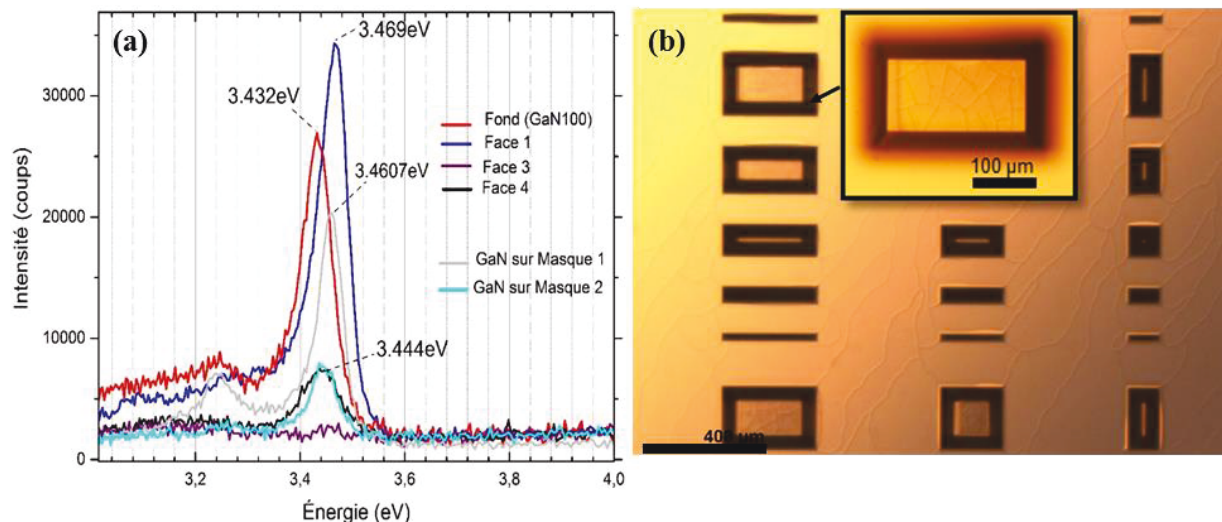


Figure 6.14 – PTC 849 : (a) spectres obtenus par cathodoluminescence à 80 K sur différentes régions de l'échantillon (b) fissuration des couches III-N sur le masque et dans le fond des motifs (encadré) observée au microscope optique.

Concernant la mesure CL en elle-même (Figure 6.14a), la plus grande intensité de luminescence est mesurée sur la Face 1, en dépit d'une configuration en principe moins favorable par rapport à la mesure sur le fond ou sur le masque. Cela vient confirmer la qualité structurale accrue sur cette face mise en évidence par DRX. Comme attendu suite aux observations MEB et aux mesures DRX, le spectre CL pris sur la Face 3 ne montre aucune signature de la présence de GaN. Enfin, la mesure sur la Face 4 met en évidence un pic de recombinaison présentant une intensité 4 à 5 fois inférieure à celle obtenue sur la Face 1, ce qui est cohérent avec les mesures DRX et avec les observations MEB montrant un recouvrement plus faible de cette face par GaN. La position en énergie du pic D_0X indique une contrainte extensive particulièrement élevée au sein du GaN épitaxié sur le fond Si(100) des motifs, ce qui est confirmé par la présence de fissures dans cette région (encadré, Figure 6.14b), de même que dans les couches III-N déposées sur le masque. Les deux mesures réalisées sur celui-ci montrent que la contrainte varie du simple au double dans ces couches, avec un maximum supérieur à 1,4 GPa. Ainsi, le matériau sur le masque est très contraint en extension, ce qui explique les problèmes de délamination rencontrés dans le Chapitre 5. La Face 1 se démarque de ces régions, ainsi que de la Face 4, par une contrainte résiduelle extensive relativement faible, avec un pic D_0X proche de la position du GaN relaxé. Cela est confirmé par la comparaison avec

PTC546, lequel présente une structure similaire ([Tableau 6.2](#)), et a été fabriqué par le procédé d'épitaxie standard (planaire, HT). L'écart de 10 meV mesuré entre les pics D_0X de ces deux structures se traduit par une contrainte résiduelle extensive multipliée par un facteur 4 pour PTC546 (Tableau 6.6). Notons que la référence planaire PTC546 est fissurée, contrairement à la Face 1 de PTC849.

Échantillon	PTC849					PTC546
Région	Face 1	Face 4	Fond	GaN / Masque 1	GaN / Masque 2	
Énergie de recombinaison D_0X (eV)	3,469	3,444	3,432	3,461	3,444	3,459
Contrainte résiduelle (GPa)	0,2	1,5	2,1	0,6	1,5	0,7

Tableau 6.6 – Variation de la contrainte résiduelle calculée à partir de (6.4) et des mesures de CL sur différentes régions de PTC849.

En résumé, la contrainte résiduelle relativement faible mesurée par CL sur la Face 1, associée à l'absence de fissure constatée sur les images MEB, va dans le sens d'une qualité structurale accrue sur cette face [290]. De plus, il semble que l'épitaxie localisée sur ces facettes (111), de taille modérée (de l'ordre de $100 \times 100 \mu\text{m}^2$), facilite la gestion des contraintes, de façon similaire à ce qui a été observé lors de travaux antérieurs sur l'épitaxie sélective de GaN par MOCVD [290]. Ces approches ont d'ailleurs fait l'objet de plusieurs études au CRHEA par les techniques NH_3 -MBE et MOCVD pour la croissance de structures épaisses ($> 2 \mu\text{m}$) non fissurées [89, 303].

6.2.6 Conclusions de l'étude

Dans un premier temps, un procédé de gravure anisotrope compatible CMOS a été développé sur le substrat Si(100) standard de la microélectronique, en vue de la croissance d'hétérostructures AlGaIn/GaN sur des facettes (111) inclinées à $54,7^\circ$ dans le substrat Si. Au cours du développement de ce procédé, une pollution importante des surfaces (111) associée à l'arrêt de la gravure TMAH a été mise en évidence. Les solutions suggérées dans la littérature ne permettant pas d'éliminer ces traces de façon satisfaisante, une procédure spécifique a été développée pour les besoins de cette étude.

Dans un deuxième temps, nous avons exploré la faisabilité de la croissance d'hétérostructures AlGaIn/GaN par NH_3 -MBE sur ces facettes Si(111). Les résultats préliminaires de l'étude montrent que l'étape de nucléation est particulièrement délicate sur ce

type d'échantillon. En l'absence de rotation, et en orientant l'une des faces perpendiculairement au flux de la cellule d'effusion, il est possible d'épitaxier sur cette face une structure GaN présentant une morphologie satisfaisante. La qualité de la couche est confirmée par des expériences DRX et des mesures CL. De plus, ces mesures suggèrent que la couche GaN sur la facette (111) bien orientée (Face1) est faiblement contrainte par rapport aux autres régions de l'échantillon, et par rapport à une structure planaire de référence, tout en ne présentant pas de fissures apparentes, contrairement à la référence planaire. Ces observations suggèrent que la gestion des contraintes peut être facilitée par cette approche. D'autre part, le recouvrement de la face bien orientée dans cette configuration dépend étroitement de la géométrie des motifs, puisque le bord opposé à cette face perturbe l'épitaxie au fond du motif, ainsi que sur une portion des faces latérales plus ou moins prononcée selon ses dimensions. Cet effet est attribué à la configuration géométrique de la croissance par NH_3 -MBE. En outre, un avantage décisif en vue de la fabrication de transistors, lié à l'utilisation d'une technique MBE, semble être l'uniformité en épaisseur. En effet, pour des zones où l'ombrage est peu prononcé, une variation d'épaisseur inférieure à 5 % est obtenue sur des facettes de plusieurs dizaines de microns de long, en dépit de la profondeur des *V-grooves*. Cela contraste fortement avec les structures similaires réalisées par MOCVD dans la littérature, pour lesquelles l'épaisseur peut varier de plusieurs centaines de nanomètres à plusieurs microns selon la profondeur du motif et l'épaisseur visée. De plus, une discontinuité nette entre l'hétérostructure AlGaIn/GaN sur Si(111) et le matériau déposé sur le masque est naturellement obtenue avec ce procédé, ce qui représente une facilité supplémentaire en vue de la fabrication de composants. Enfin, au regard des images MEB, une discontinuité semble également exister entre les facettes inclinées dans le fond des *V-grooves*.

En conclusion, la faisabilité de la croissance d'hétérostructures AlGaIn/GaN par NH_3 -MBE sur *V-grooves* (111), fabriqués dans un substrat Si(100) nominal, a été démontrée sur une des 4 faces composant les motifs. Le procédé devrait pouvoir être amélioré de manière à obtenir des couches de bonne qualité structurale sur au moins deux faces opposées, et ainsi permettre la mise en œuvre des différentes approches d'intégration (Figure 6.1). De plus, réintroduire la rotation de l'échantillon durant le procédé de croissance apparaît à terme nécessaire en vue d'obtenir une épaisseur uniforme sur l'ensemble du substrat. Dans ces conditions, il sera possible de confirmer ou au contraire d'infirmer les tendances observées en fonction de la géométrie des motifs, et ainsi de cibler un dessin de masque optimisé pour l'approche

privilegiée. Les résultats préliminaires démontrent l'impact déterminant de la géométrie du réacteur sur l'épitanie de structures HEMTs GaN sur *V-grooves* (111). Aussi, la mise au point d'un réacteur MBE mieux adapté à ce procédé, à travers notamment la disposition des cellules et le positionnement de l'échantillon par rapport à celles-ci, pourrait constituer une perspective de développement de ces travaux. À titre d'exemple, l'utilisation de cellules Al (et Ga) diamétralement opposées autour du réacteur, ou encore disposées à la verticale de façon à présenter le même flux pour les 4 facettes des *V-grooves*, est susceptible de faciliter la croissance des hétérostructures.

6.3 Intégration sur Si(110) et SOI

Dans le même temps, la fabrication de plateformes CMOS et NMOS pour la co-intégration de HEMTs GaN a été entreprise. Dans cette perspective, en lien avec l'UCL, 4 jeux de photo-masques ont été conçus en vue des différentes phases de fabrication à venir : CMOS/SOI, HEMT/CMOS, NMOS/Si(110) et HEMT/NMOS. À ce jour, une dizaine d'échantillons sur lesquels la technologie MOS a été réalisée, à l'UCL pour les CMOS/SOI et au LN2 pour les NMOS/Si(110), sont disponibles (Tableau 6.7). Pour chacune de ces deux technologies, nous disposons d'une référence qui ne voit pas le procédé HEMT GaN (épitanie et fabrication des composants), ainsi qu'une référence ayant simplement subi un recuit sous NH_3 , c'est-à-dire un budget thermique supplémentaire (§4.4).

Échantillon	Substrat	Technologie	Procédé envisagé
G1	SOI	CMOS	Référence
G2			Étude "recuit sous NH_3 "
G3			Structure mince Structure épaisse
G4			
G5			
G6			
J652H	Si(110)	NMOS	Référence avec ou sans recuit sous NH_3
J652I	Si(110)	NMOS	Structure mince Structure épaisse
J652J			
J652K			
J652L			
J652M			
J652N			

Tableau 6.7 – Plateformes MOS destinées à la co-intégration de HEMT GaN.

L'intégration de structures minces sur les deux types de substrat ne pose en principe pas de problème particulier et peut être mise en œuvre à court terme. À cette fin, quelques substrats SOIs, identiques aux substrats ayant servi à la fabrication des échantillons CMOS/SOI, ont été préparés pour la validation du procédé d'épithaxie localisée sur de tels supports. Concernant les structures minces, aucune modification des masques validés au §5.3 n'est envisagée, étant donnés les résultats corrects obtenus avec les Masques A et B. Concernant les structures épaisses, le Masque C peut servir de point de départ au développement de nouveaux masques. En effet, la principale hypothèse avancée pour expliquer le phénomène de délamination 2D à l'interface SiO_2/GaN repose sur l'existence d'une couche intermédiaire très poreuse proche de cette interface, du fait de la faible température de croissance utilisée pour ce GaN (640 °C). Nous supposons que le choc thermique que constitue le refroidissement de la température de croissance de GaN (800 °C) à la température ambiante, associé au développement de la contrainte extensive, provoque la délamination à l'interface faible de l'empilement, de façon similaire au phénomène observé avec les cavités d'hydrogène lors de la fabrication des substrats SOI. Dans ce procédé, les défauts de type cavités sont créés par une implantation d'hydrogène à une profondeur contrôlée, puis la délamination peut être provoquée spontanément lors d'un recuit ou encore par immersion dans l'azote liquide ou par une sollicitation mécanique appliquée sur les bords du substrat [304].

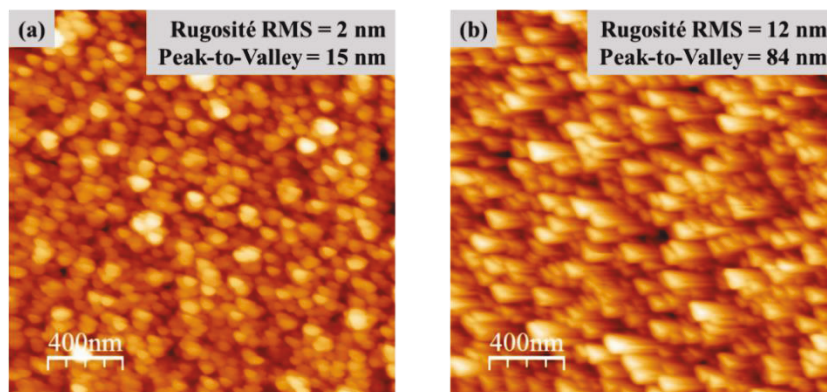


Figure 6.15 – (a) Surface SiO_2 après dépôt PECVD (b) Surface SiO_2 après gravure physique $\text{C}_4\text{F}_8/\text{SF}_6$ puis nettoyage sous plasma O_2 .

Ainsi, une étude complémentaire est nécessaire pour reproduire le phénomène de délamination à l'interface SiO_2/GaN sur substrat SOI, ainsi que pour optimiser les conditions conduisant à ce phénomène, grâce à une meilleure compréhension des mécanismes mis en jeu. En particulier, nous envisageons la croissance de structures épaisses en présence d'un masque

SiO₂ ou autre (poly-Si, SiN, etc.) rugueux, dans l'optique de reproduire la formation d'une interface SiO₂/GaN présentant une faible énergie d'adhésion, sans passer par une étape de dépôt de GaN à basse température. Dans cette perspective, nous sommes parvenus à créer de façon reproductible des surfaces SiO₂ présentant une rugosité augmentée grâce à un traitement de surface sous plasma C₄F₈/SF₆, des valeurs RMS de l'ordre de 10 nm ou plus étant mesurées, associées à des amplitudes de l'ordre de 80 nm entre les pics et les vallées, après nettoyage de la surface gravée (Figure 6.15). La rugosité accrue des surfaces SiO₂ est obtenue par une méthode inspirée du procédé Bosch, utilisé pour la gravure profonde de silicium de façon anisotrope. Le procédé Bosch repose sur l'alternance de courts cycles de passivation (plasma C₄F₈) et de gravure isotropique (plasma SF₆). La passivation consiste à générer une couche de téflon chimiquement inerte sur toute la surface. Un bombardement ionique directionnel permet d'attaquer cette couche principalement dans le fond des motifs, laissant les flancs momentanément protégé par le téflon, ce qui limite la gravure isotropique lors du plasma SF₆. De cette façon, en fonction des paramètres choisis, il est possible de graver jusqu'à 1,5 micron de Si en seulement 20 secondes, tout en conservant des flancs relativement droits. Néanmoins, pour des gravures moins profondes, de quelques centaines de nanomètres, le procédé doit être modifié pour ralentir la vitesse de gravure, par exemple en effectuant la gravure simultanément à la passivation (plasma C₄F₈/SF₆), procédé dit « Semi-Bosch ». Pour la gravure du SiO₂, des plasmas fluorés à base de carbone sont privilégiés (ex : C₄F₈). Cependant, la présence de SF₆ conduit à une gravure accélérée du silicium au détriment de celle de l'oxygène présent dans la couche. Il s'ensuit une gravure relativement lente (10 – 20 nm / min) et plus rugueuse du SiO₂ dans les plasmas C₄F₈/SF₆, sauf ajout d'un autre gaz diluant (ex : H₂) pour ajuster le ratio de concentration [C] / [F] et ainsi obtenir des vitesses de gravure plus équilibrées entre Si et O [305, 306]. Ainsi, afin d'augmenter la rugosité des masques de croissance SiO₂, nous utilisons un procédé Semi-Bosch (C₄F₈ : SF₆, 3:1), avec une température maintenue à 5 °C, ce qui favorise le collage du téflon sur la surface et permet d'accentuer la rugosité de la gravure.

6.4 Circuits démonstrateurs

Comme mentionné au §2.4, en raison du manque de maturité des technologies HEMTs GaN à enrichissement, le montage cascode associant un transistor GaN *normally-on* et un transistor Si *normally-off* fut la première solution d'interrupteurs basés sur la technologie HEMT

GaN, qui soit considérée comme commercialisable à court terme. Elle utilise un transistor HEMT GaN possédant une tenue en tension typiquement de 600 V et issu de la technologie HEMT GaN *normally-on* (plus mature), et un MOSFET Si ne requérant pas de tension de claquage élevée (< 30 V). Les critères de choix du MOSFET Si sont discutés dans [9].

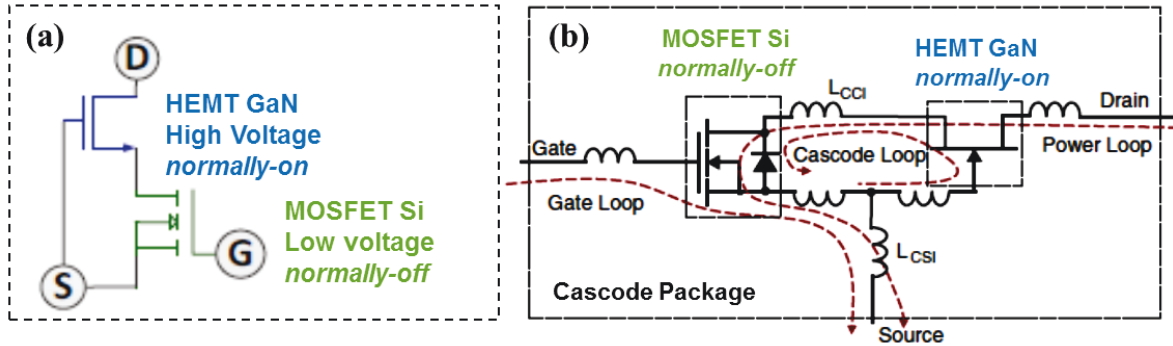


Figure 6.16 – (a) Schéma électrique d'un interrupteur GaN cascode *normally-off* (b) Représentation des impédances parasites liées au montage [307].

Dans le montage cascode, représenté dans la Figure 6.16, l'état du HEMT GaN (bloqué ou passant) dépend de celui du MOSFET Si. Les électrodes S, G et D symbolisent les trois terminaux de l'interrupteur et correspondent respectivement à la source et à la grille du MOSFET Si, et au drain du HEMT GaN. Lorsque le MOSFET Si est passant ($V_{GS} > V_{th}^{MOSFET} > 0$), la différence de potentiel entre la grille et la source du HEMT équivaut à la tension résiduelle entre les bornes source et drain du MOSFET. Si $|R_{on}^{MOSFET} \times I_{ON}| < |V_{th}^{HEMT}|$, le HEMT devient conducteur. Lorsque le MOSFET Si est bloqué ($V_{GS} = 0$), une tension s'établit entre ses bornes de source et de drain, donc entre la grille et la source du HEMT. Quand celle-ci dépasse $|V_{th}^{HEMT}|$, le HEMT GaN se bloque et supporte alors l'essentiel de la tension appliquée aux bornes de l'interrupteur (V_{DS}). Le fonctionnement de l'interrupteur cascode est décrit plus en détail dans [308]. Une limite intrinsèque à ce montage est l'impossibilité d'appliquer une tension V_{GS} positive aux bornes du HEMT GaN et ainsi de profiter de la résistance à l'état passant minimale offerte par le composant. Cependant, le principal frein pour son adoption sur le long terme réside surtout dans le coût lié à l'assemblage des deux transistors formant le SiP, et dans la complexité de cet assemblage, détaillé dans [9]. En particulier, il est essentiel de limiter les inductances et résistances en série du montage (Figure 6.16b), à travers notamment la réduction de la longueur des interconnexions entre les composants du circuit. Un avantage du montage cascode est qu'il est piloté via la grille du

MOSFET Si *normally-off*, compatible avec les circuits de commande conventionnels. De plus, ces circuits peuvent être intégrés avec le MOSFET Si afin de bénéficier de fonctionnalités complexes [9] permettant par exemple le contrôle des transitoires dv/dt et di/dt , à l'origine d'une dégradation du fonctionnement de l'interrupteur et/ou d'autres composantes de l'application visée (instabilités [131], émissions électromagnétiques [309], etc.). Aussi, la co-intégration de HEMTs GaN sur circuit CMOS apporte une perspective d'optimisation des convertisseurs basés sur des interrupteurs HEMTs GaN cascades. C'est pourquoi l'utilisation d'un montage cascode comme circuit démonstrateur de l'approche de co-intégration développée dans ce projet paraît pertinente. Dans cette perspective, les transistors NMOS *normally-off* fabriqués sur Si(110) présentant une tension de seuil de l'ordre de 0,8 V peuvent être utilisés (Figure 6.17), à condition que leur résistance à l'état passant soit suffisamment faible pour permettre au canal du HEMT de conduire le courant lorsque l'interrupteur est fermé (Figure 6.16).

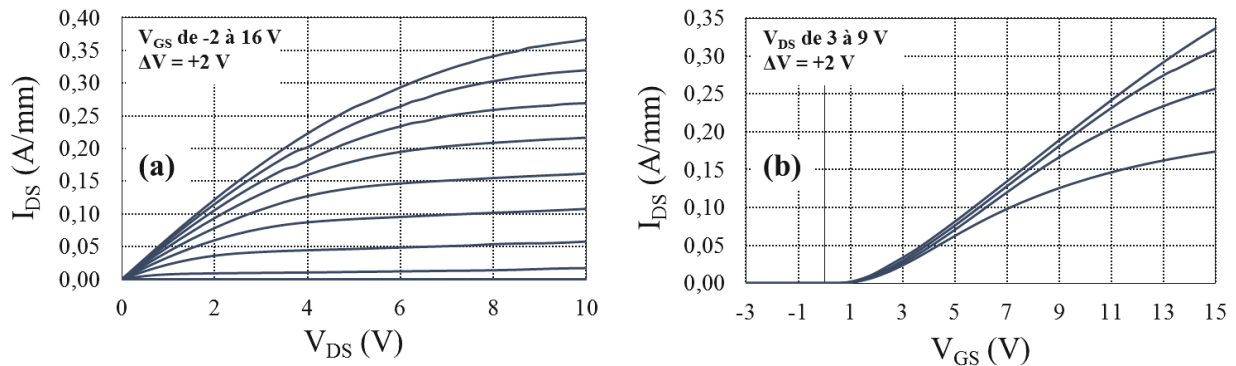


Figure 6.17 – Caractéristiques $I(V)$ d'un transistor NMOS *normally-off* fabriqué sur Si(110) au LN2 ($L_G = 3 \mu\text{m}$, $W = 0,15 \text{ mm}$).

Au-delà de la démonstration, il est clair que l'optimisation du convertisseur à travers un dessin plus compact pose la question de la dissipation thermique, d'autant que les HEMTs GaN, tout comme les MOSFETs Si, ne sont pour l'instant pas qualifiés pour fonctionner au-delà d'une température de canal de 150 °C. Par conséquent, un compromis est à définir entre la stabilité du système, malmenée par les transitoires dv/dt et di/dt , et la dégradation des performances liée à l'auto-échauffement des transistors. Le problème se pose de façon plus aiguë sur le substrat SOI en raison de l'oxyde enterré qui possède une conductivité thermique inférieure à celle du Si [225]. Plusieurs études sont disponibles concernant la dégradation des performances de composants HEMTs GaN à haute température et l'évaluation de la température de jonction

pendant le fonctionnement à forte puissance [310-318]. De même, différentes études traitent ces problématiques pour les technologies CMOS et LDMOS intégrées [319-322].

Un autre circuit démonstrateur possible de la co-intégration avec la technologie CMOS/SOI pourrait reposer sur un oscillateur dit « en anneau » (Figure 6.18). En effet, tout circuit CMOS comporte de telles structures, car ces dernières permettent d'extraire plusieurs facteurs de mérite importants de la technologie [111].

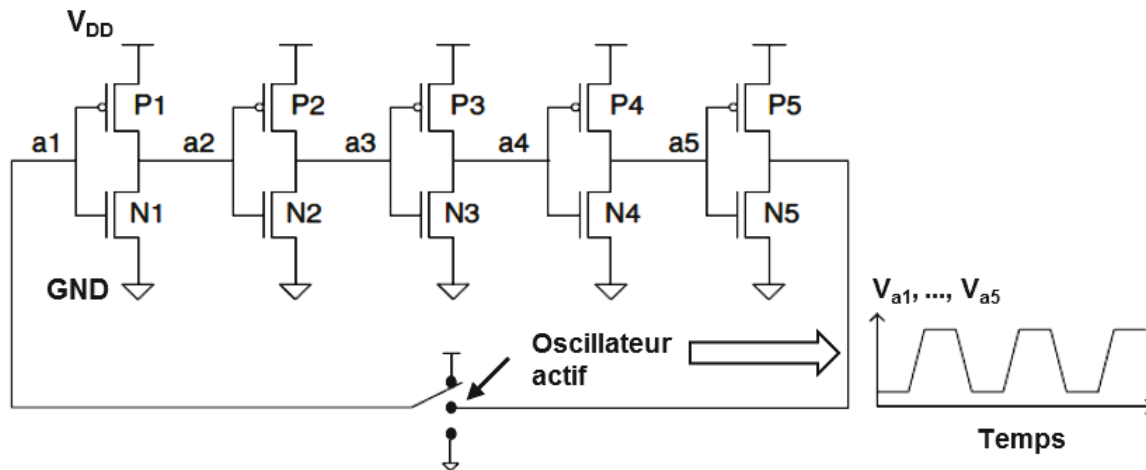


Figure 6.18 – Exemple d'oscillateur en anneau comportant 5 inverseurs CMOS et forme du signal de tension obtenu à chaque nœud $a_1 \dots a_5$ lorsque la sortie du dernier inverseur est connectée à l'entrée du premier inverseur [111].

Un oscillateur en anneau consiste en une longue chaîne d'inverseurs dont le nombre N est obligatoirement impair, la sortie de la dernière porte étant rebouclée sur l'entrée de la première, de sorte que le niveau logique de la dernière porte N soit toujours en désaccord avec le niveau logique d'entrée de la première porte. Ainsi, le circuit se met à osciller spontanément avec une fréquence f_{anneau} inversement proportionnelle à la somme des temps de propagation moyens t_p de chaque porte :

$$f_{anneau} = \frac{1}{2 \times N \times t_p} \quad \text{Équation 6.5}$$

Aussi, en supposant tous les inverseurs identiques, il est possible de remonter au délai de propagation moyen de la porte, qui définit la fréquence maximale de fonctionnement des inverseurs CMOS. Rappelons que la notion de temps de propagation moyen est liée au délai minimal nécessaire pour transmettre l'information du signal d'entrée à travers la porte. Il dépend donc des délais de commutation de l'inverseur résultant de la capacité totale de charge C_L , ainsi

que définie dans son schéma équivalent. Cette grandeur dépend également de la tension d'alimentation V_{DD} de l'inverseur [195] :

$$t_p = \frac{1}{4} C_L V_{DD} \left(\frac{1}{I_{ds,sat}^{NMOS}} + \frac{1}{I_{ds,sat}^{PMOS}} \right) \quad \text{Équation 6.6}$$

Ainsi, en variant le courant qui traverse l'inverseur, le temps de propagation moyen de la porte peut être modifié. Cette approche est utilisée pour la réalisation d'oscillateurs contrôlés en tension (VCOs). Ces derniers sont par exemple implantés dans les boucles à verrouillage de phase (PLLs), qui, dans les microprocesseurs, servent à générer une horloge interne à haute fréquence (~ 1 GHz) à partir d'une fréquence externe relativement basse (~ 100 MHz) [111]. Le fonctionnement d'un VCO est décrit dans la Figure 6.19 : le courant traversant les transistors P_m et N_m , est défini par la tension $V_{consigne}$ appliquée, puis recopié dans les transistors P_2 et N_2 de façon à influencer le délai de commutation de l'inverseur formé par les MOSFETs P_1 et N_1 . En reproduisant ceci à chaque étage, la fréquence d'oscillation de l'oscillateur f_{sortie} peut varier d'environ $\pm 30\%$ autour de sa valeur nominale. Aussi, la démonstration d'un tel oscillateur constituerait un bon test pour la faisabilité de la co-intégration, et par ailleurs nous pourrions avoir l'utilité d'un VCO pour alimenter des HEMTs GaN.

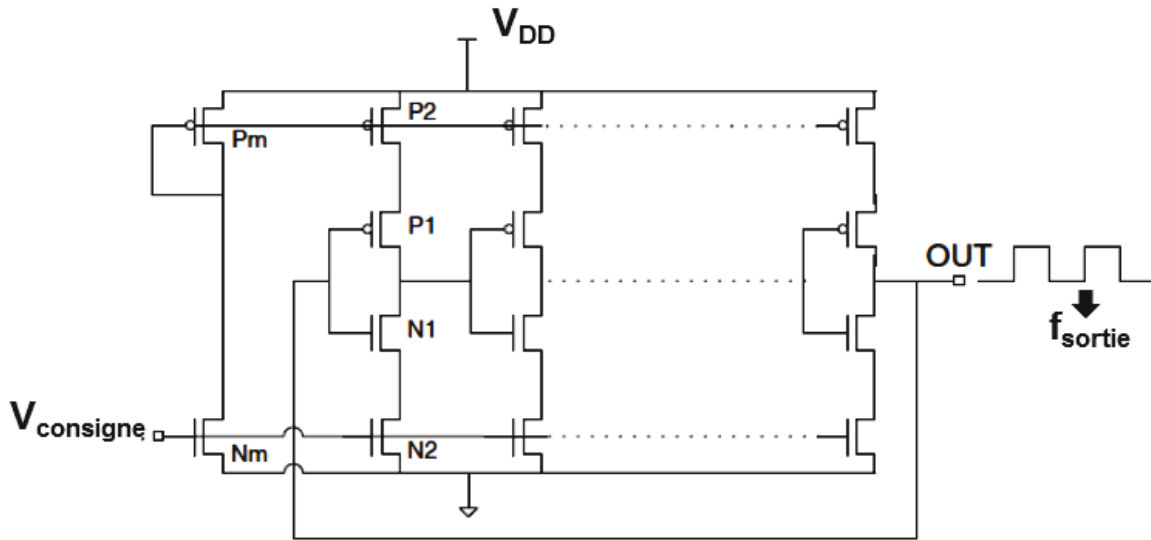


Figure 6.19 – Exemple d'oscillateur contrôlé en tension (VCO) [111].

6.5 Développements technologiques futurs

La fabrication de transistors HEMTs GaN sur les références et épitaxies localisées au cours de ce projet ont rappelé la difficulté pour obtenir de façon reproductible des contacts ohmiques présentant une faible résistance avec le procédé actuel (Figure 6.20b). De plus, la

fabrication de ces contacts peut s'accompagner d'une dégradation de la surface en raison des températures élevées requises pour former l'alliage métallique contactant le 2DEG (typiquement 750 – 850 °C). Cette dégradation se traduit par une augmentation des courants de fuite ($I_{OFF} \uparrow$) et de la pente sous le seuil ($SS \uparrow$), conduisant à des rapports I_{ON}/I_{OFF} inférieurs à 10^6 . De plus, elle contribue à la dispersion DC-RF (effondrement du courant, résistance dynamique) attribuée à l'effet des pièges sur les composants non passivés ou mal passivés (§2.4.4) [323]. Dans le cadre de la co-intégration, il est probable que la présence d'empilements diélectriques présentant une conductivité thermique inférieure à celle du silicium (§5.3), accentue le pic de température à la surface de l'échantillon lors de la montée en quelques secondes vers la consigne du four RTA, et favorise cette dégradation. De plus, l'obtention de contacts ohmiques alliés sans or, compatibles avec les équipements de la microélectronique Si, reste difficile et mène à des résistances de contact relativement élevées.

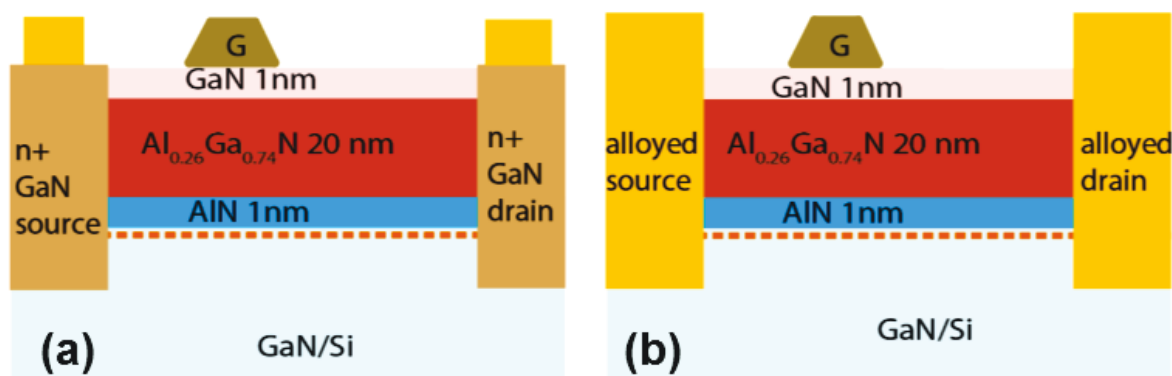


Figure 6.20 – Vue en coupe de composants HEMTs GaN sur Si réalisés via (a) la recroissance à basse température de contacts GaN fortement dopés Si (b) la formation d'un alliage métallique lors d'un recuit à haute température [323].

Par conséquent, nous envisageons le développement d'un procédé technologique contournant cette difficulté, et pouvant être mis en œuvre quelle que soit la stratégie de co-intégration choisie (*CMOS-last* ou *CMOS-first*). À ce jour, la principale approche reportée pour éviter cette dégradation repose sur la gravure locale de la barrière et la recroissance de contacts ohmiques GaN fortement dopés Si ($GaN : Si N^+$) à basse température (< 750 °C), d'où l'intérêt des techniques MBE (Figure 6.20a). Par cette méthode, *Song et al.* ont récemment démontré des HEMTs GaN présentant un ratio I_{ON}/I_{OFF} supérieurs à 10^{11} et des courants de fuite de l'ordre de 10^{-12} A / mm en l'absence de diélectrique de grille et de passivation de la surface [323]. De plus, *Shinohara et al.* ont montré que cette approche profite grandement au développement de technologies HEMTs GaN RF fortement submicroniques [324-327], pour lesquelles l'étalement

du métal pendant le recuit des contacts ohmiques est critique pour le positionnement de la grille dans un espace de plus en plus réduit afin de réduire les résistances d'accès (Figure 2.17). En effet, la minimisation des résistances parasites, en particulier la résistance de contact, est essentielle pour accroître les performances fréquentielles des HEMTs GaN (§2.4.2). Or les techniques MBE permettent d'incorporer des concentrations élevées de Si à basse température, comparativement avec la MOCVD, sans dégradation ni des propriétés électriques (mobilité) ni de la morphologie (rugosité, fissuration) des couches GaN : Si N⁺. Concernant la gravure des caissons avant recroissance, *Joglekar et al.* ont montré qu'une attention particulière doit être portée au profil des flancs de gravure, de manière à ne pas augmenter la résistance de contact par la présence d'une zone de transition désertée entre le contact et le 2DEG [328].

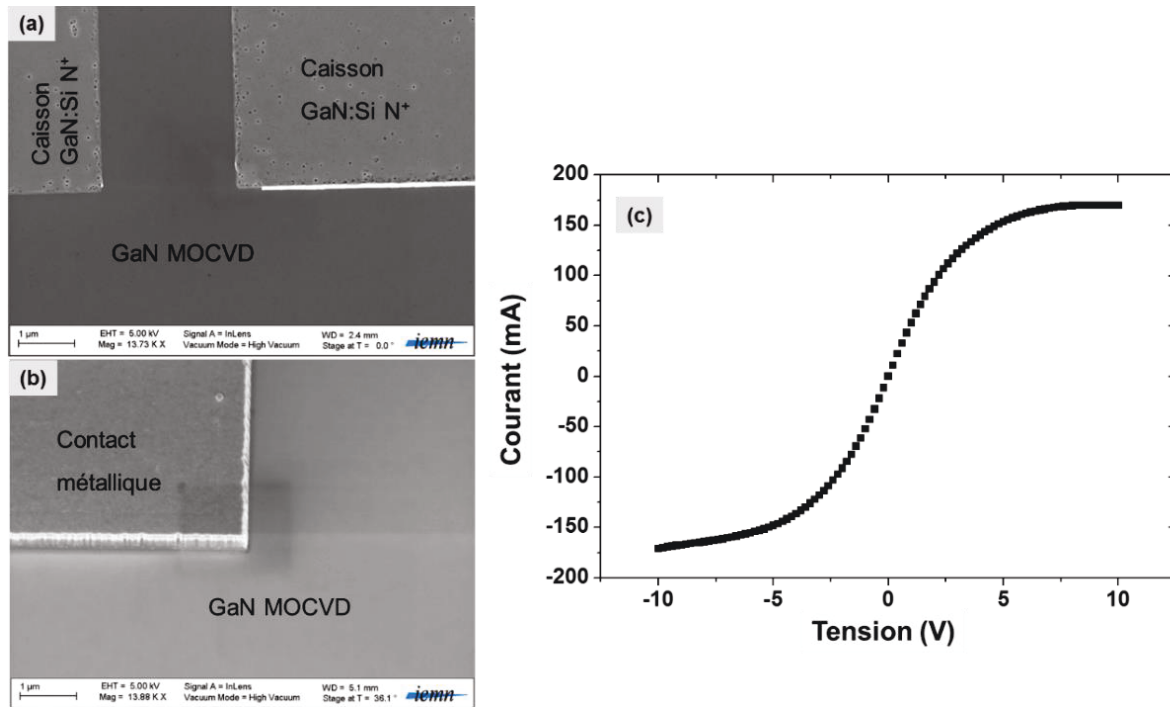


Figure 6.21 – Observations MEB de caissons GaN :Si N⁺ (a) après nettoyage et (b) après dépôt métallique, puis (c) mesure $I(V)$ entre deux contacts.

Au CRHEA, des premiers tests de croissance par NH₃-MBE de GaN : Si N⁺ dans des caissons de gravure ont été réalisés dans le cadre d'un projet exploratoire soutenu par le labex GaNEX. Les premiers résultats technologiques obtenus à l'IEMN par F. Medjoub montrent des résistances de contact légèrement inférieures à 0,5 Ω.mm, même sans recuit, et une définition des bords de contact bien meilleure qu'avec des métaux recuits (Figure 6.21). La croissance localisée de zones de contacts et de barrières sera poursuivie via un contrat de recherche regroupant notamment le CRHEA, l'IEMN et le LN2.

6.6 Conclusion

Les perspectives d'intégration de structures HEMTs GaN ont été discutées sur la base des développements technologiques réalisés au cours de la thèse. Pour l'approche CMOS-*first* privilégiée dans ces travaux, plusieurs solutions seront évaluées à court terme, notamment la fabrication de structures minces sur SOI et Si(110). À moyen terme, indépendamment du substrat choisi, une étude approfondie des masques de croissance reste nécessaire pour la co-intégration de structures HEMTs GaN épaisses. Dans cette perspective, la fabrication de masques diélectriques rugueux est une des alternatives envisagées au dépôt de GaN 3D déposé à basse température par NH₃-MBE. Un masque SiO₂ rugueux a été fabriqué, dont l'efficacité reste à évaluer suite à la préparation de surface (désoxydation HF) et à la croissance d'une structure épaisse. De plus, il serait intéressant de développer cette approche sur des masques terminés par une couche de poly-Si ou de SiN. Enfin, différents circuits démonstrateurs ont été proposés pour, d'une part montrer la fonctionnalité des composants Si et GaN, et d'autre part prouver que les deux technologies sont co-intégrables.

Néanmoins, l'utilisation de substrats SOI, encore onéreux, ou de substrats Si(110), non standards, représente un frein pour une adoption généralisée de ces procédés. C'est pourquoi une approche d'intégration sur Si(100) nominal a été présentée, reposant sur la structuration de la surface par des facettes inclinées (111). Deux laboratoires ont démontré la faisabilité de cette approche par MOCVD au cours de ces 3 dernières années. Toutefois, ces travaux soulignent les difficultés rencontrées en termes d'uniformité le long de ces facettes (épaisseurs, état de contrainte, propriétés structurales et optiques). Pour autant, les résultats préliminaires obtenus sur de telles surfaces par NH₃-MBE sont plutôt encourageants en ce qui concerne ces derniers points, et au regard du nombre réduit de croissances réalisées jusqu'à présent. Cette étude montre néanmoins la complexité de l'interprétation des résultats liée, d'une part à la configuration du réacteur MBE, et d'autre part à la géométrie et aux dimensions variées des motifs. Ces deux facteurs, associés ou non à une rotation de l'échantillon, déterminent une exposition plus ou moins forte aux flux d'éléments III, et sont responsables des morphologies très diverses observées sur les échantillons. Enfin, outre le développement de la croissance, une réflexion a été initiée quant aux approches permettant de caractériser les propriétés électriques de telles structures.

Les techniques de croissance MBE et leur faible budget thermique continuent d'offrir de nouvelles opportunités pour le développement de la technologie HEMT GaN. Récemment, la recroissance de contacts ohmiques GaN : Si N⁺ par ces techniques a été proposée et présente un intérêt certain pour la co-intégration de cette technologie avec des circuits CMOS, tout particulièrement en vue de la réalisation de circuits mixtes et RF de haute performance.

CONCLUSION GÉNÉRALE

Le principal verrou dans une approche de co-intégration CMOS-*first* (GaN sur CMOS) réside dans le développement d'un procédé de fabrication des hétérostructures AlGaIn/GaN n'altérant pas le fonctionnement de dispositifs MOS exposés aux températures élevées de la croissance des nitrures d'éléments III. Préalablement à cette thèse, la faisabilité d'un tel procédé avait été démontrée grâce à l'apport de la technique PAMBE et de son faible budget thermique. Cependant, la croissance par NH₃-MBE n'avait, jusqu'à ce jour, pas été évaluée dans cette perspective, mais dans une approche CMOS-*last*. Au cours de la thèse, les différentes problématiques ont été adressées par le développement du procédé d'épithaxie localisée par NH₃-MBE :

- **La réduction du budget thermique** : un procédé à basse température a montré la faisabilité d'un budget thermique environ un ordre de grandeur en-dessous des procédés standards, via la réduction de la température de croissance de l'AlN de 920 à 830 °C, sans dégradation notable des caractéristiques statiques des HEMTs GaN.
- **L'impact du masque de croissance** : la qualité structurale des couches est préservée, tandis que la proximité des zones de croissance avec des matériaux de masquage susceptibles d'altérer le fonctionnement de HEMTs GaN ne semble pas problématique lorsque le procédé de croissance à basse température est utilisé ($T_{max} \leq 850$ °C).
- **La dérive des dispositifs MOS** : d'après les premières observations, le budget thermique du procédé de croissance ne dégrade pas le fonctionnement des MOSFETs Si de façon irréversible. Cela demande toutefois à être confirmé avec une technologie MOS plus stable et mieux contrôlée. La finalisation du procédé CMOS/SOI sur l'ensemble des échantillons fabriqués à l'UCL devrait permettre de confirmer ces observations. Outre la création d'états d'interface et de pièges dans l'oxyde de grille, la présence d'ammoniac pendant la croissance semble également accentuer la diffusion des dopants à 850 °C, ce qui n'est pas désirable en vue de la co-intégration. Aussi, il conviendrait d'évaluer la faisabilité d'une limitation de l'impact de NH₃ sur la diffusion des dopants et la dégradation de l'interface Si/SiO₂, par exemple en introduisant une couche d'encapsulation qui serait moins perméable aux espèces N_xH_y par rapport au SiO₂ PECVD seul. De plus, un dessin tenant compte de la variation de longueur effective de

la grille du seul fait de la température de croissance des HEMTs pourrait être envisagé pour pallier ces évolutions dans des transistors à grille longue ($L_G \geq 1 \mu\text{m}$).

- **La tenue mécanique du masque de croissance** : celle-ci est obtenue grâce à un masque SiO_2 déposé par PECVD pour des hétérostructures d'épaisseurs inférieures à $0,75 \mu\text{m}$, mais reste problématique pour des épaisseurs de GaN plus importantes. Cependant, nous avons vu qu'il était possible de contrôler l'interface de délamination par la création d'une interface faible au-dessus du SiO_2 . La faisabilité de cette approche a été démontrée avec une couche de GaN 3D déposée par NH_3 -MBE à basse température. Une approche similaire est envisagée par la texturation de la surface du masque SiO_2 (ou de la couche d'encapsulation poly-Si) en vue d'obtenir une interface rugueuse perturbant le début de la croissance GaN sur le masque, et conduisant au même phénomène de délamination.

Ces développements nous permettent d'envisager rapidement la co-intégration de HEMTs GaN sur CMOS Si à travers la fabrication de structures minces ($\sim 0,75 \mu\text{m}$) sur SOI et Si(110) démontrée par des circuits démonstrateurs simples avec des composants capables de supporter des tensions supérieures à 150 V. À plus long terme, la fabrication de structures HEMTs GaN épaisses ($\sim 2 \mu\text{m}$) sur CMOS Si peut amener à la co-intégration de circuits HEMTs GaN en cours de développement au LN2 pour les deux principales filières visées par cette technologie (puissance, RF). Dans cette même perspective, la technique NH_3 -MBE sera évaluée pour la fabrication de contacts ohmiques par recroissance localisée de GaN fortement dopés Si, ce qui permet d'éviter le recours à des recuits d'alliage à haute température.

Un second verrou de la co-intégration GaN sur CMOS, quelle que soit la méthodologie (CMOS-*first* ou CMOS-*last*), est lié à l'orientation de la surface du substrat Si. Grâce au concours de l'UCL pour la fabrication de circuits CMOS sur substrat SOI, il a été possible de développer une approche alternative à la croissance de GaN sur Si(100) nominal, qui reste à ce jour problématique. Les résultats préliminaires de cette approche n'ont pas pu être inclus dans ce manuscrit, mais s'inscrivent dans les perspectives à court terme du projet. De plus, une seconde alternative a été proposée, reposant sur la structuration du substrat Si(100) avec des *V-grooves* (111). Les tous premiers tests de croissance présentés dans ce manuscrit sont encourageants quant à la faisabilité technique des hétérostructures AlGaIn/GaN par cette méthode, en dépit du masque de croissance et de l'inclinaison des surfaces Si(111) à $54,7^\circ$. Cette approche a été jusqu'alors peu développée avec la technique NH_3 -MBE. De nombreuses

différences sont observées vis-à-vis de structures similaires réalisées par MOCVD, notamment en termes d'uniformité des épaisseurs, et en ce qui concerne le comportement de la croissance entre différentes facettes GaN sur Si(111). Ces deux particularités pourraient s'avérer décisives en vue de la fabrication de composants HEMTs sur de telles surfaces, qui s'inscrit dans les perspectives à plus long terme de ce projet.

Enfin, les études sur l'influence de la température de croissance des couches AlN dans les structures HEMTs pourraient ouvrir de nouvelles perspectives pour les croissances planaires sur Si, étant donnés les avantages observés en termes de courants de fuite et tenue en tension.

ANNEXE A

Le détail du procédé HEMT GaN utilisé pour la caractérisation des hétérostructures est donné dans le Tableau A.1. Le jeu de masques utilisé est identique à celui mis en œuvre dans les thèses précédentes (masque HEMT SM, dessiné par N. Baron) [10, 49]. Pour les besoins de la co-intégration (Figure 5.8b), différents jeux de masque ont été fabriqués (HEMT/NMOS et HEMT/CMOS), sur la base du même procédé HEMT développé au CRHEA, et reprenant des structures de test (motifs d'isolation, TLMS, effet Hall, diodes, transistors, etc.) identiques ou similaires à ceux du masque d'origine (HEMT SM).

Étapes	Description
1. Nettoyage	Dégraissant 10 ' / Acétone 10 ' / Isopropanol 10 '
2. Lithographie : Isolation (MESA)	Étalement HMDS / Étalement AZ5214 Recuit de densification : 2', 110 °C Épaisseur visée : 14 500 Å Insolation masque : 9" Développement : 36"
3. Gravure physique (RIE-ECR)	Gaz : Cl ₂ / CH ₄ / Ar Profondeur visée : 1500 Å
4. Délaquage	Acétone 10 ' / Isopropanol 10 ' (ultrasons)
Profilométrie	
5. Lithographie : Contact ohmique	Étalement HMDS / Étalement AZ5214 Recuit de densification : 2', 110 °C Épaisseur visée : 14 500 Å Insolation masque : 2" Recuit d'inversion : 1'30", 110 °C Insolation pleine plaque : 28" Développement : 36"
6. Gravure superficielle (RIE-ECR)	Gaz : Cl ₂ / CH ₄ / Ar Profondeur visée : ~ 140 Å (2/3 x d _{AlGaIn})
7. Dépôt (Évaporation e-beam)	Ti (300 Å) / Al (1800 Å) / Ni (400 Å) / Au (2000 Å)
8. Soulèvement	Acétone 10 ' / Isopropanol 10 ' (ultrasons)
9. Recuit (RTA)	Atmosphère : N ₂ Température : 740 - 760 °C Temps : 30 "
Mesures électriques intermédiaires (TLM, ...)	
10. Lithographie : Grilles	Étalement HMDS / Étalement AZ5214 Recuit de densification : 2', 110 °C Épaisseur visée : 14 500 Å Insolation masque : 2" Recuit d'inversion : 1'30", 110 °C Insolation pleine plaque : 28" Développement : 36"
11. Dépôt (Évaporation e-beam)	Ni (200 Å) / Au (2000 Å)
12. Soulèvement	Acétone 10 ' / Isopropanol 10 ' (ultrasons)
13. Lithographie : Épaississement	Étalement HMDS / Étalement AZ5214 Recuit de densification : 2', 110 °C Épaisseur visée : 14 500 Å Insolation masque : 2" Recuit d'inversion : 1'30", 110 °C Insolation pleine plaque : 28" Développement : 36"
14. Dépôt (Évaporation e-beam)	Ni (200 Å) / Au (2000 Å)
15. Soulèvement	Acétone 10 ' / Isopropanol 10 ' (ultrasons)
Mesures électriques finales	

Tableau A.1 – Étapes technologiques pour la réalisation de transistors HEMTs GaN au CRHEA.

Le présent procédé HEMT répond au besoin de caractérisation rapide des propriétés électriques des hétérostructures AlGaN/GaN fabriquées au CRHEA, par le biais de mesure sous pointes en mode statique principalement. La passivation des hétérostructures, la réalisation de fossé de grille ou encore la fabrication de plaques de champ ne sont pas des étapes indispensables dans cette optique et n'ont donc pas été développées au CRHEA. Par conséquent, seuls 4 niveaux de masque sont nécessaires pour compléter un procédé HEMT standard (isolation, contacts ohmiques, contacts Schottky, épaissement). Dans le cadre de la co-intégration sur CMOS, un niveau supplémentaire est nécessaire pour la définition des zones HEMTs vis-à-vis des zones CMOS (zones actives GaN) avant la mise en œuvre des niveaux précédemment cités. Enfin, dans la perspective d'interconnexions entre les deux technologies (HEMT et CMOS), le dessin et la fabrication d'un niveau supplémentaire doivent être envisagés.

ANNEXE B

Le procédé NMOS mis en œuvre dans les salles blanches du 3IT, où se trouve hébergé le laboratoire LN2, est synthétisé dans le Tableau B.1. Ce procédé est utilisé en enseignement des 1^{er} et 2^e cycles et comme preuve de concepts en recherche à l'Université de Sherbrooke. Le dessin des masques comprend essentiellement des composants individuels (diodes PIN, transistors NMOS, capacités MOS ...) et des motifs de caractérisation (TLMs, résistances ...). Les substrats Si utilisés dans ce projet sont de diamètre 3 pouces avec un dopage Bore conduisant à une résistivité comprise entre 1 et 10 $\Omega\cdot\text{cm}$ (vérifié par mesure C-V à la bille de mercure). L'utilisation de différentes orientations pour ce projet, Si (100) et Si (110), conduit à certaines disparités : par exemple, les vitesses de croissance d'oxyde thermique s'avèrent significativement différentes. Cela nous a amené à modifier certains paramètres des étapes du Tableau B.1 (énergies d'implantation par exemple) .

Étapes	Lithographie	Description
1. Nettoyage	Non	RCA complet
2. Isolation (oxyde de champ)	Non	Oxydation thermique humide à 1050 °C (épaisseur $\text{SiO}_2 \approx 500 \text{ nm}$)
3. Définition des zones actives	Niveau 1	Photolithographie et Gravure chimique de l'oxyde de champ (BOE)
4. Nettoyage	Non	RCA complet
5. Oxyde de grille	Non	Oxydation thermique sèche à 950 °C (épaisseur $\text{SiO}_2 \approx 30 \text{ nm}$) et recuit sous N_2 pendant 1 heure à la même température
6. Ajustement des tensions de seuil	Non	Implantation au Bore ($4 \times 10^{11} \text{ cm}^{-2}$, 20 - 25 keV)
7. Grilles	Niveau 2	Dépôt LPCVD de polysilicium non dopé à 610 °C ($\approx 400 \text{ nm}$) Photolithographie et Gravure plasma
8. Régions source / drain	Non	Implantation au Phosphore ($5 \times 10^{15} \text{ cm}^{-2}$, 20 - 40 keV)
9. Activation des dopants	Non	Recuit sous N_2 à 950 °C pendant 30 minutes
10. Diélectrique d'interconnexion	Non	Dépôt SiO_2 PECVD à 300 °C ($\approx 250 \text{ nm}$)
11. Trous de contact	Niveau 3	Photolithographie Gravure chimique du diélectrique d'interconnexion (BOE)
12. Métallisation et interconnexions	Niveau 4	Évaporation Al Photolithographie et Gravure chimique (H_3PO_4 : IPA)
13. Recuit d'alliage	Non	Recuit sous N_2 à 450 °C pendant 30 minutes
Mesures électriques		

Tableau B.1 – Procédé NMOS réalisé dans les salles blanches du 3IT.

La deuxième colonne du Tableau B.1 indique la présence d'un procédé de lithographie pendant l'étape concernée. L'étape 6 est facultative dans le cas où la tension de seuil des transistors n'importe pas, nous obtenons alors des transistors dits « naturels » ou « intrinsèques », résultant principalement du dopage initial du substrat. La référence [223]

présente quelques développements technologiques visant à optimiser et stabiliser les performances de cette technologie, en vue de réaliser des circuits NMOS.

Étapes	Lithographie	Description
1. Définition des zones actives	Niveau 1	Fabrication d'un masque $\text{SiO}_2/\text{Si}_3\text{N}_4$ dans les zones actives : Oxydation thermique (950 °C, 25 min), Dépôt LPCVD Si_3N_4 à 800 °C, Photolithographie, Gravure plasma
2. Suppression du parasite latéral du NMOS sous l'oxyde de champ	Niveau 2	Photolithographie, Implantation au Bore ($1 \times 10^{15} \text{cm}^{-2}$, 20 keV) sur le contour des zones actives NMOS et Diffusion sous N_2 (950 °C, 80 minutes)
3. Isolation (oxyde de champ)	Non	Gravure chimique ou plasma en dehors des zones actives puis Oxydation thermique humide (950 °C, 25 minutes) autour des zones actives
4. Oxyde de grille 1 (27 nm)	Non	Gravure chimique du masque $\text{SiO}_2/\text{Si}_3\text{N}_4$ dans les zones actives puis Oxydation thermique sèche (950 °C, 47 minutes)
5. Ajustement des tensions de seuil (Transistor PP_1P)	Niveau 3.1	Photolithographie suivie d'une implantation au Bore ($1,8 \times 10^{12} \text{cm}^{-2}$, 20 keV)
6. Ajustement des tensions de seuil (Transistor NP_2N)	Niveau 3.2	Photolithographie suivie d'une implantation au Bore ($8 \times 10^{11} \text{cm}^{-2}$, 20 keV)
7. Autres ajustements de tensions de seuil (Autres familles de transistors)	Niveau 3.X	Photolithographie suivie d'une implantation
8. Oxyde de grille 2 (31 nm)	Non	Oxydation thermique sèche (950 °C) puis recuit sous Ar (800 °C pendant 1 heure)
9. Grille Poly-silicium (340 nm)	Niveau 4	Dépôt Poly-Si LPCVD 625 °C Dépôt Phosphore et Diffusion à 900 °C Photolithographie et Gravure plasma
10. Régions source et drain des PMOS	Niveau 5.1	Photolithographie suivie d'une implantation au Bore ($5,65 \times 10^{15} \text{cm}^{-2}$, 20 keV)
11. Régions source et drain des NMOS	Niveau 5.2	Photolithographie suivie d'une implantation à l'Arsenic ($4,5 \times 10^{15} \text{cm}^{-2}$, 40 keV)
12. Recuit d'activation	Non	Recuit sous O_2 à 850 °C pendant 20 minutes Recuit sous Ar à 850 °C pendant 170 minutes
13. Diélectrique d'interconnexion	Non	Dépôt PECVD (250 nm) Recuit de densification sous O_2 (30 minutes à 800 °C)
14. Trous de contacts	Niveau 6	Photolithographie puis Gravure plasma + chimique (BOE)
15. Métallisation et interconnexions	Niveau 7	Pulvérisation Al : Si Photolithographie et gravure des interconnexions
16. Encapsulation et plots de contact	Niveau 8	Dépôt SiO_2 APCVD (500 nm) Photolithographie et gravure chimique (BOE)

Tableau B.2 – Procédé NMOS réalisé dans les salles blanches du 3IT.

Un procédé *Fully-depleted SOI CMOS 2- μ m* a été développé par André Crahay, Christian Renaux and André Tuor dans les salles blanches de l'UCL, dont les principales étapes sont détaillées dans le Tableau B.2 ainsi que dans la référence [224]. Pour ce projet, des substrats SOI de diamètre 3 pouces, présentant une partie massive orientée Si (111) d'épaisseur 725 μ m, un oxyde enterré de 400 nm et un film Si (100) dopé Bore (9 – 18 Ω .cm) et aminci à 108 nm, ont été utilisés. Ce procédé a recours à 11 masques physiques, contre 4 pour le procédé NMOS (Tableau B.1). Préalablement à l'étape 1, en fonction de l'épaisseur initiale du film de silicium, une étape d'amincissement par voie chimique peut être effectuée. En raison du nombre d'étapes importantes, les nettoyages intermédiaires ne sont pas reportés dans le Tableau B.2. Le dessin du masque CMOS présente une cellule comportant des composants tests (transistors, capacités MOS, résistances, ...) et circuits tests (oscillateurs, ...) qui permettent de caractériser la technologie. En fonction du dopage du canal (de la dose de dopants implantés : P_1, P_2, P_1+P_2, \dots), plusieurs familles de transistors NMOS (NP_1N, N_i, \dots) et PMOS (PP_2P, P_i, \dots) sont disponibles. Cela permet d'obtenir des tensions de seuil variant typiquement entre -0.3 et 0,8 V pour les NMOS et entre -1 et 0,5 V pour les PMOS. Ce procédé comporte deux niveaux d'interconnexions : une couche d'aluminium dopé Si (avec une résistance de feuille de 0,3 Ω / \square) et une couche de poly-silicium dopée phosphore (avec une résistance de feuille de 30 Ω / \square). La tension d'alimentation V_{DD} visée est comprise entre 2,5 et 5 V, et ne peut dépasser 8 V. Enfin, la fréquence et la température maximales visées pour cette technologie sont respectivement $f_{max} = 10$ MHz et $T_{max} = 300$ °C.

LISTE DES RÉFÉRENCES

- [1] Amano, H., *Nobel Lecture: Growth of GaN on sapphire via low-temperature deposited buffer layer and realization of p-type GaN by Mg doping followed by low-energy electron beam irradiation*. Reviews of Modern Physics. **87**(4), p. 1133-1138 (2015).
- [2] Nakamura, S., *Nobel Lecture: Background story of the invention of efficient blue InGaN light emitting diodes**. Reviews of Modern Physics. **87**(4), p. 1139-1151 (2015).
- [3] Chakroun, A., *Passivation de la surface du nitrure de gallium par dépôt PECVD d'oxyde de silicium*, Thèse de Doctorat soutenue en 2015, Université de Sherbrooke.
- [4] *GaN Devices for Power Electronics - Patent Investigation*, Knowmade (2015). Disponible sur: <http://www.knowmade.com/reports/>.
- [5] *GaN-on-Si Technology and Market for LED and power electronics* Yole Développement (2014). Disponible sur: <http://www.i-micronews.com/reports.html>.
- [6] Arulkumaran, S. and G.I. Ng, *Gallium Nitride Transistors on Large-diameter Si(111) Substrate*, in *Gallium Nitride (GaN): Physics, Devices, and Technology*, F. Medjdoub, Editor, CRC Press. p. 63-107 (2016).
- [7] Iacopi, F., et al., *Power electronics with wide bandgap materials: Toward greener, more efficient technologies*. MRS Bulletin. **40**(05), p. 390-395 (2015).
- [8] Green, D.S., C.L. Dohrman, and T.-H. Chang. *The DARPA Diverse Accessible Heterogeneous Integration (DAHI) Program: Status and Future Directions*. à CS Mantech. Denver (Colorado) (2014).
- [9] Roberts, J., G. Klowak, and L. Yushyna, *GaN Transistors – Drive Control, Thermal Management, Isolation*, in *Power Electronics Magazine*. p. 24-28 (2013).
- [10] Rennesson, S., *Développement de nouvelles hétérostructures HEMTs à base de nitrure de gallium pour des applications de puissance en gamme d'ondes millimétriques*, Thèse de Doctorat soutenue en 2013, Université de Nice-Sophia Antipolis.
- [11] Li, T., M. Mastro, and A. Dadgar, eds. *III-V Compound Semiconductors: Integration with Silicon-Based Microelectronics*. CRC Press. 603 (2010).
- [12] Motoki, K., *Development of gallium nitride substrates*. SEI Tech. Rev. **70**, p. 28-35 (2010).
- [13] Takeya, M., et al., *Degradation in AlGaInN lasers*. physica status solidi (c), (7), p. 2292-2295 (2003).
- [14] Ambacher, O., et al., *Pyroelectric properties of Al(In)GaN/GaN hetero- and quantum well structures*. Journal of Physics: Condensed Matter. **14**(13), p. 3399 (2002).
- [15] Bernardini, F. and V. Fiorentini, *Nonlinear macroscopic polarization in III-V nitride alloys*. Physical Review B. **64**(8)(2001).
- [16] Bernardini, F. and V. Fiorentini, *Erratum: Nonlinear macroscopic polarization in III-V nitride alloys (vol B 64, art no 085207, 2001)*. Physical Review B. **65**(12)(2002).
- [17] Bernardini, F., V. Fiorentini, and D. Vanderbilt, *Spontaneous polarization and piezoelectric constants of III-V nitrides*. Physical Review B. **56**(16), p. 10024-10027 (1997).
- [18] Stutzmann, M., et al., *Playing with polarity*. Physica Status Solidi B-Basic Research. **228**(2), p. 505-512 (2001).
- [19] Wong, M.H., et al., *N-polar GaN epitaxy and high electron mobility transistors*. Semiconductor Science and Technology. **28**(7), p. 074009 (2013).

-
- [20] Hellman, E.S., *The Polarity of GaN: a Critical Review*. MRS Internet Journal of Nitride Semiconductor Research. **3**(1998).
 - [21] Cordier, Y., et al., *Nitride- based Transistors for high power / high frequency applications*, in *III Nitride Semiconductors and their Modern Devices I*, B. Gil, Editor, Oxford University Press (2013).
 - [22] Denninghoff, D.J., et al., *Design of High-Aspect-Ratio T-Gates on N-Polar GaN/AlGaN MIS-HEMTs for High f_{max}* . Electron Device Letters, IEEE. **33**(6), p. 785-787 (2012).
 - [23] Ziade, P., et al., *Comparative Analysis of Nitrides Band Structures Calculated by the Empirical Pseudopotential Method*. Universal Journal of Materials Science. **2**(3), p. 58-72 (2014).
 - [24] Monemar, B., *Fundamental energy gap of GaN from photoluminescence excitation spectra*. Physical Review B. **10**(2), p. 676 (1974).
 - [25] Varshni, Y.P., *Temperature dependence of the energy gap in semiconductors*. Physica. **34**(1), p. 149-154 (1967).
 - [26] Monemar, B., et al., *Free Excitons in GaN*. MRS Internet Journal of Nitride Semiconductor Research. **1**(1996).
 - [27] Vurgaftman, I., J.R. Meyer, and L.R. Ram-Mohan, *Band parameters for III-V compound semiconductors and their alloys*. Journal of Applied Physics. **89**(11), p. 5815-5875 (2001).
 - [28] Vurgaftman, I. and J.R. Meyer, *Band parameters for nitrogen-containing semiconductors*. Journal of Applied Physics. **94**(6), p. 3675-3696 (2003).
 - [29] Bernardini, F. and V. Fiorentini, *Macroscopic polarization and band offsets at nitride heterojunctions*. Physical Review B. **57**(16), p. R9427-R9430 (1998).
 - [30] Gonschorek, M., *Physical Properties of AlInN/(AlN)/GaN ($0.07 < x < 0.23$) Heterostructures and their Application for High Power Electronics*, Thèse de Doctorat soutenue en 2010, École Polytechnique Fédérale de Lausanne.
 - [31] Xu, X., et al., *Influence of band bending and polarization on the valence band offset measured by x-ray photoelectron spectroscopy*. Journal of Applied Physics. **107**(10), p. 104510 (2010).
 - [32] Ambacher, O., *Growth and applications of group III-nitrides*. Journal of Physics D: Applied Physics. **31**(20), p. 2653 (1998).
 - [33] Bechstedt, F., U. Grossner, and J. Furthmüller, *Dynamics and polarization of group-III nitride lattices: A first-principles study*. Physical Review B. **62**(12), p. 8003-8011 (2000).
 - [34] Leroux, M., et al., *Optical Characterization of Al_xGa_{1-x}N Alloys ($x < 0.7$) Grown on Sapphire or Silicon*. phys. stat. sol. (b). **234**(3), p. 887-891 (2002).
 - [35] Wu, J., et al., *Small band gap bowing in In_{1-x}Ga_xN alloys*. Applied Physics Letters. **80**(25), p. 4741-4743 (2002).
 - [36] Takahashi, K., A. Yoshikawa, and A. Sandhu, eds. *Wide bandgap semiconductors*. Springer-Verlag Berlin Heidelberg. 460 (2007).
 - [37] Pearton, S., ed. *GaN and ZnO-based materials and devices*. Springer Series in Materials Science. Vol. 156, Springer-Verlag Berlin Heidelberg. 486 (2012).
 - [38] O'Leary, S., et al., *The sensitivity of the electron transport within bulk wurtzite indium nitride to variations in the crystal temperature, the doping concentration, and the non-parabolicity coefficient: an updated Monte Carlo analysis*. Journal of Materials Science: Materials in Electronics. **21**(3), p. 218-230 (2010).

-
- [39] Shur, M.S. *GaAs devices and circuits*, 1st ed, Microdevices, Springer US, ISBN: 978-1-4899-1989-2 (2013).
 - [40] Ohta, H., et al., *Vertical GaN p-n Junction Diodes With High Breakdown Voltages Over 4 kV*. Electron Device Letters, IEEE. **36**(11), p. 1180-1182 (2015).
 - [41] Duboz, J.-Y., *Matériaux semi-conducteurs à grand gap III-V à base de GaN*. Techniques de l'ingénieur, (), p. E1995.1 -E1995.24 (1999).
 - [42] Pohl, U.W. *Epitaxy of Semiconductors: Introduction to Physical Principles*, 1st ed, Graduate Texts in Physics, Springer-Verlag Berlin Heidelberg, ISBN: 978-3-642-32970-8 (2013).
 - [43] Ambacher, O., et al., *Two dimensional electron gases induced by spontaneous and piezoelectric polarization in undoped and doped AlGaIn/GaN heterostructures*. Journal of Applied Physics. **87**(1), p. 334-344 (2000).
 - [44] Wright, A.F., *Elastic properties of zinc-blende and wurtzite AlN, GaN, and InN*. Journal of Applied Physics. **82**(6), p. 2833-2839 (1997).
 - [45] Baron, N., et al., *The critical role of growth temperature on the structural and electrical properties of AlGaIn/GaN high electron mobility transistor heterostructures grown on Si(111)*. Journal of Applied Physics. **105**, p. 33701 (2009).
 - [46] Hull, D. and D.J. Bacon. *Introduction to dislocations*, 4th ed, Oxford Butterworth-Heinemann, ISBN: 9780750646819 (2001).
 - [47] Romanov, A. and J. Speck, *Stress relaxation in mismatched layers due to threading dislocation inclination*. Applied Physics Letters. **83**(13), p. 2569-2571 (2003).
 - [48] Hirth, J.P. and J. Lothe. *Theory of dislocations*, 2nd ed, Wiley, (1982).
 - [49] Baron, N., *Optimisation de la croissance épitaxiale d'hétérostructures dans la filière Nitrure de Gallium pour les applications aux transistors à effet de champ*, Thèse de Doctorat soutenue en 2009, Université de Nice Sophia Antipolis.
 - [50] Gaska, R., et al., *Self-heating in high-power AlGaIn-GaN HFETs*. Electron Device Letters, IEEE. **19**(3), p. 89-91 (1998).
 - [51] Shur, M., et al., *GaN-based pyroelectronics and piezoelectronics*, in *Handbook of Thin Film Devices*, M.H. Francombe, Editor, Academic Press: Burlington. p. 299-339 (2000).
 - [52] Fuflyigin, V., et al., *Pyroelectric properties of AlN*. Applied Physics Letters. **77**(19), p. 3075-3077 (2000).
 - [53] Shimura, F. *Semiconductor silicon crystal technology*, London Academic Press, ISBN: 978-0124312494 (2012).
 - [54] Boćkowski, M., et al., *High Pressure Solution Growth of Gallium Nitride*, in *Technology of Gallium Nitride Crystal Growth*, D. Ehretraut, E. Meissner, and M. Bockowski, Editors, Springer Berlin Heidelberg. p. 207-234 (2010).
 - [55] Ehretraut, D., E. Meissner, and M. Bockowski. *Technology of gallium nitride crystal growth*, Vol. 133, Springer Science & Business Media, ISBN: 3642048307 (2010).
 - [56] Fukuda, T. and D. Ehretraut, *Prospects for the ammonothermal growth of large GaN crystal*. Journal of Crystal Growth. **305**(2), p. 304-310 (2007).
 - [57] Davis, R.F., *Substrates and epitaxial deposition processes for Group III-nitride thin films and power device heterostructures*. MRS Bulletin. **40**(05), p. 406-411 (2015).
 - [58] Seacrist, M. *High quality, low cost bulk Gallium nitride substrates grown by the electrochemical solution growth method*. à U.S. DOE Advanced Manufacturing Office Program Review Meeting. Washington, D.C.: SunEdison Semiconductor (2015).
 - [59] Johnson, W. and E.L. Piner, *GaN HEMT Technology*, in *GaN and ZnO-based Materials and Devices*, S. Pearton, Editor, Springer-Verlag Berlin Heidelberg. p. 209-237 (2012).

-
- [60] Hoke, W.E., et al., *Highly uniform AlGaIn/GaN HEMT films grown on 200-mm silicon substrates by plasma molecular beam epitaxy*. Journal of Vacuum Science & Technology B: Microelectronics and Nanometer Structures. **32**(3), p. 030605 (2014).
 - [61] Cordier, Y., et al., *GaN films and GaN/AlGaIn quantum wells grown by plasma assisted molecular beam epitaxy using a high density radical source*. Journal of Crystal Growth. **433**, p. 165-171 (2016).
 - [62] Boucherif, A.R., et al., *Focused gas beam injection for efficient ammonia-molecular beam epitaxial growth of III-nitride semiconductors*. Journal of Vacuum Science & Technology B. **34**(2), p. 02L116 (2016).
 - [63] Zhu, D., D. Wallis, and C. Humphreys, *Prospects of III-nitride optoelectronics grown on Si*. Reports on Progress in Physics. **76**(10), p. 106501 (2013).
 - [64] Mesrine, M., N. Grandjean, and J. Massies, *Efficiency of NH₃ as nitrogen source for GaN molecular beam epitaxy*. Applied Physics Letters. **72**(3), p. 350-352 (1998).
 - [65] Cho, A., *Growth of III-V semiconductors by molecular beam epitaxy and their properties*. Thin Solid Films. **100**(4), p. 291-317 (1983).
 - [66] Cho, A. and J. Arthur, *Molecular beam epitaxy*. Progress in solid state chemistry. **10**, p. 157-191 (1975).
 - [67] Kittel, C. *Physique de l'état solide*, 7 ed, Dunod, ISBN: 978-2100032679 (1998).
 - [68] Le Louarn, A., *Première étape de la croissance de GaN sur Si(111) : la nucléation d'AlN*, Thèse de Doctorat soutenue en 2006, Université de Nice-Sophia Antipolis.
 - [69] Franssila, S. *Introduction to microfabrication*, 2nd ed, John Wiley & Sons Ltd, ISBN: 9780470749838 (2010).
 - [70] Joblot, S., *Croissance d'Hétérostructures à base de GaN sur substrat de silicium orienté (001) : application aux transistors à haute mobilité d'électrons*, Thèse de Doctorat soutenue en 2007, Université de Nice Sophia Antipolis.
 - [71] Joblot, S., et al., *Hexagonal c-axis GaN layers grown by metalorganic vapor-phase epitaxy on Si (001)*. Journal of Crystal Growth. **280**(1-2), p. 44-53 (2005).
 - [72] Cordier, Y., et al., *AlGaIn/GaN high electron mobility transistor grown by molecular beam epitaxy on Si(110): comparisons with Si(111) and Si(001)*. Physica Status Solidi (C). **6**(S2), p. S1020-S1023 (2009).
 - [73] Le Louarn, A., et al., *AlN buffer layer growth for GaN epitaxy on (111) Si: Al or N first?* Journal of Crystal Growth. **311**(12), p. 3278-3284 (2009).
 - [74] Dabrowski, J. and H.-J. Müssig. *Silicon surfaces and formation of interfaces: basic science in the industrial world*, World Scientific, ISBN: 978-981-4496-82-7 (2000).
 - [75] Mellhaoui, X., *Mécanismes physico-chimiques dans le procédé de gravure plasma du Silicium*, Thèse de Doctorat soutenue en 2006, Université d'Orléans.
 - [76] Takayanagi, K., et al., *Structural analysis of Si (111)-7×7 by UHV-transmission electron diffraction and microscopy*. Journal of Vacuum Science & Technology A. **3**(3), p. 1502-1506 (1985).
 - [77] Joblot, S., et al., *AlGaIn/GaN HEMTs on [001] silicon substrates*. Electronics Letters. **42**(2), p. 117-118 (2006).
 - [78] Chang, L., M. Jeong, and M. Yang, *CMOS Circuit Performance Enhancement by Surface Orientation Optimization*. IEEE Transactions on Electron Devices. **51**(10), p. 1621-1627 (2004).
 - [79] Cordier, Y., et al., *Growth of GaN based structures on Si (110) by molecular beam epitaxy*. Journal of Crystal Growth. **312**(19), p. 2683-2688 (2010).

-
- [80] Dadgar, A., et al., *Epitaxy of GaN on silicon—impact of symmetry and surface reconstruction*. New Journal of Physics. **9**(10), p. 389 (2007).
 - [81] Khoury, M., *Croissance et fabrication de LEDs semi- et non-polaires sur Si*, Thèse de Doctorat de Physique soutenue en 2016, Université de Nice Sophia Antipolis.
 - [82] Egawa, T., *Development of Next-generation Devices Amidst Global Competition Due to Their Huge Market Potential*, in *ULVAC Group's PR Magazine*. p. 18-21 (2013).
 - [83] Marcon, D., et al., *Manufacturing Challenges of GaN-on-Si HEMTs in a 200 mm CMOS Fab*. IEEE Transactions on Semiconductor Manufacturing. **26**(3), p. 361-367 (2013).
 - [84] Gil, B., ed. *III-nitride semiconductors and their modern devices*. 1st ed. Series on Semiconductor Science and Technology. Vol. 18, Oxford University Press. 672 (2013).
 - [85] Semond, F., *Enjeux et intérêts du GaN sur Si, Naissance d'une filière en France*, Thèse de Habilitation à Diriger des Recherches soutenue en 2016, Université de Nice-Sophia Antipolis.
 - [86] Semond, F., *Epitaxial challenges of GaN on silicon*. MRS Bulletin. **40**(05), p. 412-417 (2015).
 - [87] Natali, F., *Elaboration, étude et application d'hétérostructures (Al,Ga)N/GaN épitaxiées par jets moléculaires sur Si(111)*, Thèse de Doctorat soutenue en 2003, Université de Nice-Sophia Antipolis.
 - [88] Freedman, J., et al., *Influence of AlN nucleation layer on vertical breakdown characteristics for GaN-on-Si*. physica status solidi (a). **213**(2), p. 424-428 (2015).
 - [89] Gommé, G., *Croissance de GaN sur silicium micro-et nano-structuré*, Thèse de Doctorat soutenue en 2014, Université de Nice Sophia Antipolis.
 - [90] Srivastava, P., et al., *2 kV Breakdown Voltage GaN-on-Si DHFETs with Sub-micron Thin AlGaIn Buffer*. CS MANTECH, Boston, MA, (2012).
 - [91] Srivastava, P., et al., *Silicon Substrate Engineered High-Voltage High-Temperature GaN-DHFETs*. IEEE Transactions on Electron Devices. **60**(7), p. 2217-2223 (2013).
 - [92] Srivastava, P., et al., *Silicon Substrate Removal of GaN DHFETs for Enhanced (> 1100 V) Breakdown Voltage*. IEEE Electron Device Letters. **31**(8), p. 851-853 (2010).
 - [93] Watanabe, N., *GaN-on-Si Technology for High-power Transistors*, NTT Photonics Laboratories (2014). Disponible sur: <https://www.ntt-review.jp/archive/ntttechnical.php?contents=ntr201404fa8.html>.
 - [94] Cordier, Y., *Al (Ga) N/GaN high electron mobility transistors on silicon*. physica status solidi (a). **212**(5), p. 1049-1058 (2015).
 - [95] Semond, F., et al., *High-electron-mobility AlGaIn/GaN heterostructures grown on Si(111) by molecular-beam epitaxy*. Applied Physics Letters. **78**(3), p. 335-337 (2001).
 - [96] Cordier, Y., *Elaboration d'hétérostructures (Al,Ga)N/GaN en vue d'applications électroniques, de la croissance cristalline au composant*, Thèse de Habilitation à Diriger des Recherches soutenue en 2007, Université de Nice-Sophia Antipolis.
 - [97] Shen, L., et al., *AlGaIn/AlN/GaN high-power microwave HEMT*. Electron Device Letters, IEEE. **22**(10), p. 457-459 (2001).
 - [98] Yu, E.T., et al., *Schottky barrier engineering in III-V nitrides via the piezoelectric effect*. Applied Physics Letters. **73**(13), p. 1880-1882 (1998).
 - [99] Derluyn, J., et al., *Improvement of AlGaIn/GaN high electron mobility transistor structures by in situ deposition of a Si₃N₄ surface layer*. Journal of Applied Physics. **98**(5), p. 054501 (2005).
 - [100] Khan, M.A., et al., *Two-dimensional electron gas in GaN-AlGaIn heterostructures deposited using trimethylamine-alane as the aluminum source in low pressure*

- metalorganic chemical vapor deposition*. Applied Physics Letters. **67**(10), p. 1429-1431 (1995).
- [101] Khan, M.A., et al., *Metal semiconductor field effect transistor based on single crystal GaN*. Applied Physics Letters. **62**(15), p. 1786-1787 (1993).
- [102] Khan, M.A., et al., *Microwave performance of a 0.25 μm gate AlGaIn/GaN heterostructure field effect transistor*. Applied Physics Letters. **65**(9), p. 1121-1123 (1994).
- [103] Mathieu, H. and H. Fanet. *Physique des semiconducteurs et des composants électroniques*, 6 ed, Sciences Sup, Dunod, ISBN: 9782100516438 (2009).
- [104] Ibbetson, J.P., et al., *Polarization effects, surface states, and the source of electrons in AlGaIn/GaN heterostructure field effect transistors*. Applied Physics Letters. **77**(2), p. 250-252 (2000).
- [105] Smorchkova, I.P., et al., *Polarization-induced charge and electron mobility in AlGaIn/GaN heterostructures grown by plasma-assisted molecular-beam epitaxy*. Journal of Applied Physics. **86**(8), p. 4520-4526 (1999).
- [106] Lorenzini, P., *Caractérisations des hétérostructures AlGaIn/GaN : des propriétés de transport aux transistors à haute mobilité HEMT*, Thèse de Habilitation à Diriger des Recherches soutenue en 2004, Université de Nice Sophia-Antipolis.
- [107] Nguyen, T.D.H., *Réalisation et caractérisation de HEMTs AlGaIn/GaN sur silicium pour applications à haute tension*, Thèse de Doctorat soutenue en 2013, Université de Paris 11.
- [108] Mishra, U. and J. Singh. *Semiconductor Device Physics and Design*, Series on Integrated Circuits and Systems, Springer, ISBN: 978-1402064807 (2008).
- [109] Ridley, B.K., *Polarization-induced electron populations*. Applied Physics Letters. **77**(7), p. 990-992 (2000).
- [110] Cordier, Y., et al., *Influence of crystal quality on electron mobility in AlGaIn/GaN HEMTs grown on Si(111), SiC and GaN templates*. J. Phys. IV France. **132**, p. 365-368 (2006).
- [111] Bhushan, M. and M.B. Ketchen. *Microelectronic Test Structures for CMOS Technology*, 1st ed, Springer-Verlag New York, ISBN: 978-1-4419-9377-9 (2011).
- [112] Sze, S.M. and M.K. Lee. *Semiconductor Devices: Physics and Technology*, 3rd ed, John Wiley & Sons, Inc, ISBN: 978-0470537947 (2010).
- [113] Ozbek, A.M., *Measurement of impact ionization coefficients in gallium nitride* Thèse de Doctorat soutenue en 2011, North Carolina State University.
- [114] Bahl, I. *Fundamentals of RF and microwave transistor amplifiers*, John Wiley & Sons, Ltd., ISBN: 978-0-470-39166-2 (2009).
- [115] Green, D.S., et al. *Materials and Integration Strategies for Modern RF Integrated Circuits*. à *Compound Semiconductor Integrated Circuit Symposium (CSICs)*, 2014 IEEE. (2014).
- [116] Jordan, D., et al., *The development of semi-insulating silicon substrates for microwave devices*. Journal of The Electrochemical Society. **157**(5), p. H540-H545 (2010).
- [117] Mallik, K., et al., *Analytical and numerical model of spiral inductors on high resistivity silicon substrates*. Solid-State Electronics. **93**, p. 43-48 (2014).
- [118] Lecourt, F., *Hétérostructures AlGaIn/GaN et InAlN/GaN pour la réalisation de HEMTs de puissance hyperfréquence en bande Ka*, Thèse de Doctorat soutenue en 2012, Université des Sciences et Technologies de Lille.

-
- [119] Chung, J.W., et al., *AlGaIn/GaN HEMT With 300-GHz f_{max}* . Electron Device Letters, IEEE. **31**(3), p. 195-197 (2010).
 - [120] Park, P.S. and S. Rajan, *Simulation of short-channel effects in N-and Ga-polar AlGaIn/GaN HEMTs*. IEEE Transactions on Electron Devices. **58**(3), p. 704-708 (2011).
 - [121] Jessen, G.H., et al., *Short-Channel Effect Limitations on High-Frequency Operation of AlGaIn/GaN HEMTs for T-Gate Devices*. IEEE Transactions on Electron Devices. **54**(10), p. 2589-2597 (2007).
 - [122] Dimitrijević, S., et al., *Power-switching applications beyond silicon: Status and future prospects of SiC and GaN devices*. MRS Bulletin. **40**(05), p. 399-405 (2015).
 - [123] Chowdhury, S. and U.K. Mishra, *Lateral and Vertical Transistors Using the AlGaIn/GaN Heterostructure*. IEEE Transactions on Electron Devices. **60**(10), p. 3060-3066 (2013).
 - [124] Baliga, B.J. *Fundamentals of Power Semiconductor Devices*, 1st ed, Springer US, ISBN: 978-0-387-47314-7 (2008).
 - [125] Tipirneni, N., et al., *The 1.6-kV AlGaIn/GaN HFETs*. Electron Device Letters, IEEE. **27**(9), p. 716-718 (2006).
 - [126] Hilt, O., et al., *High-voltage normally OFF GaN power transistors on SiC and Si substrates*. MRS Bulletin. **40**(05), p. 418-424 (2015).
 - [127] Würfl, J., *GaN High-Voltage Power Devices*, in *Gallium Nitride (GaN): Physics, Devices, and Technology*, F. Medjdoub, Editor, CRC Press. p. 1-44 (2016).
 - [128] Deboy, G., et al. *A new generation of high voltage MOSFETs breaks the limit line of silicon*. à *Technical Digest., International Electron Devices Meeting, 1998*. . IEEE (1998).
 - [129] Lai, J.-S., et al., *Characteristics and utilization of a new class of low on-resistance MOS-gated power device*. IEEE Transactions on Industry Applications. **37**(5), p. 1282-1289 (2001).
 - [130] Lorenz, L., et al. *COOLMOS™-a new milestone in high voltage power MOS*. à *The 11th International Symposium on Power Semiconductor Devices and ICs*. Toronto, Ontario: IEEE, Proceedings (1999).
 - [131] Lidow, A., et al. *GaN Transistors for Efficient Power Conversion*, 2nd ed, Wiley, John & Sons, Incorporated, ISBN: 978-1-118-84476-2 (2014).
 - [132] Scott, M.J., J. Li, and J. Wang, *Applications of Gallium Nitride in power electronics*. 2013 IEEE Power and Energy Conference at Illinois (PECI), p. 1-7 (2013).
 - [133] Adak, S., et al., *Study of HfAlO/AlGaIn/GaN MOS-HEMT with source field plate structure for improved breakdown voltage*. Physica E: Low-dimensional Systems and Nanostructures. **64**, p. 152-157 (2014).
 - [134] Kachi, T., D. Kikuta, and T. Uesugi. *GaN power device and reliability for automotive applications*. à *International Reliability Physics Symposium (IRPS)*. IEEE (2012).
 - [135] Visalli, D., et al., *Limitations of field plate effect due to the silicon substrate in AlGaIn/GaN/AlGaIn DHFETs*. IEEE Transactions on Electron Devices. **57**(12), p. 3333-3339 (2010).
 - [136] Herbecq, N., et al., *1900V, 1.6mΩcm² AlN/GaN-on-Si power devices realized by local substrate removal*. Applied Physics Express. **7**(034103), p. 1-3 (2014).
 - [137] Chevtchenko, S., et al. *Investigation and reduction of leakage current associated with gate encapsulation by SiNx in AlGaIn/GaN HFETs*. à *CS MANTECH Conference*. Palm Springs, California, USA, May. (2011).

-
- [138] Liu, Z., et al., *Reduced surface leakage current and trapping effects in AlGaIn/GaN high electron mobility transistors on silicon with SiN/Al₂O₃ passivation*. Applied Physics Letters. **98**(11), p. 113506 (2011).
 - [139] Ikeda, N., et al., *GaN power transistors on Si substrates for switching applications*. Proceedings of the IEEE. **98**(7), p. 1151-1161 (2010).
 - [140] Saito, W., et al., *Design and demonstration of high breakdown voltage GaN high electron mobility transistor (HEMT) using field plate structure for power electronics applications*. Japanese journal of applied physics. **43**(4S), p. 2239 (2004).
 - [141] Selvaraj, S.L., T. Suzue, and T. Egawa, *Breakdown enhancement of AlGaIn/GaN HEMTs on 4-in silicon by improving the GaN quality on thick buffer layers*. Electron Device Letters, IEEE. **30**(6), p. 587-589 (2009).
 - [142] Umeda, H., et al. *Blocking-voltage boosting technology for GaN transistors by widening depletion layer in Si substrates*. à *International Electron Devices Meeting (IEDM)*. San Francisco, CA: IEEE (2010).
 - [143] Herbecq, N., et al., *Above 2000 V breakdown voltage at 600 K GaN-on-silicon high electron mobility transistors*. physica status solidi (a). **213**(4), p. 873-877 (2016).
 - [144] Andrei, P. *Breakdown voltage enhancement in lateral AlGaIn/GaN heterojunction FETs with multiple field plates*. à *10th IEEE International Conference on Solid-State and Integrated Circuit Technology (ICSICT)*. IEEE (2010).
 - [145] Bahat-Treidel, E., et al., *AlGaIn/GaN/AlGaIn DH-HEMTs breakdown voltage enhancement using multiple grating field plates (MGFPs)*. IEEE Transactions on Electron Devices. **57**(6), p. 1208-1216 (2010).
 - [146] Dora, Y., et al., *High breakdown voltage achieved on AlGaIn/GaN HEMTs with integrated slant field plates*. Electron Device Letters, IEEE. **27**(9), p. 713-715 (2006).
 - [147] Xie, G., et al., *Breakdown-voltage-enhancement technique for RF-based AlGaIn/GaN HEMTs with a source-connected air-bridge field plate*. Electron Device Letters, IEEE. **33**(5), p. 670-672 (2012).
 - [148] Xing, H., et al., *High breakdown voltage AlGaIn-GaN HEMTs achieved by multiple field plates*. Electron Device Letters, IEEE. **25**(4), p. 161-163 (2004).
 - [149] Karmalkar, S. and U.K. Mishra, *Enhancement of breakdown voltage in AlGaIn/GaN high electron mobility transistors using a field plate*. IEEE Transactions on Electron Devices. **48**(8), p. 1515-1521 (2001).
 - [150] Dora, Y., *Understanding material and process limits for high breakdown voltage AlGaIn/GaN HEMTs*, Thèse de Doctorat soutenue en 2006, University of California
 - [151] Karmalkar, S., et al., *Field-plate engineering for HFETs*. IEEE Transactions on Electron Devices. **52**(12), p. 2534-2540 (2005).
 - [152] Binari, S.C., P. Klein, and T.E. Kazior, *Trapping effects in GaN and SiC microwave FETs*. Proceedings of the IEEE. **90**(6), p. 1048-1058 (2002).
 - [153] Khan, M.A., et al., *Current/voltage characteristic collapse in AlGaIn/GaN heterostructure insulated gate field effect transistors at high drain bias*. Electronics Letters. **30**(25), p. 2175-2176 (1994).
 - [154] Daumiller, I., et al., *Current instabilities in GaN-based devices*. Electron Device Letters, IEEE. **22**(2), p. 62-64 (2001).
 - [155] Vetury, R., et al., *The impact of surface states on the DC and RF characteristics of AlGaIn/GaN HFETs*. IEEE Transactions on Electron Devices. **48**(3), p. 560-566 (2001).

-
- [156] Saito, W., et al, *On-Resistance Modulation of High Voltage GaN HEMT on Sapphire Substrate Under High Applied Voltage*. Electron Device Letters, IEEE. **28**(8), p. 676-678 (2007).
 - [157] Lu, B., et al. *Extraction of dynamic on-resistance in GaN transistors: Under soft-and hard-switching conditions*. à *Compound Semiconductor Integrated Circuit Symposium (CSICS)*. IEEE (2011).
 - [158] Koley, G., et al, *Slow transients observed in AlGaIn/GaN HFETs: effects of SiN x passivation and UV illumination*. IEEE Transactions on Electron Devices. **50**(4), p. 886-893 (2003).
 - [159] Green, B.M., et al, *The effect of surface passivation on the microwave characteristics of undoped AlGaIn/GaN HEMTs*. Electron Device Letters, IEEE. **21**(6), p. 268-270 (2000).
 - [160] Saito, W., et al, *Suppression of dynamic on-resistance increase and gate charge measurements in high-voltage GaN-HEMTs with optimized field-plate structure*. IEEE Transactions on Electron Devices. **54**(8), p. 1825-1830 (2007).
 - [161] Ando, Y., et al, *10-W/mm AlGaIn-GaN HFET with a field modulating plate*. Electron Device Letters, IEEE. **24**(5), p. 289 - 291 (2003).
 - [162] Uren, M.J., J. Möreke, and M. Kuball, *Buffer design to minimize current collapse in GaN/AlGaIn HFETs*. IEEE Transactions on Electron Devices. **59**(12), p. 3327-3333 (2012).
 - [163] Roberts, J., H. Lafontaine, and C. McKnight-MacNeil. *Advanced SPICE models applied to high power GaN devices and integrated GaN drive circuits*. à *29th Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*. Fort Worth, TX: IEEE (2014).
 - [164] Su, M., C. Chen, and S. Rajan, *Prospects for the application of GaN power devices in hybrid electric vehicle drive systems*. Semiconductor Science and Technology. **28**(7), p. 074012 (2013).
 - [165] Jones, E., F. Wang, and B. Ozpineci. *Application-based review of GaN HFETs*. à *Workshop on Wide Bandgap Power Devices and Applications (WiPDA)*. Knoxville, TN: IEEE (2014).
 - [166] Saito, W., et al, *Recessed-Gate Structure Approach Toward Normally Off High-Voltage AlGaIn/GaN HEMT for Power Electronics Applications*. IEEE Transactions on Electron Devices. **53**(2), p. 356-362 (2006).
 - [167] Marcon, D., et al. *Direct comparison of GaN-based e-mode architectures (recessed MISHEMT and p-GaN HEMTs) processed on 200mm GaN-on-Si with Au-free technology*. à *SPIE OPTO*. International Society for Optics and Photonics (2015).
 - [168] Ikeda, N., et al. *Over 1.7 kV normally-off GaN hybrid MOS-HFETs with a lower on-resistance on a Si substrate*. à *IEEE 23rd International Symposium on Power Semiconductor Devices and ICs (ISPSD)*. San Diego, CA: IEEE (2011).
 - [169] Oka, T. and T. Nozawa, *AlGaIn/GaN recessed MIS-gate HFET with high-threshold-voltage normally-off operation for power electronics applications*. Electron Device Letters, IEEE. **29**(7), p. 668-670 (2008).
 - [170] Cai, Y., et al, *High-performance enhancement-mode AlGaIn/GaN HEMTs using fluoride-based plasma treatment*. Electron Device Letters, IEEE. **26**(7), p. 435-437 (2005).

-
- [171] Chen, K.J., et al. *Physics of fluorine plasma ion implantation for GaN normally-off HEMT technology*. à *IEEE International Electron Devices Meeting (IEDM)*, . Washington, DC: IEEE (2011).
 - [172] Hu, X., et al., *Enhancement mode AlGaIn/GaN HFET with selectively grown pn junction gate*. *Electronics Letters*. **36**(8), p. 753-754 (2000).
 - [173] Hilt, O., et al., *Improved vertical isolation for normally-off high voltage GaN-HFETs on n-SiC substrates*. *IEEE Transactions on Electron Devices*. **60**(10), p. 3084-3090 (2013).
 - [174] Uemoto, Y., et al., *Gate Injection Transistor (GIT)— A Normally-Off Conductivity Modulation*. *IEEE Transactions on Electron Devices*. **54**(12), p. 3393-3399 (2007).
 - [175] Ishida, M., et al., *GaN on Si technologies for power switching devices*. *IEEE Transactions on Electron Devices*. **60**(10), p. 3053-3059 (2013).
 - [176] *Gate drivers for enhancement mode GaN power FETs*. publié en 2012 [consulté en 2016]; Disponible sur: <http://www.ti.com/lit/ml/slyb189/slyb189.pdf>.
 - [177] Mitova, R., et al., *Investigations of 600-V GaN HEMT and GaN Diode for Power Converter Applications*. *IEEE Transactions on Power Electronics*. **29**(5), p. 2441-2452 (2014).
 - [178] Hahn, H., et al., *Threshold voltage engineering in GaN-Based HFETs: A systematic study with the threshold voltage reaching more than 2 V*. *IEEE Transactions on Electron Devices*. **62**(2), p. 538-545 (2015).
 - [179] Skotnicki, T., *Transistor MOS et sa technologie de fabrication*. Techniques de l'ingénieur Technologies des dispositifs actifs. **base documentaire : IB286DUO**. (ref. article : e2430)(2000).
 - [180] Bonnaud, O. *Composants à semi-conducteurs : De la physique du solide aux transistors*, 1st ed, Eyrolles, ISBN: 2729828042 (2006).
 - [181] Deal, B.E., *Standardized terminology for oxide charges associated with thermally oxidized silicon*. *IEEE Transactions on Electron Devices*. **27**(3), p. 606-608 (1980).
 - [182] Li, S.S. *Semiconductor physical electronics*, Springer Science & Business Media, ISBN: 146130489X (2012).
 - [183] Hussain, A.M. and M.M. Hussain, *CMOS-Technology-Enabled Flexible and Stretchable Electronics for Internet of Everything Applications*. *Advanced Materials*. **28**(22), p. 4219–4249 (2015).
 - [184] Schroder, D.K. *Semiconductor material and device characterization*, Third ed, Wiley-IEEE Press, ISBN: 9780471739067 (2006).
 - [185] Thoan, N., et al., *Interface state energy distribution and Pb defects at Si (110)/SiO₂ interfaces: comparison to (111) and (100) silicon orientations*. *Journal of Applied Physics*. **109**(1), p. 013710 (2011).
 - [186] Muller, R.S. and T.I. Kamins. *Device Electronics for Integrated Circuits*, Second ed, Wiley, John & Sons, Incorporated, ISBN: 0471887587 (1986).
 - [187] Razouk, R.R. and B.E. Deal, *Dependence of Interface on Silicon Thermal State Density Process Variables Oxidation*. *Journal of the Electrochemical Society*. **126**(9), p. 1573-1581 (1979).
 - [188] Deal, B.E., et al., *Characteristics of the Surface-State Charge (Q_{ss}) of Thermally Oxidized Silicon*. *Journal of the Electrochemical Society*. **114**(3), p. 266-274 (1967).
 - [189] Chih-Tang, S., *Evolution of the MOS transistor-from conception to VLSI*. *Proceedings of the IEEE*. **76**(10), p. 1280-1326 (1988).

-
- [190] Van der Meulen, Y., C. Osburn, and J. Ziegler, *Properties of SiO₂ grown in the presence of HCl or Cl₂*. Journal of The Electrochemical Society. **122**(2), p. 284-290 (1975).
 - [191] Yeow, Y., D. Lamb, and S. Brotherton, *An investigation of the influence of low-temperature annealing treatments on the interface state density at the Si-SiO₂*. Journal of Physics D: Applied Physics. **8**(13), p. 1495 (1975).
 - [192] Kooi, E., *Effects of Low-Temperature Heat Treatments on the Surface Properties of Oxidized Silicon*, in *The Surface Properties of Oxidized Silicon*, Springer. p. 64-80 (1967).
 - [193] Vitkavage, S.C., E.A. Irene, and H.Z. Massoud, *An investigation of Si-SiO₂ interface charges in thermally oxidized (100), (110), (111), and (511) silicon*. Journal of applied physics. **68**(10), p. 5262-5272 (1990).
 - [194] Croon, J.A., W.M. Sansen, and H.E. Maes. *Matching properties of deep sub-micron MOS transistors*, Springer, ISBN: 0387243143 (2005).
 - [195] Skotnicki, T., *Circuits intégrés CMOS sur silicium*. Techniques de l'ingénieur Technologies des dispositifs actifs. **base documentaire : TIB286DUO**. (ref. article : e2432)(2000).
 - [196] Weber, O., *Etude, fabrication et propriétés de transport de transistors CMOS associant un diélectrique haute permittivité et un canal de conduction haute mobilité*, Thèse de Doctorat soutenue en 2005, Villeurbanne, INSA.
 - [197] Dennard, R.H., et al., *Design of ion-implanted MOSFET's with very small physical dimensions*. IEEE Journal of Solid-State Circuits. **9**(5), p. 256-268 (1974).
 - [198] Moore, G.E. *No exponential is forever: but "Forever" can be delayed!* à *IEEE International Solid-State Circuits Conference. Digest of Technical Papers. ISSCC*. San Francisco, CA, USA: IEEE (2003).
 - [199] Saunier, C., *Rapport sur l'évolution du secteur de la micro/nanoélectronique*, Office parlementaire d'évaluation des choix scientifiques et technologiques (2008). Disponible sur: www.senat.fr.
 - [200] Kim, N.S., et al., *Leakage current: Moore's law meets static power*. Computer. **36**(12), p. 68-75 (2003).
 - [201] Colinge, J.-P. and C.A. Colinge. *Physics of semiconductor devices*, Springer Science & Business Media, ISBN: 0387285237 (2005).
 - [202] Fischetti, M.V., D.A. Neumayer, and E.A. Cartier, *Effective electron mobility in Si inversion layers in metal-oxide-semiconductor systems with a high-kappa insulator: The role of remote phonon scattering*. Journal of Applied Physics. **90**, p. 4587-4608 (2001).
 - [203] Kalra, P., *Advanced Source/drain Technologies for Nanoscale CMOS*, Thèse de Doctorat soutenue en 2008, University of California.
 - [204] Dimoulas, A., et al. *Advanced Gate Stacks for High-Mobility Semiconductors*, Springer, ISBN: 9783540714903 (2007).
 - [205] Huang, E., et al. *Low-k spacers for advanced low power CMOS devices with reduced parasitic capacitances*. à *SOI Conference, 2008. SOI. IEEE International*. IEEE (2008).
 - [206] Skotnicki, T., *Materials and device structures for sub-32 nm CMOS nodes*. Microelectronic Engineering. **84**(9), p. 1845-1852 (2007).
 - [207] Skotnicki, T., et al., *Innovative materials, devices, and CMOS technologies for low-power mobile multimedia*. IEEE Transactions on Electron Devices. **55**(1), p. 96-130 (2008).

-
- [208] Tavel, B., et al. *65nm lp/gp mix low cost platform for multi-media wireless and consumer applications*. à *Proceedings of 35th European Solid-State Device Research Conference (ESSDERC)*. IEEE (2005).
 - [209] Tavel, B., et al., *65 nm LP/GP mix low cost platform for multi-media wireless and consumer applications*. *Solid-State Electronics*. **50**(4), p. 573-578 (2006).
 - [210] *More than Moore market and technology trends*, Yole Développement (2015). Disponible sur: www.yole.fr.
 - [211] Korczynski, E. *Design and Manufacturing Technology Development in Future IC Foundries* publié en 2014 [consulté en 2016]; Disponible sur: <http://semimd.com/blog/2014/09/16/design-and-manufacturing-technology-development-in-future-ic-foundries/>.
 - [212] Jones, H. *Whitepaper: Semiconductor Industry from 2015 to 2025*. publié en 2015 [consulté en 2016]; Disponible sur: <http://www.semi.org/en/node/57416>.
 - [213] El-Kareh, B. and L.N. Hutter. *Silicon Analog Components*, Springer, ISBN: 1493927507 (2015).
 - [214] Harame, D., et al., (Keynote) *History and Future Directions in SiGe HBT BiCMOS Technology and Its Applications*. *ECS Transactions*. **49**(1), p. 3-14 (2012).
 - [215] Arden, W., et al., *More-than-Moore white paper*. (2010).
 - [216] Green, D.S., C.L. Dohrman, and T.-H. Chang. *Compound Semiconductor Technology for Modern RF Modules: Status and Future Directions*. à *CS MANTECH*. (2015).
 - [217] Green, D.S., et al. *Path to 3D heterogeneous integration*. à *International 3D Systems Integration Conference (3DIC)*. Sendai: IEEE (2015).
 - [218] Wu, Y.-C., M. Watanabe, and T. LaRocca. *InP HBT/GaN HEMT/Si CMOS heterogeneous integrated Q-band VCO-amplifier chain*. à *Radio Frequency Integrated Circuits Symposium (RFIC)*. Phoenix, AZ: IEEE (2015).
 - [219] Okumura, H., *A roadmap for future wide bandgap semiconductor power electronics*. *MRS Bulletin*. **40**(05), p. 439-444 (2015).
 - [220] Lidow, A. *GaN transistors—Giving new life to Moore's Law*. à *IEEE 27th International Symposium on Power Semiconductor Devices & IC's (ISPSD)*. IEEE (2015).
 - [221] Worden, J. and M. Zuercher-martinson, *How Inverters Work*, in *SOLAR PRO* (2009).
 - [222] Taranovich, S. *Teardown: The power inverter - from sunlight to power grid*. publié en 2012 [consulté en 2016]; Disponible sur: <http://www.edn.com/design/power-management/4368876/Teardown-The-power-inverter--from-sunlight-to-power-grid>.
 - [223] Bérubé, B.-L., *Développement d'une technologie NMOS pour la conception de fonctions électroniques avancées*, Thèse de Maîtrise soutenue en 2010, Université de Sherbrooke.
 - [224] André, N., *CMOS co-integrated in-plane and out-of-plane MEMS sensors*, Thèse de Doctorat soutenue en 2011, Université Catholique de Louvain-la-neuve (UCL).
 - [225] Colinge, J.-P. *Silicon-on-Insulator Technology: Materials to VLSI*, Springer Science & Business Media, ISBN: 1402077734 (2004).
 - [226] Andre, N., et al., *Ultra low power 3-D flow meter in monolithic SOI technology*. *ECS Transactions*. **35**(5), p. 319-324 (2011).
 - [227] Grym, J., ed. *Semiconductor Technologies*. InTech. 498 (2010).
 - [228] Plummer, J.D. *Silicon VLSI technology: fundamentals, practice, and modeling*, Pearson Education India, ISBN: 8131726045 (2009).
 - [229] Miura, Y., *Effect of orientation on surface charge density at silicon-silicon dioxide interface*. *Japanese Journal of Applied Physics*. **4**(12), p. 958 (1965).

-
- [230] Keunen, K., A. Stesmans, and V. Afanas'ev, *Inherent Si dangling bond defects at the thermal (110) Si/SiO₂ interface*. Physical Review B. **84**(8), p. 085329 (2011).
 - [231] Halbo, L. and P. Ohlckers. *Electronic Components, Packaging and Production*, University of Oslo, ISBN: 8299219329 (1995).
 - [232] Liu, Z., et al. *Evaluation of high-voltage cascode GaN HEMT in different packages*. à *IEEE Applied Power Electronics Conference and Exposition-APEC*. Fort Worth, TX: IEEE (2014).
 - [233] MacElwee, T., et al., *Characterization and Performance of D-Mode GaN HEMT Transistor Used in a Cascode Configuration*. ECS Transactions. **58**(4), p. 167-177 (2013).
 - [234] Zhang, W., et al., *A New Package of High-Voltage Cascode Gallium Nitride Device for Megahertz Operation*. IEEE Transactions on Power Electronics. **31**(2), p. 1344-1353 (2016).
 - [235] Honea, J., et al., *Packaging GaN in a TO-247*, in *Bodo's Power Magazine*: www.bodospower.com. p. 72 - 75 (2015).
 - [236] *Assembly and Packaging - 2011 Edition*, International Technology Roadmap for Semiconductors (2011). Disponible sur: <http://www.itrs.net/reports.html>.
 - [237] Dennis Scott, et al. *Diverse Accessible Heterogeneous Integration (DAHI) Foundry Establishment At Northrop Grumman Aerospace Systems (NGAS)*. à *Compound Semiconductor Week (CSW)*. Santa Barbara, CA, USA (2015).
 - [238] Gutierrez-Aitken, A., et al. *Advanced heterogeneous integration of InP HBT and CMOS Si technologies*. à *IEEE Compound Semiconductor Integrated Circuit Symposium (CSICS)*. Monterey, CA: IEEE (2010).
 - [239] Gutierrez-Aitken, A., et al., *(Invited) Diverse Accessible Heterogeneous Integration (DAHI) Foundry at Northrop Grumman Aerospace Systems (NGAS)*. ECS Transactions. **75**(9), p. 87-95 (2016).
 - [240] Lerner, R., et al. *Integration of GaN HEMTs onto Silicon CMOS by micro Transfer Printing*. à *28th International Symposium on Power Semiconductor Devices and ICs (ISPSD)*. Prague: IEEE (2016).
 - [241] Chen, K.J., A.M.H. Kwan, and Q. Jiang, *Technology for III-N heterogeneous mixed-signal electronics*. physica status solidi (a). **211**(4), p. 769-774 (2014).
 - [242] Kazior, T.E., *Beyond CMOS: heterogeneous integration of III-V devices, RF MEMS and other dissimilar materials/devices with Si CMOS to create intelligent microsystems*. Philosophical Transactions of the Royal Society of London A: Mathematical, Physical and Engineering Sciences. **372**(2012), p. 20130105 (2014).
 - [243] Laroche, J., et al. *GaN HEMT Fabrication in a 200mm Si Foundry Environment: The Time Has Come*. à *225th ECS Meetings*. Orlando (2014).
 - [244] Chen, W., et al., *The next step in assembly and packaging: System level integration in the package (SiP)*. ITRS White Paper. **9**(2008).
 - [245] Lee, H.-S., et al., *Wafer-Level Heterogeneous Integration of GaN HEMTs and Si (100) MOSFETs*. IEEE Electron Device Letters. **33**(2), p. 200-202 (2012).
 - [246] Chung, J.W., et al., *Seamless On-Wafer Integration of Si(100) MOSFETs and GaN HEMTs*. IEEE Electron Device Letters. **30**(10), p. 1015-1017 (2009).
 - [247] Hussain, T., et al. *Recent advances in monolithic integration of diverse technologies with Si CMOS*. à *IEEE Topical Meeting on Silicon Monolithic Integrated Circuits in Rf Systems (SiRF)* IEEE (2014).

-
- [248] Lee, K.H., et al., *Integration of III–V materials and Si-CMOS through double layer transfer process*. Japanese Journal of Applied Physics. **54**(3), p. 030209 (2015).
 - [249] Lee, K.H., et al. *Monolithic integration of III-V HEMT and Si-CMOS through TSV-less 3D wafer stacking*. à *IEEE 65th Electronic Components and Technology Conference (ECTC)*. (2015).
 - [250] Lee, K.H., et al., *Integration of GaAs, GaN, and Si-CMOS on a common 200 mm Si substrate through multilayer transfer process*. Applied Physics Express. **9**(8), p. 086501 (2016).
 - [251] Hoke, W.E., et al., *Monolithic integration of silicon CMOS and GaN transistors in a current mirror circuit*. Journal of Vacuum Science & Technology B: Microelectronics and Nanometer Structures. **30**(2), p. 02B101 (2012).
 - [252] Kazior, T.E., et al., *High Performance Mixed Signal and RF Circuits Enabled by the Direct Monolithic Heterogeneous Integration of GaN HEMTs and Si CMOS on a Silicon Substrate*. IEEE Compound Semiconductor Integrated Circuit Symposium (CSICS), p. 1-4 (2011).
 - [253] Kazior, T.E., J.R. LaRoche, and W.E. Hoke, *More Than Moore: GaN HEMTs and Si CMOS Get It Together*. IEEE Compound Semiconductor Integrated Circuit Symposium (CSICS), p. 1-4 (2013).
 - [254] Kazior, T.E. *More than Moore: III-V devices and Si CMOS get it together*. à *IEEE International Electron Devices Meeting (IEDM)*. Washington, DC (2013).
 - [255] Chyurlia, P., et al., *Windowed growth of AlGaIn/GaN heterostructures on Silicon <111> substrates for future MOS integration*. Physica Status Solidi (a). **206**(2), p. 371-374 (2009).
 - [256] Chyurlia, P., et al., *GaN HEMT and MOS monolithic integration on silicon substrates*. Physica Status Solidi (C). **2212**(7), p. 2210-2212 (2011).
 - [257] Chyurlia, P.N., et al., *Monolithic integration of AlGaIn/GaN HFET with MOS on silicon<111>substrates*. Electronics Letters. **46**(3), p. 240-242 (2010).
 - [258] Lee, K.T., et al. *A Scalable CMOS Technology Platform for Co-integrating GaN on Si*. à *Compound Semiconductor Week*. Santa Barbara (CA) (2015).
 - [259] So, H., J. Lim, and D.G. Senesky, *Continuous V-Grooved AlGaIn/GaN Surfaces for High-Temperature Ultraviolet Photodetectors*. IEEE Sensors Journal. **16**(10), p. 3633-3639 (2016).
 - [260] Pérez-Tomás, A., et al., *Analysis of the AlGaIn/GaN vertical bulk current on Si, sapphire, and free-standing GaN substrates*. Journal of Applied Physics. **113**(17), p. 174501 (2013).
 - [261] Soltani, A., et al., *Power Performance of AlGaIn/GaN High-Electron-Mobility Transistors on (110) Silicon Substrate at 40 GHz*. Electron Device Letters, IEEE. **34**(4), p. 490-492 (2013).
 - [262] Lebedev, V., et al., *Epitaxial relationship in the AlN/Si (001) heterosystem*. Applied Physics Letters. **76**(15), p. 2029-2031 (2000).
 - [263] Chung, J.W., L. Bin, and T. Palacios. *On-wafer integration of nitrides and Si devices: Bringing the power of polarization to Si*. à *Microwave Symposium Digest, 2009. MTT '09. IEEE MTT-S International*. (2009).
 - [264] Hoke, W.E., et al., *AlGaIn/GaN high electron mobility transistors on 100 mm silicon substrates by plasma molecular beam epitaxy*. Journal of Vacuum Science & Technology B: Microelectronics and Nanometer Structures. **29**(3), p. 03C107 (2011).

-
- [265] Han, S.-W., et al., *Normally-off MOS-HFET on AlGaN/GaN-on-Si (110) Grown by NH₃ MBE*. IEEE Electron Device Letters, (2016).
 - [266] Leclaire, P., *Hétérostructures ultra minces de type AlGaN/GaN sur substrat Si et applications aux résonateurs NEMS à haute fréquence*, Thèse de Doctorat soutenue en 2015, Université de Lille 1.
 - [267] Leclaire, P., et al., *AlGaN/GaN HEMTs with very thin buffer on Si (111) for nanosystems applications*. Semiconductor Science and Technology. **29**(11), p. 115018 (2014).
 - [268] Leclaire, P., et al., *Piezoelectric MEMS resonators based on ultrathin epitaxial GaN heterostructures on Si*. Journal of Micromechanics and Microengineering. **26**(10), p. 105015 (2016).
 - [269] Moram, M.A. and M.E. Vickers, *X-ray diffraction of III-nitrides*. Reports on Progress in Physics. **72**(3), p. 036502 (2009).
 - [270] Vézian, S., et al., *From spiral growth to kinetic roughening in molecular-beam epitaxy of GaN(0001)*. Physical Review B. **69**, p. 125329 (2004).
 - [271] Comyn, R., et al., *Reduction of the thermal budget of AlGaN/GaN heterostructures grown on silicon: A step towards monolithic integration of GaN-HEMTs with CMOS*. physica status solidi (a). **212**(5), p. 1145-1152 (2015).
 - [272] Ramdani, M., et al., *Effect of carbon doping on crystal quality, electrical isolation and electron trapping in GaN based structures grown silicon substrates*. Solid State Electronics. **15**, p. 86-92 (2012).
 - [273] Cordier, Y., et al., *AlGaN/GaN HEMTs on resistive Si(111) substrate grown by gas-source MBE*. Electronics Letters. **38**(2), p. 91-92 (2002).
 - [274] *Athena User's Manual - 2D Process simulation software*, Silvaco International: Santa Clara, CA, USA (2000).
 - [275] Balland, B. and A. Glachant, *Silica, silicon nitride and oxynitride thin films: An overview of fabrication techniques, properties and applications*. Instabilities in Silicon Devices. **3**, p. 3-144 (1999).
 - [276] Fahey, P., R. Dutton, and M. Moslehi, *Effect of thermal nitridation processes on boron and phosphorus diffusion in <100> silicon*. Applied Physics Letters. **43**(7), p. 683-685 (1983).
 - [277] Fagerlind, M. and N. Rorsman, *Illumination effects on electrical characteristics of GaN/AlGaN/GaN heterostructures and heterostructure field effect transistors and their elimination by proper surface passivation*. Journal of Applied Physics. **112**(1), p. 014511-1 (2012).
 - [278] Chern, J.G., et al., *A new method to determine MOSFET channel length*. IEEE Electron Device Letters. **1**(9), p. 170-173 (1980).
 - [279] Terada, K. and H. Muta, *A new method to determine effective MOSFET channel length*. Japanese Journal of Applied Physics. **18**(5), p. 953 (1979).
 - [280] Francis, R. and P. Dobson, *The effect of oxidation on the diffusion of phosphorus in silicon*. Journal of Applied Physics. **50**(1), p. 280-284 (1979).
 - [281] Reuters, B., et al., *Selective MOVPE of InGaN-based LED structures on non-planar Si (111) facets of patterned Si (100) substrates*. Journal of Crystal Growth. **391**, p. 33-40 (2014).
 - [282] Laconte, J., D. Flandre, and J.P. Raskin. *Micromachined thin-film sensors for SOI-CMOS co-integration*, First ed, Springer US, ISBN: 978-0-387-28843-7 (2006).
 - [283] Tarraf, A., et al., *Stress investigation of PECVD dielectric layers for advanced optical MEMS*. Journal of Micromechanics and Microengineering. **14**(3), p. 317-323 (2004).

-
- [284] Mackenzie, K., et al. *Stress control of Si-based PECVD dielectrics*. à 207th *Electrochemical Society Meeting*. Quebec City, Canada: Electrochemical Society (2005).
 - [285] Jehanathan, N., *Thermal Stability of Plasma Enhanced Chemical Vapor Deposited Silicon Nitride Thin Films*, Thèse de Master of Engineering Science soutenue en 2007, University of Western Australia.
 - [286] Taylor, J.A., *The mechanical properties and microstructure of plasma enhanced chemical vapor deposited silicon nitride thin films*. *Journal of Vacuum Science & Technology A*. **9**(4), p. 2464-2468 (1991).
 - [287] Hughey, M.P. and R.F. Cook, *Massive stress changes in plasma-enhanced chemical vapor deposited silicon nitride films on thermal cycling*. *Thin Solid Films*. **460**(1-2), p. 7-16 (2004).
 - [288] Comyn, R., et al., *Development of technological building blocks for the monolithic integration of ammonia-MBE-grown GaN-HEMTs with silicon CMOS*. *physica status solidi (a)*. **213**(4), p. 917–924 (2016).
 - [289] Bayram, C., et al., *Cubic Phase GaN on Nano-grooved Si (100) via Maskless Selective Area Epitaxy*. *Advanced Functional Materials*. **24**(28), p. 4492-4496 (2014).
 - [290] Dadgar, A., et al., *Metalorganic chemical vapor phase epitaxy of gallium-nitride on silicon*. *physica status solidi (c)*. **0**(6), p. 1583-1606 (2003).
 - [291] So, H. and D.G. Senesky, *Low-resistance gateless high electron mobility transistors using three-dimensional inverted pyramidal AlGaIn/GaN surfaces*. *Applied Physics Letters*. **108**(1), p. 012104 (2016).
 - [292] Fujiwara, T., et al., *Enhancement-Mode m-plane AlGaIn/GaN Heterojunction Field-Effect Transistors*. *Applied Physics Express*. **2**(1), p. 011001 (2009).
 - [293] Fujiwara, T., et al., *Enhancement-mode m-plane AlGaIn/GaN heterojunction field-effect transistors with + 3 V of threshold voltage using Al₂O₃ deposited by atomic layer deposition*. *Applied physics express*. **4**(9), p. 096501 (2011).
 - [294] Seidel, H., et al., *Anisotropic etching of crystalline silicon in alkaline solutions I. Orientation dependence and behavior of passivation layers*. *Journal of the electrochemical society*. **137**(11), p. 3612-3626 (1990).
 - [295] Veychard, D., *Conception et réalisation d'un convertisseur électro-thermique à grande constante de temps en technologie microsystème pour un disjoncteur thermique*, Thèse de Doctorat soutenue en 1999, Institut National Polytechnique de Grenoble.
 - [296] Klaassen, E.H., *Micromachined Instrumentation Systems*, Thèse de Doctorat soutenue en 1996, Stanford University.
 - [297] Petersen, K.E., *Silicon as a mechanical material*. *Proceedings of the IEEE*. **70**(5), p. 420-457 (1982).
 - [298] Nielsen, C.B., et al., *Particle precipitation in connection with KOH etching of silicon*. *Journal of The Electrochemical Society*. **151**(5), p. G338-G342 (2004).
 - [299] Feltin, E., *Hétéro-épitaxie de Nitrure de Gallium sur substrat de silicium (111) et applications*, Thèse de Doctorat soutenue en 2003, Université de Nice-Sophia Antipolis.
 - [300] Reuters, B., et al., *Insulating behavior of interfaces in regrown Al_{0.23}Ga_{0.77}N/GaN double heterostructures on Al_{0.07}Ga_{0.93}N back-barrier templates*. *physica status solidi (c)*. **10**(5), p. 799-802 (2013).

-
- [301] Tendille, F., *Ingénierie des défauts cristallins pour l'obtention de GaN semi-polaire hétéroépitaxié de haute qualité en vue d'applications optoélectroniques*, Thèse de Doctorat soutenue en 2015, Université de Nice Sophia Antipolis.
 - [302] Brisset, F. *Microscopie électronique à balayage et microanalyses*, EDP sciences, ISBN: 2759803481 (2012).
 - [303] Hossain, T., *GaN based structures on patterned silicon substrate: stress and strain analysis*, Thèse de Doctorat soutenue en 2012, Université de Nice Sophia Antipolis.
 - [304] Eastman, L.F., *Results, potential and challenges of high power GaN-based transistors*. Physica Status Solidi a-Applied Research. **176**(1), p. 175-178 (1999).
 - [305] Flamm, D.L. and V.M. Donnelly, *The design of plasma etchants*. Plasma Chemistry and Plasma Processing. **1**(4), p. 317-363 (1981).
 - [306] Pearton, S.J. and D.P. Norton, *Dry etching of electronic oxides, polymers, and semiconductors*. Plasma Processes and Polymers. **2**(1), p. 16-37 (2005).
 - [307] Lidow, A., et al. *GaN transistors for efficient power conversion*, John Wiley & Sons, ISBN: 1118844785 (2014).
 - [308] Huang, X., et al., *Evaluation and application of 600 V GaN HEMT in cascode structure*. IEEE Transactions on Power Electronics. **29**(5), p. 2453-2461 (2014).
 - [309] Lefranc, P. and D. Bergogne. *State of the art of dv/dt and di/dt control of insulated gate power switches*. à *Proceedings of the Conference Captech IAPI, Power Supply and Energy Management for Defence Applications*. Bruxelles, Belgium (2007).
 - [310] Arenas, O.J., *Développement d'une nouvelle méthode de caractérisation électrothermique de transistors en nitrure de gallium*, Thèse de Doctorat soutenue en 2015, Université de Sherbrooke.
 - [311] Aubry, R., et al., *Temperature measurement in AlGaIn / GaN High-Electron-Mobility Transistors using micro-Raman scattering*. The European Physical Journal Applied Physics. **30**, p. 77-82 (2005).
 - [312] Aubry, R.I., *Etude des aspects électrothermiques de la filière HEMT AlGaIn/GaN pour application de puissance hyperfréquence*, Thèse de Doctorat soutenue en 2004, Université de Lille 1.
 - [313] Cuervo, R., et al., *High temperature behaviour of GaN HEMT devices on Si(111) and sapphire substrates*. physica status solidi (c). **5**(6), p. 1971 (2008).
 - [314] Cuervo, R., et al., *High temperature assessment of nitride-based devices*. Journal of Materials Science. **19**, p. 189 (2008).
 - [315] Tan, W.S., et al., *High temperature performance of AlGaIn/GaN HEMTs on Si substrates*. Solid-State Electronics. **50**(3), p. 511-513 (2006).
 - [316] Vitinov, S., et al., *High-temperature modeling of AlGaIn/GaN HEMTs*. Solid-State Electronics. **54**(10), p. 1105-1112 (2010).
 - [317] Saidi, I., et al., *Thermal effects in AlGaIn/GaN/Si high electron mobility transistors*. Solid-State Electronics. **61**(1), p. 1-6 (2011).
 - [318] Arenas, O., et al., *Electrothermal Mapping of AlGaIn/GaN HEMTs Using Microresistance Thermometer Detectors*. IEEE Electron Device Letters. **36**(2), p. 111-113 (2015).
 - [319] Dolny, G.M., G.E. Nostrand, and K.E. Hill, *The Effect of Temperature on Lateral DMOS Transistors in a Power IC Technology*. IEEE Transactions on Electron Devices. **39**(4), p. 990 (1992).

- [320] Koo, Y.S., et al., *A Study on the Temperature Characteristics of Power LDMOSFETs Having Various Drift Region Lengths*. Journal of the Korean Physical Society. **39**, p. S352 (2001).
- [321] Shoucair, F., W. Hwang, and P. Jain, *Electrical Characteristics of Large Scale Integration (LSI) MOSFETs at Very High Temperatures - Part II: Experiment*. Microelectronics Reliability. **24**(3), p. 487 (1984).
- [322] Shoucair, F., W. Hwang, and P. Jain, *Electrical Characteristics of Large Scale Integration (LSI) MOSFETs at Very High Temperatures*. Microelectronics Reliability. **24**(3), p. 465 (1984).
- [323] Song, B., et al., *Ultralow-Leakage AlGaIn/GaN High Electron Mobility Transistors on Si With Non-Alloyed Regrown Ohmic Contacts*. IEEE Electron Device Letters. **37**(1), p. 16-19 (2016).
- [324] Shinohara, K., et al. *220GHz f_T and 400GHz f_{max} in 40-nm GaN DH-HEMTs with regrown ohmic*. à *IEEE International Electron Devices Meeting (IEDM)*. San Francisco, CA (2010).
- [325] Shinohara, K., et al. *Self-aligned-gate GaN-HEMTs with heavily-doped n^+ -GaN ohmic contacts to 2DEG*. à *IEEE International Electron Devices Meeting (IEDM)*. San Francisco, CA (2012).
- [326] Shinohara, K., et al., *Electron Velocity Enhancement in Laterally Scaled GaN DH-HEMTs With f_T of 260 GHz*. Electron Device Letters, IEEE. **32**(8), p. 1074-1076 (2011).
- [327] Shinohara, K., et al., *Scaling of GaN HEMTs and Schottky Diodes for Submillimeter-Wave MMIC Applications*. IEEE Transactions on Electron Devices. **60**(10), p. 2982-2996 (2013).
- [328] Joglekar, S., et al., *Impact of recess etching and surface treatments on ohmic contacts regrown by molecular-beam epitaxy for AlGaIn/GaN high electron mobility transistors*. Applied Physics Letters. **109**(4), p. 041602 (2016).